# ภาคผนวก ก ผลงานทางวิชาการที่ได้รับการตีพิมพ์

**ชื่อบทความ** สถาปัตยกรรมสำหรับจัดการกับแบนด์วิดท์ในการเชื่อมต่อเครือข่ายอินเตอร์เน็ตความเร็วสูง
The Architecture for Bandwidth Allocation in High Speed Internet Network

**กลุ่มสาขาวิจัย** วิศวกรรมศาสตร์

**ผู้นำเสนอบทความ** ทิพาพร พัฒนศิริ

**สถาบันการศึกษา** มหาวิทยาลัยสงขลานครินทร์

---

**บทนำ**

การจัดคิวแพ็คเกต (Queuing) เป็นกระบวนการสำคัญในการจัดการกับทราฟฟิกในระบบเครือข่ายคอมพิวเตอร์ วิธีการจัดคิวแพ็คเกตที่ใช้อยู่ในปัจจุบันคือการใช้ซอฟท์แวร์ทำหน้าที่จัดคิวตามอัลกอริทึมที่กำหนดไว้ โดยมีไมโครโปรเซสเซอร์ทำหน้าที่ประมวลผลเพื่อตัดสินใจเลือกแพ็คเกตที่จะจัดส่งต่อไป รวมถึงการเขียนและลบแพ็คเกตออกจากคิว ข้อเสียของวิธีการนี้อยู่ที่ไมโครโปรเซสเซอร์เสียเวลาในการเคลื่อนย้ายข้อมูล (Data Movement) คิดเป็น 90 % ของเวลาทั้งหมดที่ใช้ในการจัดคิว ทำให้ไมโครโปรเซสเซอร์ที่ใช้ต้องมีประสิทธิภาพสูงมากเพื่อที่จะมีขีดความสามารถเพียงพอที่จะจัดคิวแพ็คเกตสำหรับเครือข่ายอินเตอร์เน็ตความเร็วสูงได้ทัน บทความนี้นำเสนอสถาปัตยกรรมสำหรับจัดคิวแพ็คเกตที่สามารถลดการเคลื่อนย้ายแพ็คเกตจากบัฟเฟอร์มาไว้ในคิวซึ่งอยู่ภายในหน่วยความจำหลักของไมโครโปรเซสเซอร์และการเคลื่อนย้ายแพ็คเกตจากคิวไปยังบัฟเฟอร์ สถาปัตยกรรมนี้ได้นำชิพเอฟพีจีเอมาช่วยในการออกแบบโดยที่โครงสร้างการทำงานหลัก ๆ ถูกออกแบบโดยใช้ Schematic Design ในการกำหนดฟังก์ชันการทำงานของฮาร์ดแวร์ที่ต้องการ

**ระเบียบวิธีวิจัย**

ในการออกแบบสถาปัตยกรรมสำหรับจัดคิวแพ็คเกต ข้อพิจารณาในการออกแบบได้แก่

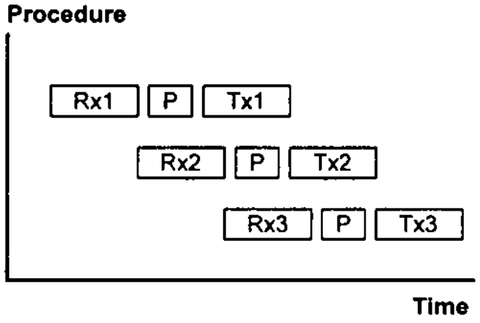
1. การอินเตอร์เฟสกับระบบเครือข่าย สำหรับเครือข่ายอีเทอร์เน็ตความเร็ว 100 เมกกะบิตต่อวินาทีนั้น รูปแบบการอินเตอร์เฟสที่นิยมในปัจจุบันคือการอินเตอร์เฟสผ่านทาง PCI Bus หรือ MII (Media Independent Interface) เนื่องจากการอินเตอร์เฟสผ่านทาง PCI Bus นั้นจำเป็นจะต้องใช้ชิพ North Bridge ในการติดต่อระหว่าง PCI Bus และ Local Bus ของไมโครโปรเซสเซอร์ ซึ่งในงานวิจัยนี้ต้องการใช้งานชิพ North Bridge เพียงบางฟังก์ชันเท่านั้น การตัดชิพ North Bridge ออกและหาอุปกรณ์อื่นทดแทนทำได้ค่อนข้างลำบากเนื่องจากทางบริษัทผู้ผลิตไม่เปิดข้อมูลในส่วนนี้ ด้วยเหตุนี้จึงเลือกใช้การอินเตอร์เฟสกับระบบเครือข่ายผ่านทาง MII แทน
2. รูปแบบของสถาปัตยกรรมในการจัดคิว เนื่องจากการจัดคิวโดยใช้ซอฟท์แวร์นั้นไมโครโปรเซสเซอร์จะต้องเสียเวลาอย่างมากในการเคลื่อนย้ายข้อมูล ดังนั้นจึงได้นำฮาร์ดแวร์เข้ามาช่วยในการจัดคิวแพ็คเกตเพื่อลดการเคลื่อนย้ายข้อมูลที่เกิดขึ้นโดยอาศัยหลักการเก็บพอยน์เตอร์ที่ชี้ไปยังตำแหน่งของแพ็คเกตไว้ภายในคิวแทนการเก็บแพ็คเกตไว้ในคิว หากต้องการส่งแพ็คเกตก็เพียงแต่ระบุพอยน์เตอร์ไปยังจุดเริ่มต้นของแพ็คเกตจากนั้นเป็นหน้าที่ของฮาร์ดแวร์ในการจัดส่งแพ็คเกตต่อไป
3. การจำแนกประเภทของงาน โดยพิจารณาตามความซับซ้อนของงานสามารถจำแนกออกเป็น 2 ประเภทคือ
   3.1 งานที่ทำงานที่ความเร็วสูง ซึ่งมีความซับซ้อนต่ำ ถูกดำเนินการโดยฮาร์ดแวร์ที่ได้ออกแบบไว้
   3.2 งานที่ทำงานที่ความเร็วต่ำ ซึ่งมีความซับซ้อนสูง เป็นหน้าที่ของไมโครโปรเซสเซอร์ที่จะจัดการงานเหล่านี้
4. การตรวจสอบความถูกต้องของข้อมูล ในการรับส่งข้อมูลผ่านทาง MII นั้นทั้งภาครับและส่งจะมีสัญญาณ RX_ER และ TX_ER เพื่อบอกให้ทราบถึงความผิดพลาดของข้อมูลหากมีความผิดพลาดของข้อมูลเกิดขึ้นในการรับและส่งข้อมูลตามลำดับ ในงานวิจัยนี้ได้ตัดส่วนของการตรวจสอบความถูกต้องของข้อมูลออกไปเพื่อลดความซับซ้อนของวงจร โดยมีสมมติฐานว่าระยะทางในการรับส่งข้อมูลนั้นสั้นและไม่มีความผิดพลาดของข้อมูลเกิดขึ้น และหากมีความผิดพลาดของข้อมูลเกิดขึ้นถือเป็นหน้าที่ของปลายทางที่จะต้องตรวจสอบและจัดการกับข้อมูลที่ผิดพลาดต่อไป
5. การเลือกอุปกรณ์ เช่น หน่วยความจำ ชิพเอฟพีจีเอ และไมโครโปรเซสเซอร์ ในการเลือกหน่วยความจำสิ่งที่ต้องคำนึงถึงได้แก่ ขนาด ชนิดของหน่วยความจำและเวลาในการเข้าถึงหน่วยความจำ ส่วนสาเหตุที่เลือกใช้ชิพเอฟพีจีเอเนื่องจากสามารถโปรแกรมซ้ำได้ทำให้ง่ายต่อการปรับเปลี่ยนวงจรจึงเหมาะสำหรับการนำมาเป็นต้นแบบในการออกแบบ ชิพเอฟพีจีเอที่เลือกใช้คือชิพ Xilinx เบอร์ XC4020XLA ส่วนไมโครโปรเซสเซอร์นั้นได้เลือกใช้ไมโครคอนโทรลเลอร์เบอร์ DS89C420 เพราะสามารถประมวลผลได้เร็วทันตามต้องการ

**ผลการวิจัย**

การทดสอบประสิทธิภาพการทำงานของสถาปัตยกรรมดังกล่าวทำได้โดยการเปรียบเทียบค่า Throughput ของสถาปัตยกรรมที่ได้ออกแบบไว้กับ Throughput ของการจัดคิวแพ็คเกตโดยใช้ซอฟท์แวร์ซึ่งรันอยู่บนเครื่องพีซีประสิทธิภาพสูง ซึ่งในที่นี้ใช้เครื่องพีซีที่ใช้ซีพียูเซลลูรอน ความเร็ว 633 เมกกะเฮิร์ต โดยใช้ซอฟท์แวร์ชื่อ Total Traffic Control for E-Business รันบนระบบระบบปฏิบัติการ Windows 2000 ค่า Throughput ที่วัดได้โดยใช้ซอฟท์แวร์มีค่าเท่ากับ 1.8 เมกกะไบต์ต่อวินาที ส่วนการหาค่า Throughput ของสถาปัตยกรรมดังกล่าวทำโดยการจำลองผลการทำงาน (Functional Simulation) ซึ่งเวลาที่ใช้ในขั้นตอนต่าง ๆ ของการจัดคิวแพ็คเกตขนาด 128 ไบต์ แสดงดังตารางที่ 1 เนื่องจากว่าการทำงานของสถาปัตยกรรมดังกล่าวมีลักษณะเป็นแบบไปป์ไลน์ ดังแสดงในภาพที่ 1 จึงไม่สามารถนำเวลาของแต่ละขั้นตอนมารวมได้โดยตรง จากการพิจารณาเวลาดังกล่าวจะเห็นว่าค่า Throughput ของสถาปัตยกรรมที่ได้ออกแบบไว้มีค่าเท่ากับค่า Throughput ของแพ็คเกตที่เข้ามาคือ 12.5 เมกกะไบต์ต่อวินาที

| ขั้นตอนต่าง ๆ | เวลาที่ใช้ (ไมโครวินาที) |
|---|---|
| การจัดเก็บแพ็คเกตลงในหน่วยความจำ | 12.08 |
| การประมวลผลเพื่อจัดคิวแพ็คเกต | 1.5 |
| การส่งต่อแพ็คเกตออกไป | 11.24 |

ตารางที่ 1 เวลาที่ใช้ในแต่ละขั้นตอนของการจัดคิวแพ็คเกตโดยใช้สถาปัตยกรรมที่ออกแบบไว้




ภาพที่ 1 การทำงานของสถาปัตยกรรมในการจัดคิวเป็นแบบไปป์ไลน์

**อภิปรายผลและข้อเสนอแนะ**

จากผลที่ได้จะเห็นว่าการจัดคิวแพ็คเกตโดยใช้สถาปัตยกรรมที่ออกแบบไว้มีค่า Throughput สูงกว่าการจัดคิวแพ็คเกตโดยซอฟท์แวร์ปกติ 7 เท่า เนื่องจากสถาปัตยกรรมดังกล่าวสามารถลดเวลาที่สูญเสียไปกับการเคลื่อนย้ายข้อมูล ค่า Throughput ของสถาปัตยกรรมดังกล่าวจะยังคงมีค่า Throughput คงที่เช่นนี้หากบัฟเฟอร์มีขนาดใหญ่เพียงพอ เพียงแต่จะมี Latency Time เกิดขึ้นจากการประมวลผล ค่า Throughput ที่ได้อาจไม่แตกต่างกันอย่างชัดเจน แต่หากพิจารณาเครือข่ายอีเทอร์เน็ตในระดับกิกะบิตหรือที่ความเร็วสูงกว่านั้น สถาปัตยกรรมนี้จะช่วยลดภาระในการจัดคิวแพ็คเกตของไมโครโปรเซสเซอร์ลงได้อย่างมากทีเดียว การนำสถาปัตยกรรมนี้ไปพัฒนาต่อไปอาจจะเพิ่มเติมในส่วนของฟังก์ชันสำหรับตรวจสอบความถูกต้องของข้อมูลเพื่อให้สถาปัตยกรรมดังกล่าวมีความสมบูรณ์ยิ่งขึ้น

**เอกสารอ้างอิง**

[1] IEEE Std 802.3u -1995.

[2] www.lightspeedsystems.com

---

**คำสำคัญ** การจัดคิวแพ็คเกต สถาปัตยกรรมสำหรับจัดการกับแบนด์วิดท์

**ที่อยู่ที่สามารถติดต่อได้** ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

อีเมล์ ptipaporn@hotmail.com หรือ tipaporn@ratree.psu.ac.th โทรศัพท์ (074) 212894 โทรสาร (074) 459395