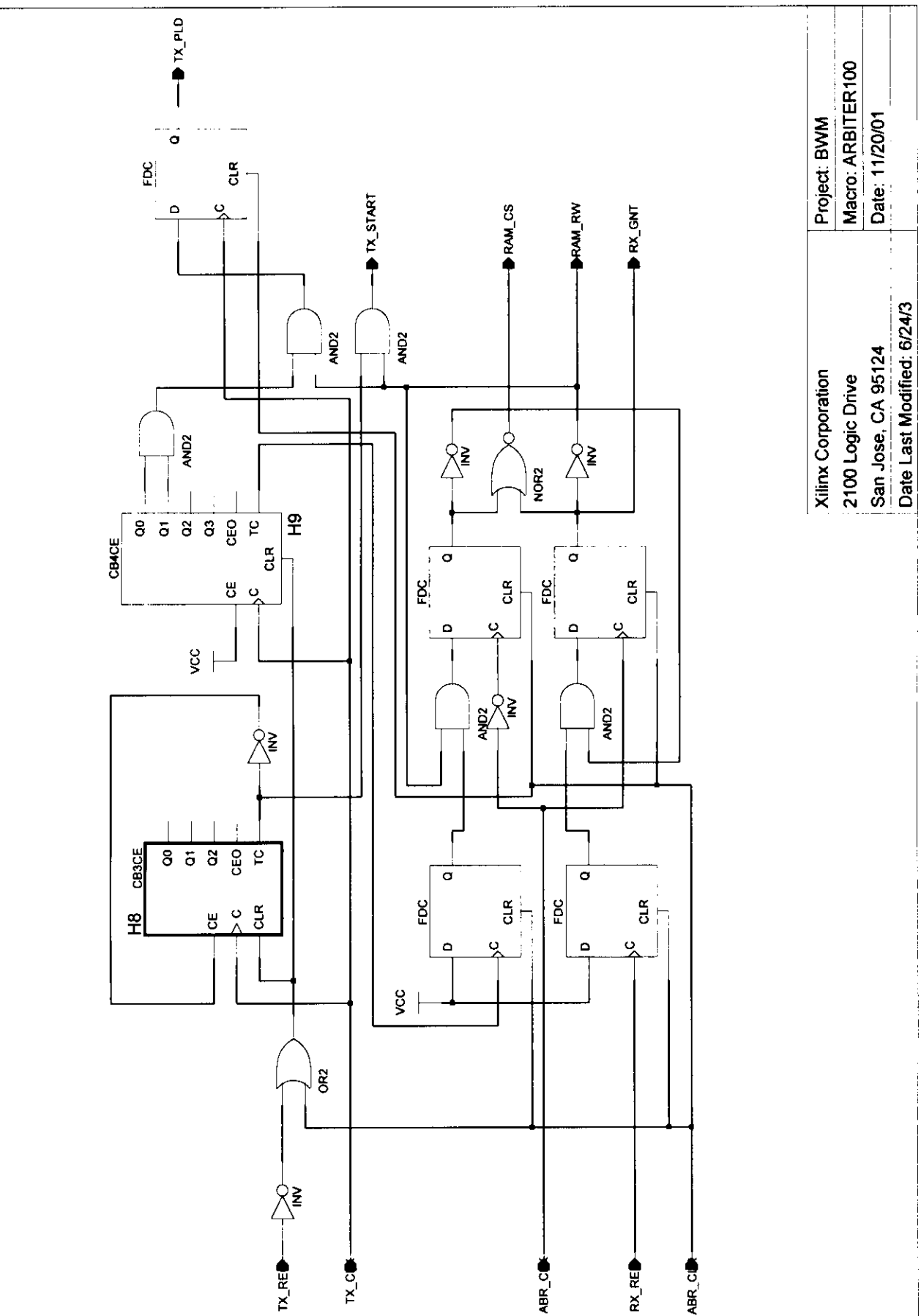
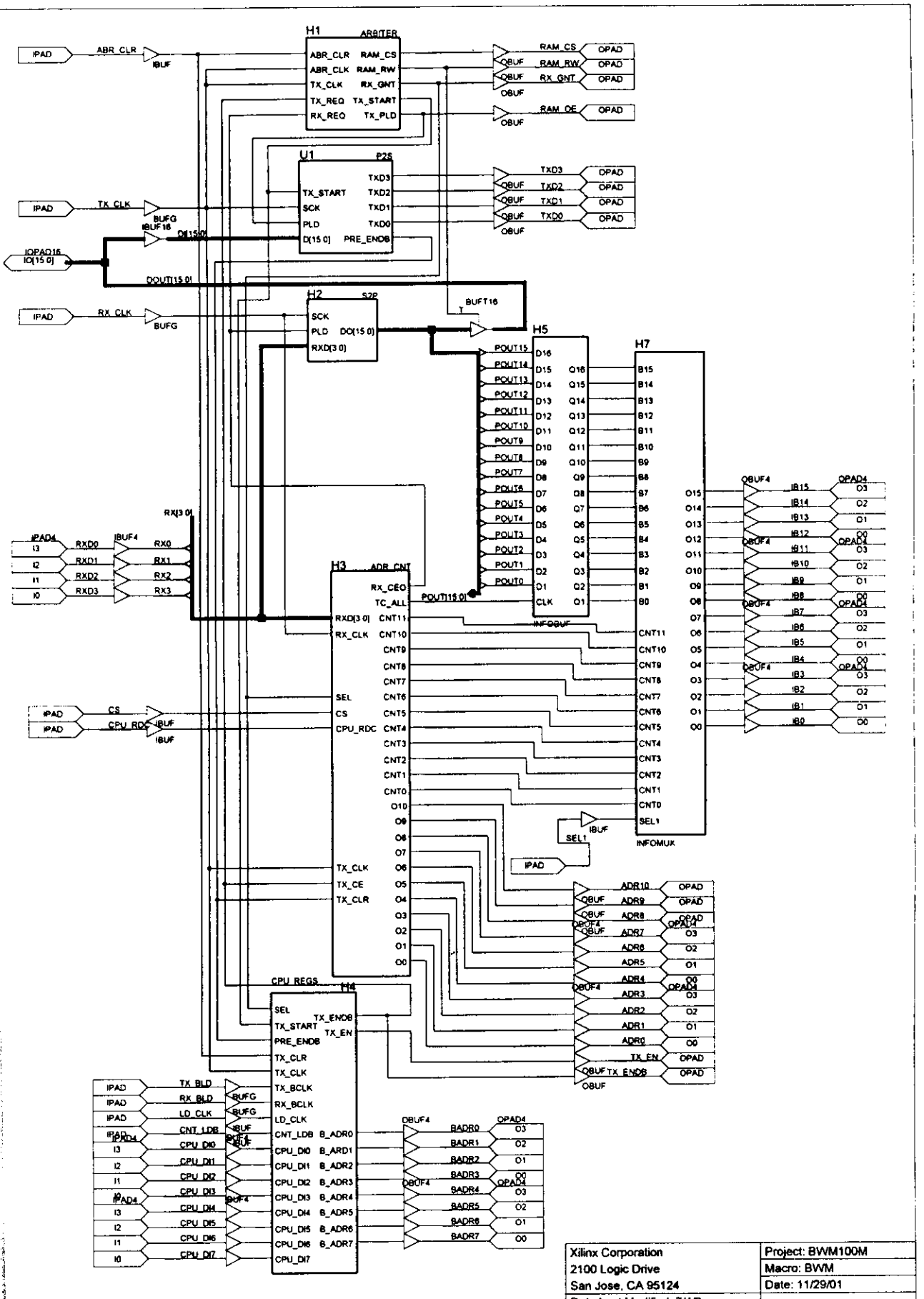
ภาคผนวก ค วงจร Arbiter วงจรรวม และอื่น ๆ


TX_PLD
FDC
D
C
CLR
Q
AND2
TX_START
RAM_CS
RAM_RW
RX_GNT
INV
NOR2
CB4CE
Q0
Q1
Q2
Q3
CEO
TC
CE
H9
VCC
H8
CB3CE
OR2
TX_RE
TX_C
ABR_C
RX_RE
ABR_C
Xilinx Corporation
2100 Logic Drive
San Jose, CA 95124
Date Last Modified: 6/24/3
Project: BWM
Macro: ARBITER100
Date: 11/20/01


H1
ARBITER
ABR_CLR
ABR_CLK
TX_CLK
TX_REQ
RX_REQ
RAM_CS
RAM_RW
RX_GNT
TX_START
TX_PLD
RAM_OE
U1
P2S
TXD3
TXD2
TXD1
TXD0
SCK
PLD
D[15:0]
PRE_ENDS
TX_CLK
RX_CLK
IOPAD16
IO[15:0]
DI[15:0]
DOUT[15:0]
H2
S2P
DO[15:0]
RXD[3:0]
BUFT16
H5
H7
INFOBUF
INFOMUX
H3
ADR_CNT
RX_CEO
TC_ALL
CS
CPU_RDC
SEL
SEL1
TX_CE
TX_CLR
H4
CPU_REGS
TX_ENDS
TX_EN
TX_BLD
RX_BLD
LD_CLK
CNT_LDB
TX_BCLK
RX_BCLK
CPU_DI0
CPU_DI1
CPU_DI2
CPU_DI3
CPU_DI4
CPU_DI5
CPU_DI6
CPU_DI7
B_ADR0
B_ARD1
B_ADR2
B_ADR3
B_ADR4
B_ADR5
B_ADR6
B_ADR7
IPAD
OPAD
OBUF
OBUF4
IBUF
IBUF4
BUFG
BUFT
BUF4
Xilinx Corporation
2100 Logic Drive
San Jose, CA 95124
Date Last Modified: 7/4/3
Project: BWM100M
Macro: BWM
Date: 11/29/01

การกำหนดตำแหน่งขาของชิพเอฟพีจีเอ

ขา	ตำแหน่งขา	ประเภท	รายละเอียด
TX_CLK	4	อินพุต	เป็นขาสำหรับรับสัญญาณนาฬิกา TX_CLK ที่ได้รับผ่านทาง MII ซึ่งมีอัตราเร็วในการส่งข้อมูล 25 เมกกะบิตต่อวินาที
TXD[3:0]	5-8	เอาท์พุต	เป็นขาสำหรับใช้ส่งข้อมูลผ่านทาง MII โดยจะอ้างอิงสัญญาณนาฬิกา TX_CLK
TX_EN	10	เอาท์พุต	เป็นขาสำหรับส่งสัญญาณ TX_EN เพื่อบอกให้ทราบว่ามีการส่งข้อมูลผ่านทาง MII
ABR_CLR	11	อินพุต	เป็นขาที่ใช้สำหรับรีเซ็ตวงจร *Arbiter* โดยจะรีเซ็ตวงจรเมื่อสัญญาณที่ป้อนเข้าที่ขา *ABR_CLR* มีสถานะเป็นลอจิก 1
CS	12	อินพุต	เป็นขาที่ใช้สำหรับควบคุมการทำงานของวงจรภาครับ โดยจะรีเซ็ตวงจรภาครับเมื่อมีสถานะเป็นลอจิก 0 และจะทำงานเมื่อมีสถานะเป็นลอจิก 1 ซึ่งขานี้จะนำไปต่อกับสัญญาณ RX_DV ที่ได้รับผ่านทาง MII
CPU_RDC	13	อินพุต	เป็นขาที่ไมโครโปรเซสเซอร์ใช้ส่งสัญญาณพัลส์มาเพื่ออ่านค่าที่เก็บไว้ในวงจร *INFOBUF* ซึ่งค่าดังกล่าวจะถูกส่งออกมาที่เอาท์พุตของวงจร *INFOBUF* เมื่อสัญญาณ *CPU_RDC* เปลี่ยนสถานะจากลอจิก 0 เป็น 1

ขา	ตำแหน่งขา	ประเภท	รายละเอียด
IB[15:0]	15 - 24 และ 27 - 32	เอาท์พุต	เป็นขาสำหรับใช้ส่งสัญญาณข้อมูลที่ใช้ในการประมวลผลเพื่อจัดคิวแพ็คเกตซึ่งส่งมาจากวงจร *INFOBUF* หรือจำนวนไบต์ของแพ็คเกตซึ่งส่งมาจากวงจร *ADR_CNT* ขึ้นอยู่กับสถานะของสัญญาณ *SEL1* ที่ใช้ควบคุมการเลือกเอาท์พุตของมัลติเพล็กเซอร์ ถ้าสัญญาณ *SEL1* มีสถานะเป็นลอจิก 0 เป็นการเลือกเอาท์พุตจากวงจร *ADR_CNT* และถ้าสัญญาณ *SEL1* มีสถานะเป็นลอจิก 1 เป็นการเลือกเอาท์พุตจากวงจร *INFOBUF*
SEL1	33	อินพุต	เป็นขาที่ไมโครโปรเซสเซอร์ใช้สำหรับส่งสัญญาณควบคุมมัลติเพล็กเซอร์ของวงจร *INFOMUX* ให้เลือกเอาท์พุตสำหรับวงจรภาครับ ถ้าสัญญาณ *SEL1* มีสถานะเป็นลอจิก 0 จะเลือกเอาท์พุตจากวงจร *ADR_CNT* คือค่าจำนวนไบต์ของแพ็คเกตที่ได้รับ ถ้าสัญญาณ *SEL1* มีสถานะเป็นลอจิก 1 จะเลือกข้อมูลสำหรับประมวลผลเพื่อจัดคิวให้ปรากฏที่ขา *IB[15:0]*
LD_CLK	35	อินพุต	เป็นขาที่ไมโครโปรเซสเซอร์ใช้สำหรับส่งสัญญาณพัลส์มาค้างค่าเริ่มต้นในการนับของวงจรภาคส่ง
CNT_LDB	36	อินพุต	เป็นขาที่ไมโครโปรเซสเซอร์ใช้สำหรับส่งสัญญาณมาควบคุมการโหลดค่าเริ่มต้นในการนับของวงจร *CPU_REGS* ซึ่งวงจร *CPU_REGS* จะสามารถโหลดค่าได้เมื่อสัญญาณ *CNT_LDB* มีสถานะเป็นลอจิก 0

ขา	ตำแหน่งขา	ประเภท	รายละเอียด
CPU_DI [7:0]	39 – 46	อินพุต	เป็นขาที่ไมโครโปรเซสเซอร์ใช้เพื่อส่งค่า *Base Address* และค่าเริ่มต้นในการนับของวงจรภาคส่ง
TX_BLD	47	อินพุต	เป็นขาสำหรับไมโครโปรเซสเซอร์ส่งสัญญาณพัลส์มาเพื่อควบคุมการค้างค่า *Base Address* และค่าเริ่มต้นในการนับของวงจรภาคส่งโดยจะทำการค้างค่าเมื่อสัญญาณ *TX_BLD* เปลี่ยนสถานะจากลอจิก 0 เป็น 1
RX_BLD	57	อินพุต	เป็นขาสำหรับไมโครโปรเซสเซอร์ส่งสัญญาณพัลส์มาเพื่อควบคุมการค้างค่า *Base Address* ของวงจรภาครับโดยจะทำการค้างค่าเมื่อสัญญาณ *RX_BLD* เปลี่ยนสถานะจากลอจิก 0 เป็น 1
RAM_RW	59	เอาท์พุต	เป็นขาสำหรับส่งสัญญาณควบคุมการอ่านและเขียนหน่วยความจำหลัก ถ้าสัญญาณ *RAM_RW* มีสถานะเป็นลอจิก 0 หมายถึงการเขียนข้อมูล และลอจิก 1 หมายถึงการอ่านข้อมูลจากหน่วยความจำหลัก
RAM_CS	60	เอาท์พุต	เป็นขาสำหรับส่งสัญญาณเพื่อทำให้หน่วยความจำหลัก แอคทีฟเมื่อสัญญาณ *RAM_CS* เป็นลอจิก 0
RAM_OE	61	เอาท์พุต	เป็นขาที่ใช้สำหรับควบคุมขาเอาท์พุตเอาท์พุตอีเนเบิลของหน่วยความจำหลัก

ขา	ตำแหน่งขา	ประเภท	รายละเอียด
BADR[7:0]	63 – 66 และ 68 – 71	เอาท์พุต	เป็นขาสำหรับให้ไมโครโปรเซสเซอร์ส่งสัญญาณ Base Address เพื่อระบุตำแหน่งแอดเดรส 8 บิตบนของแพ็คเกต ซึ่งขานี้จะถูกใช้งานร่วมกันระหว่างวงจรภาครับและวงจรภาคส่ง โดยขานี้จะถูกนำไปต่อกับบัสแอดเดรสของหน่วยความจำหลัก
ADR[10:0]	72 – 76 และ 80 - 85	เอาท์พุต	เป็นขาสำหรับส่งสัญญาณแอดเดรส 11 บิตล่างของแพ็คเกตไปยังหน่วยความจำหลัก
IO[15:0]	86 – 89 , 91 – 99 , 109 และ 111-112	อินพุต/เอาท์พุต	เป็นขาสำหรับเป็นอินพุตเอาท์พุตพอร์ตเพื่อใช้รับส่งข้อมูล ซึ่งขานี้จะต่ออยู่กับบัสข้อมูลของหน่วยความจำหลัก
RXD[3:0]	200 - 203	อินพุต	เป็นขาสำหรับใช้รับข้อมูลผ่านทาง MII โดยจะอ้างอิงสัญญาณนาฬิกา RX_CLK
RX_CLK	204	อินพุต	เป็นขาสำหรับรับสัญญาณนาฬิกา RX_CLK ที่ได้รับผ่านทาง MII ซึ่งมีอัตราเร็วในการรับข้อมูล 25 เมกกะบิตต่อวินาที