สารบาญ

หน้า

บทคัดย่อ.....(3)
Abstract.....(4)
กิตติกรรมประกาศ.....(5)
สารบาญ.....(6)
รายการตาราง.....(8)
รายการภาพประกอบ.....(9)
บทที่
1. บทนำ.....1
ความสำคัญและที่มาของงานวิจัย.....1
การตรวจเอกสาร.....2
วัตถุประสงค์.....3
ขอบเขตของการวิจัย.....3
ขั้นตอนและวิธีการวิจัย.....3
ประโยชน์ที่คาดว่าจะได้รับ.....3
2. การศึกษาค้นคว้าข้อมูล.....5
บทความและงานวิจัยที่เกี่ยวข้องกับเครื่องจัดการจราจรในระบบเครือข่าย.....5
บทความและทฤษฎีที่เกี่ยวข้อง.....18
3. ข้อพิจารณาในการออกแบบ.....26
การจำแนกประเภทของงาน.....26
การเลือกสถาปัตยกรรมในการจัดคิว.....27
การอินเตอร์เฟสกับระบบเครือข่าย.....29
การตรวจสอบความถูกต้องของข้อมูล.....35
การเลือกอุปกรณ์.....36
4. การออกแบบและผลการออกแบบเครื่องจัดการจราจรในระบบเครือข่าย.....46
การทำงานของเครื่องจัดการจราจรในระบบเครือข่าย.....46
ส่วนประกอบของเครื่องจัดการจราจรในระบบเครือข่าย.....48
การออกแบบวงจร.....54

สารบาญ (ต่อ)

หน้า

ผลการจำลองการทำงานของวงจรที่ได้ออกแบบ.....60
รีจิสเตอร์ที่จำเป็นต้องเซ็ต.....68
ขั้นตอนการทำงานของซอฟท์แวร์.....69
5. สรุปผล.....71
การเปรียบเทียบผลการจำลอง.....71
ผลการอิมพลีเมนต์ในซิฟเอฟพีจีเอ.....72
สรุปผลการจำลองการทำงานของเครื่องจัดการจราจรในระบบเครือข่าย.....72
ปัญหาและข้อเสนอแนะ.....73
6. บรรณานุกรม.....75
7. ภาคผนวก.....77
ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....78
รายละเอียดของวงจรและผลการจำลองการทำงาน.....81
วงจร Arbiter วงจรรวมและอื่น ๆ 113
8. ประวัติผู้เขียน.....120

รายการตาราง

ตาราง **หน้า**

2-1 ค่า Latency ที่วัดได้จากการทำการเคลื่อนย้ายแพ็คเกตในแต่ละคำสั่งของ μEngine...10

2-2 การเปรียบเทียบสถาปัตยกรรมของเราเตอร์..... 13

3-1 เวลาในการเคลื่อนย้ายข้อมูลขนาด 64 ไบต์และ 1,500 ไบต์เทียบกับเวลาโดยรวม..... 28

3-2 ความแตกต่างของชิพเอฟพีจีเอประเภท SRAM และ Antifuse-based..... 38

5-1 เวลาที่ใช้ในแต่ละขั้นตอนของการจัดคิวแพ็คเกตโดยใช้สถาปัตยกรรมที่ออกแบบไว้..... 71

5-2 ผลการใช้ทรัพยากรต่าง ๆ ในชิพเอฟพีจีเอของสถาปัตยกรรมที่ออกแบบไว้..... 72

รายการภาพประกอบ

ภาพประกอบ **หน้า**

2-1 การทำงานของตัวประมวลผลไอพีแพ็คเกตโดยภาพรวม..... 5

2-2 โทโปโลยีของเครือข่าย..... 6

2-3 สถาปัตยกรรมของเน็ตเวิร์กโปรเซสเซอร์..... 8

2-4 บล็อกไดอะแกรมของระบบซึ่งใช้เน็ตเวิร์กโปรเซสเซอร์รุ่น IXP1200..... 9

2-5 ตัวอย่างของอีลีเมนต์..... 10

2-6 ตัวอย่างของไอพีเราเตอร์..... 11

2-7 การจัดคิวแบบต่าง ๆ ของไอพีเราเตอร์..... 12

2-8 สถาปัตยกรรมของเราเตอร์ประเภท Software-Based..... 14

2-9 สถาปัตยกรรมของเราเตอร์ประเภท ASIC-Based..... 16

2-10 สถาปัตยกรรมของเราเตอร์ประเภท Network Processor-Based..... 17

2-11 ตำแหน่งของ MII ใน Protocol Stack..... 18

2-12 การส่งข้อมูลเมื่อไม่มีการชนกันของข้อมูลเกิดขึ้น..... 20

2-13 การส่งข้อมูลที่มีความผิดพลาดเกิดขึ้น..... 20

2-14 การรับข้อมูลที่ไม่มีความผิดพลาดเกิดขึ้น..... 21

2-15 การรับข้อมูลที่มีความผิดพลาดเกิดขึ้น..... 21

2-16 การส่งข้อมูลที่มีการชนกันของข้อมูลเกิดขึ้น..... 22

2-17 รูปแบบเฟรมข้อมูลของ MII..... 23

2-18 ลำดับการรับและส่งข้อมูล..... 23

2-19 Preamble และ SFD ที่ถูกส่งผ่าน MII..... 24

2-20 ข้อมูลที่ได้รับซึ่งมี Preamble นำหน้า SFD..... 24

3-1 สถาปัตยกรรมโปรโตคอล..... 28

3-2 การเชื่อมต่อกับระบบเครือข่ายผ่านทาง PCI Bus..... 30

3-3 ตัวอย่างบล็อกไดอะแกรมของ PCI Host Bridge..... 31

3-4 บล็อกไดอะแกรมของระบบรับส่งข้อมูลผ่าน MII..... 32

3-5 บล็อกไดอะแกรมของชิพ DP83840A..... 33

3-6 บล็อกไดอะแกรมของชิพ DP83223..... 35

รายการภาพประกอบ (ต่อ)

ภาพประกอบ **หน้า**

3-7 ตัวอย่างสถาปัตยกรรมของชิพเอฟพีจีเอประเภท SRAM-based..... 37

3-8 ตัวอย่างสถาปัตยกรรมของชิพเอฟพีจีเอประเภท Antifuse-based..... 38

3-9 สถาปัตยกรรมของชิพตระกูล XC4000..... 39

3-10 บล็อกไดอะแกรมของซีแอลบีของชิพตระกูล XC4000..... 40

3-11 สถาปัตยกรรมของชิพตระกูล Altera Flex 8000..... 40

3-12 Logic Element ของชิพตระกูล Altera Flex 8000..... 41

3-13 Logic Array Block ของชิพตระกูล Altera Flex 8000..... 41

3-14 ขั้นตอนการออกแบบชิพเอฟพีจีเอด้วย Schematic และ VHDL Design..... 42

4-1 พอยน์เตอร์ชี้ตำแหน่งหน่วยความจำ..... 46

4-2 สถาปัตยกรรมโดยภาพรวมของเครื่องจัดการจราจรในระบบเครือข่าย..... 49

4-3 บล็อกไดอะแกรมอย่างง่ายของวงจร *Arbiter*..... 50

4-4 บล็อกไดอะแกรมอย่างง่ายของวงจรภาครับ..... 51

4-5 บล็อกไดอะแกรมอย่างง่ายของวงจรภาคส่ง..... 52

4-6 Memory Map ของหน่วยความจำหลัก..... 53

4-7 บล็อกไดอะแกรมของวงจร *Arbiter*..... 54

4-8 บล็อกไดอะแกรมของวงจรภาครับ..... 57

4-9 บล็อกไดอะแกรมของวงจรภาคส่ง..... 59

4-10 ผลการจำลองการทำงานของวงจร *Arbiter*..... 60

4-11 ผลการจำลองการทำงานของวงจร *Arbiter* (ต่อ)..... 61

4-12 ผลการจำลองการทำงานของวงจรภาครับ..... 62

4-13 ผลการจำลองการทำงานของวงจรภาครับ (ต่อ)..... 63

4-14 ผลการจำลองการทำงานของวงจรภาครับ (ต่อ)..... 64

4-15 ผลการจำลองการทำงานของวงจรภาคส่ง..... 65

4-16 ผลการจำลองการทำงานของวงจรภาคส่ง (ต่อ)..... 66

4-17 ผลการจำลองการทำงานของวงจรภาคส่ง (ต่อ)..... 67

4-18 ผลการจำลองการทำงานของวงจรภาคส่ง (ต่อ)..... 68

รายการภาพประกอบ (ต่อ)

ภาพประกอบ **หน้า**

5-1 การทำงานของสถาปัตยกรรมในการจัดคิวเป็นแบบไปป์ไลน์..... 72