บทที่ 1

บทนำ

1.1 ความสำคัญและที่มาของงานวิจัย

ปัจจุบันความต้องการใช้งานระบบเครือข่ายอินเตอร์เน็ตมีเพิ่มมากขึ้น ซึ่งมีจุดประสงค์หลักคือการแลกเปลี่ยนข้อมูล ข่าวสาร เพื่อประโยชน์ทางด้านการศึกษา ทางธุรกิจ หรือเพื่อความบันเทิง เป็นต้น เมื่อความต้องการใช้งานระบบเครือข่ายมีเพิ่มมากขึ้น ปริมาณการจราจรในระบบเครือข่ายอินเตอร์เน็ตก็เพิ่มมากขึ้นไปด้วย นอกเหนือจากเรื่องของปริมาณการจราจรที่เพิ่มขึ้นแล้ว รูปแบบของการจราจรในระบบเครือข่ายก็มีการเปลี่ยนแปลงไปกล่าวคือ การจราจรประเภทมัลติมีเดีย(Multimedia) และแอพพลิเคชันบางอย่างเช่น Voice over IP (VoIP) มีปริมาณเพิ่มขึ้น ซึ่งการจราจรประเภทนี้ต้องการการรับส่งข้อมูลที่ความเร็วสูง หนทางที่ผู้ดูแลระบบเครือข่ายจะสามารถให้บริการตอบสนองต่อความต้องการของผู้ใช้บริการได้นั้นจะต้องทำการขยายช่องทางรับส่งข้อมูลให้กว้างขึ้นและใช้อุปกรณ์ที่ทำงานที่ความเร็วสูงขึ้น วิธีการนี้ต้องเสียค่าใช้จ่ายที่สูงมาก แนวทางการแก้ปัญหาอีกแนวทางหนึ่งที่ถูกนำมาใช้คือการจัดสรรแบนด์วิดท์ที่มีอยู่จำกัดให้สามารถตอบสนองความต้องการของผู้ใช้บริการได้ ซึ่งความสามารถในการจัดสรรแบนด์วิดท์ (Bandwidth Allocation) และจัดการในเรื่องคุณภาพการให้บริการ (Quality of Service) ของการจราจรประเภทต่าง ๆ นั้นขึ้นอยู่กับประสิทธิภาพในการจัดการกับการจราจรในระบบเครือข่าย (Traffic Management) โดยเทคนิคที่ใช้ในการจัดการเรื่องของคุณภาพของการให้บริการนั้นคือการจำแนกและจัดลำดับความสำคัญของจราจร (Traffic Categorizing and Prioritizing) ในระบบเครือข่าย หากไม่มีการจัดการในเรื่องของคุณภาพการให้บริการแล้วผู้ใช้บริการทุกคนก็จะร้องขอระดับการให้บริการสูงสุด (Highest Quality of Service Level) ซึ่งเป็นการสิ้นเปลืองเกินไป วิธีการหนึ่งที่ใช้ในการควบคุมในเรื่องคุณภาพของการให้บริการคือ การให้ผู้ใช้บริการจ่ายเงินมากหรือน้อยขึ้นอยู่กับคุณภาพการบริการที่ผู้ใช้บริการเลือกใช้ การจัดการกับการจราจรในระบบเครือข่ายที่กล่าวมาสามารถทำได้โดยใช้เครื่องจัดการจราจรในระบบเครือข่ายซึ่งถูกผลิตขึ้นจำหน่ายโดยผู้ผลิตโดยทั่วไปในราคาที่ค่อนข้างสูง การซ่อมแซมเมื่ออุปกรณ์ชำรุดก็ต้องส่งไปให้ผู้ผลิตเป็นผู้จัดการซึ่งใช้เวลานาน งานวิจัยชิ้นนี้จึงมุ่งหวังที่จะออกแบบเครื่องจัดการจราจรในระบบเครือข่ายที่สามารถนำมาพัฒนาเพื่อใช้งานได้จริงและมีต้นทุนไม่สูงมากนัก

1.2 การตรวจเอกสาร

1.2.1 ไอพีแพ็คเกตโปรเซสเซอร์ (IP^3 : IP Packet Processor) (IP^3 Internet Protocol Packet Processor, http://www.tik.ee.rthz.ch/~ip3) โครงงานนี้เกี่ยวข้องกับการออกแบบและสร้างแพ็คเกตโปรเซสเซอร์ขนาดกระทัดรัดบนบอร์ดพีซีไอ (PCI) หนึ่งบอร์ด โดยอัลกอริทึมที่ใช้ในการจัดลำดับแพ็คเกตคือการจัดเรียงแพ็คเกตตามลำดับความสำคัญแบบไดนามิก และเน้นการจัดการในเรื่องของคุณภาพการให้บริการอย่างยุติธรรม นอกจากนี้สถาปัตยกรรมของหน่วยความจำที่ใช้เป็นไปในลักษณะที่สามารถขยายขนาดหน่วยความจำได้เพื่อให้สามารถรองรับการคำนวณเพื่อจัดลำดับแพ็คเกตซึ่งจำเป็นต้องใช้หน่วยความจำจำนวนมาก ไอพีแพ็คเกตโปรเซสเซอร์ในโครงงานนี้ใช้เทคนิคการออกแบบด้วย ASIC ซึ่งเป็นอีกเทคนิคหนึ่งที่เหมาะสำหรับงานที่ต้องการความเร็วสูง

1.2.2 Algorithm-Architecture Trade-offs in Network Processor Design (Matthias Gries, 2001) เป็นวิทยานิพนธ์ที่เกี่ยวข้องกับการออกแบบเน็ตเวิร์กโปรเซสเซอร์ (Network Processor) ซึ่งเน้นการใช้งานกับระบบเครือข่ายที่เชื่อมต่อระหว่างผู้ให้บริการอินเตอร์เน็ต (ISP) กับผู้ใช้บริการ และการรองรับบริการในเรื่องของคุณภาพการให้บริการ รวมทั้งทำการศึกษาอัลกอริทึมที่เหมาะสมสำหรับการจัดการในเรื่องของคุณภาพการให้บริการ แม้จะไม่สามารถระบุว่าอัลกอริทึมใดเป็นอัลกอริทึมที่ดีที่สุดเนื่องจากอัลกอริทึมแต่ละอัลกอริทึมเหมาะสมกับลักษณะการใช้งานที่แตกต่างกัน แต่ก็เป็นแนวทางในการพิจารณาเพื่อเลือกอัลกอริทึมให้เหมาะสมกับการใช้งานและทำให้ทราบว่าพารามิเตอร์ใดมีความสำคัญต่อการตัดสินใจเลือกอัลกอริทึม

1.2.3 The Click Modular Router (Eddie Kohler, 2001) เป็นวิทยานิพนธ์ที่เกี่ยวข้องกับการสร้างเราเตอร์หรือแพ็คเกตโปรเซสเซอร์ที่มีความยืดหยุ่นและสามารถปรับเปลี่ยนค่าได้ตามต้องการ (Configurable) โดยใช้ซอฟท์แวร์ Click ซึ่งเป็นสถาปัตยกรรมซอฟท์แวร์ใหม่ชนิดหนึ่งที่เน้นความสนใจที่โมดูลย่อย ๆ ที่เรียกว่า Element เนื่องจากลักษณะที่เป็นโมดูลของ Click ทำให้ง่ายต่อการปรับปรุงและเพิ่มเติมฟังก์ชันการทำงาน และจากการวิเคราะห์ประสิทธิภาพพบว่า Click เราเตอร์มีประสิทธิภาพใกล้เคียงกับพีซีเราเตอร์อื่น ๆ

1.2.4 Evaluating Network Processors in IP Forwarding (Spalink, Karlin and Peterson, 2000) บทความนี้นำเสนอการหาประสิทธิภาพการทำงานของเน็ตเวิร์กโปรเซสเซอร์ โดยเน้นเน็ตเวิร์กโปรเซสเซอร์ในไอพีเราเตอร์ที่ถูกออกแบบมาเพื่อลดผลกระทบของ Latency ซึ่งเกิดขึ้นจากการถ่ายโอนข้อมูลของหน่วยความจำ โดยสามารถส่งต่อ (Forward) ไอพีแพ็คเกตขนาดเล็กที่ความเร็ว Line Speed และใช้เทคโนโลยีการออกแบบด้วย ASIC

1.3 วัตถุประสงค์

1.3.1 เพื่อออกแบบสถาปัตยกรรมสำหรับจัดการกับการจราจรในระบบเครือข่ายคอมพิวเตอร์

1.3.2 เพื่อออกแบบวงจรรวมเอฟพีจีเอสำหรับใช้งานในระบบเครือข่ายคอมพิวเตอร์

1.4 ขอบเขตของการวิจัย

1.4.1 ออกแบบสถาปัตยกรรมของเครื่องจัดการจราจรในระบบเครือข่ายซึ่งสามารถรับและส่งข้อมูลได้พร้อม ๆ กัน

1.4.2 ออกแบบวงจรที่อยู่ในรูปวงจรรวมเอฟพีจีเอซึ่งทำหน้าที่รับส่งแพ็คเกตและช่วยลดภาระในการเคลื่อนย้ายข้อมูลของไมโครโปรเซสเซอร์

1.4.3 สถาปัตยกรรมของเครื่องจัดการจราจรในระบบเครือข่ายที่ออกแบบสามารถรับส่งแพ็คเกตได้ไม่ต่ำกว่า 830 แพ็คเกตต่อวินาที

1.5 ขั้นตอนและวิธีการวิจัย

1.5.1 ศึกษาบทความและงานวิจัยที่เกี่ยวข้อง

1.5.2 ศึกษาการออกแบบระบบฮาร์ดแวร์ของเครื่องจัดการจราจรในระบบเครือข่าย

1.5.3 ออกแบบระบบฮาร์ดแวร์ของเครื่องจัดการจราจรในระบบเครือข่าย

1.5.4 จำลองการทำงานของระบบฮาร์ดแวร์ของเครื่องจัดการจราจรในระบบเครือข่าย

1.5.5 แก้ไขและปรับปรุงข้อผิดพลาดที่เกิดขึ้น

1.5.6 สรุปผลและรวบรวมผลการจำลอง

1.6 ประโยชน์ที่คาดว่าจะได้รับ

1.6.1 ได้สถาปัตยกรรมของระบบฮาร์ดแวร์ที่ทำหน้าที่จัดการการจราจรในเครือข่ายซึ่งสามารถขจัดปัญหาความแออัดของการจราจรในเครือข่าย (Network Congestion)

1.6.2 ได้สถาปัตยกรรมสำหรับจัดคิวที่สามารถลดการเคลื่อนย้ายข้อมูลลงได้อย่างมาก

1.6.3 ได้ศึกษา ค้นคว้า เรียนรู้วิธีการออกแบบฮาร์ดแวร์และการจัดการกับการจราจรในเครือข่าย