บทที่ 5
สรุปผลการวิจัย

ผลลัพธ์ที่ได้จากการวิจัยในโครงการนี้ คือ อัลกอริทึมใหม่สำหรับการสังเคราะห์วงจรควบคุม FSM ที่มีความเร็วสูงและใช้กำลังไฟต่ำ เนื่องจากการทำงานของวงจรไม่ถูกจำกัดด้วยความเร็วของวงจรส่วนที่ทำงานช้าที่สุดและการเลือกความถี่ของสัญญาณนาฬิกาที่เหมาะสม ผลการวิเคราะห์เปรียบเทียบกับงานวิจัยที่เกี่ยวข้องได้พิสูจน์ให้เห็นถึงประสิทธิภาพของวงจรที่ได้ อัลกอริทึมที่ได้จากโครงการนี้เป็นระเบียบวิธีมาตรฐาน มีฟอร์แมทของข้อมูลอินพุทและเอาท์พุทที่ใช้ได้กับซอฟท์แวร์สังเคราะห์วงจรมาตรฐาน จึงสามารถนำไปพัฒนาเป็นซอฟแวร์ช่วยออกแบบ (CAD tool) ที่เป็นประโยชน์ช่วยให้การออกแบบวงจรรวม เช่น วงจรประมวลสัญญาณดิจิตอล เป็นต้น ได้อย่างมีประสิทธิภาพ

5.1 ผลงานวิจัยที่สัมฤทธิ์ผล

ผลงานวิจัยที่ได้จากโครงการวิจัยเป็นไปตามวัตถุประสงค์ คือ ได้เทคนิคการออกแบบวงจรควบคุมสำหรับระบบวงจรรวมความเร็วสูง สามารถแก้ปัญหาของระเบียบวิธีที่มีอยู่ได้ กล่าวคือ วงจรสามารถทำงานได้เร็วโดยไม่ถูกจำกัดด้วยวงจรส่วนที่ทำงานช้าที่สุด เทคนิคที่ได้ถูกเรียบเรียงเป็นอัลกอริทึมซึ่งเป็น Systematic method ซึ่งสามารถถูกนำไปพัฒนาเป็นซอฟท์แวร์เพื่อการออกแบบอัตโนมัติต่อไปได้ นอกจากนี้ผู้วิจัยยังได้เสนอเทคนิคในการวิเคราะห์ระบบก่อนทำการสังเคราะห์วงจรควบคุม FSM เพื่อเป็นการประหยัดเวลาในการวิเคราะห์หาวงจรที่เหมาะสมที่สุด (Optimum design) ซึ่งอาจมีจุดออกแบบ (Design point) ที่เหมาะสมหลายทางเลือก ระเบียบวิธีทำการวิเคราะห์จุดออกแบบ (Design space exploration) ที่เหมาะสมให้นักออกแบบตัดสินใจเลือกจุดออกแบบที่เหมาะสมกับลักษณะงานและทรัพยากรที่อยู่

ผลงานวิจัยในโครงการนี้ได้รับการเผยแพร่ในรูปบทความวิชาการ มีการเสนอในการที่ประชุมวิชาการระดับนานาชาติ 3 บทความดังนี้

1. Nattha Jindapetch, Pornchai Phukpattranont, and Kanadit Chetpattananondh, "Effective Resource Sharing in a Second-Order Volterra Filter", PSU-UNS International Conference on Engineering and Environment - ICEE-2005, Novi Sad, May 19-20, 2005.
2. Nattha Jindapetch, Hiroshi Saito, Pornchai Phukpattranont, and Kanadit Chetpattananondh, "Area-Speed Ratio Productions for Data-path Resource-Sharing Decisions", The 20th International Conference on Circuits/Systems,

Computers, and Communications (ITC-CSCC 2005), Jeju Korea, July 4-7, 2005.

3. Nattha Jindapetch, Hiroshi Saito, Krerkchai Thongnoo, and Takashi Nanya, "Determination of Worst-Case Independent Clock Periods for Resource-Constrained Systems", The 2006 ECTI International Conference, Ubolratchatani Thailand, May 10-13, 2006.

5.2 ผลงานวิจัยที่ไม่สัมฤทธิ์ผล

การพัฒนาซอฟต์แวร์ไม่สามารถทำให้สำเร็จได้ในโครงการวิจัยนี้ เนื่องจากระยะเวลาจำกัด และผู้วิจัยได้เพิ่มการเสนอระเบียบวิธีที่ช่วยเสริมให้การสังเคราะห์วงจรมีทางเลือก (Design space exploration) กล่าวคือนักออกแบบสามารถเลือกจุดออกแบบ (Design point) ที่เหมาะสมกับลักษณะงานและทรัพยากรที่มีอยู่ ทั้งนี้งานดังกล่าวไม่ได้อยู่ในขอบเขตงานวิจัยที่ได้ระบุไว้ตอนแรก แต่ในระหว่างการทำวิจัยผู้วิจัยพบวิธีสำหรับแก้ปัญหานี้ได้มีประสิทธิภาพดีกว่าระเบียบวิธีที่เกี่ยวข้อง จึงทำให้ใช้เวลาในการวิเคราะห์ระเบียบวิธีดังกล่าว

ระเบียบวิธีที่นำเสนอในโครงการวิจัยนี้เป็นประโยชน์ช่วยให้การออกแบบวงจรรวมเช่น วงจรประมวลสัญญาณดิจิตอล ได้อย่างมีประสิทธิภาพ เพื่อพิสูจน์ข้อเท็จจริงนี้ในขณะนี้ระเบียบวิธีนี้กำลังถูกนำไปออกแบบวงจรประมวลสัญญาณดิจิตอล 2 วงจร คือ วงจรฟิลเตอร์แบงค์สำหรับเครื่องช่วยฟังดิจิตอล และวงจรลดสัญญาณรบกวนโดยอาศัยหลักการโครงข่ายประสาท วงจรทั้งสองจะถูกนำไปโปรแกรมลงชิพ FPGAs (Filed Programmable Gate Arrays) ซึ่งจากการวิเคราะห์คาดประมาณ (Estimation) วงจรที่ได้น่าจะทำงานได้เร็วกว่างานวิจัยที่เกี่ยวข้อง

สุดท้ายนี้ผู้วิจัยได้สรุปปัญหาและอุปสรรคในการทำวิจัยในโครงการนี้ในบทถัดไป และจากการวิจัยพบว่างานวิจัยสามารถพัฒนาได้อีกมาก โดยเฉพาะอย่างยิ่งการสังเคราะห์วงจรที่ระดับสูง ซึ่งประกอบด้วย การจัดลำดับโอเปอเรชัน การใช้ทรัพยากรร่วมกัน และการคำนวณหาความถี่ของสัญญาณนาฬิกาที่เหมาะสม ผู้วิจัยต้องการพัฒนางานต่อไปเพื่อให้ได้ CAD tool ที่สมบูรณ์และมีประสิทธิภาพ เพื่อนำไปประยุกต์ใช้ออกแบบวงจรรวมดิจิตอลที่มีประสิทธิภาพต่อไป