บทคัดย่อ

ในโครงการวิจัยนี้ ระเบียบวิธีการสังเคราะห์วงจรที่ระดับสูง (High-level synthesis) ถูกเสนอสำหรับการสังเคราะห์วงจรควบคุม FSMs (Finite State Machines) ที่ความเร็วของวงจรไม่ถูกจำกัดด้วยวงจรส่วนที่ทำงานช้าที่สุดภายใต้ระบบที่มีทรัพยากรจำกัด จาก DFG (Data Flow Graph) และโมดูลไลบรารีที่ให้มา ระเบียบวิธีจะทำการคำนวณหาเซทขนาดเล็กสุดของจุดออกแบบภายใต้ข้อจำกัดทรัพยากร (Resource-constraints) โดยการพิจารณาความสัมพันธ์ทางข้อมูลระหว่างโอเปอเรชัน จากนั้นระเบียบวิธีการจัดลำดับโอเปอเรชัน ASAP แบบอะซิงโครนัสถูกประยุกต์ใช้ในการสังเคราะห์ DFG สำหรับแต่ละ resource-constraint โดยไม่ต้องคำนึงถึงคาบสัญญาณนาฬิกา ท้ายสุดคาบสัญญาณนาฬิกาที่เหมาะสมที่สุดถูกคำนวณออกมาสำหรับวงจร FSMs ที่ทำงานได้เร็ว การทดลองใช้ระเบียบวิธีกับวงจร DSP benchmarks แสดงให้เห็นว่าจุดออกแบบที่สังเคราะห์ได้ล้วนเป็นจุดพาริโตที่มีขนาดวงจรและความเร็วเหมาะสมที่สุด

Abstract

In this research project, high-level synthesis methods are proposed to determine worst-case independent finite state machines (FSMs) for resource-constrained systems. From a given Data Flow Graph (DFG) and a module library set, a minimal set of resource constraints is determined by the way of data dependence among operations. Then an asynchronous style ASAP scheduling is applied regardless of clock periods to this DFG to obtain best speed under each resource-constraint. Finally, the optimal clock period is determined for the FSMs with optimal speed. The experiments on DSP benchmarks show that the resulted design points are all Pareto points in the design space.