สารบัญเรื่อง

	เนื้อเรื่อง	หน้า
	กิตติกรรมประกาศ	i
	บทคัดย่อ	ii
	สารบัญ	iv
บทที่ 1	**บทนำ**	1
	1.1 เหตุผลความจำเป็นการทำวิจัย	
	1.2 วัตถุประสงค์ของโครงการ	
	1.3 การออกแบบการวิจัย	
	1.4 ขอบเขตของการวิจัย	
บทที่ 2	**การทบทวนวรรณกรรม**	3
	2.1 Finite State Machines (FSMs)	
	2.2 Data-Flow Graphs (DFGs)	
	2.3 การสังเคราะห์วงจรที่ระดับสูง (High-Level Synthesis)	
	2.4 ปัญหาการสังเคราะห์ FSMs จาก DFGs	
	2.5 งานวิจัยที่เกี่ยวข้อง	
บทที่ 3	**ระเบียบวิธีวิจัย**	12
	3.1 แนวคิด	
	3.2 สถาปัตยกรรมของวงจรเป้าหมาย	
	3.3 การเลือกจุดออกแบบ	
	3.4 การจัดลำดับโอเปอเรชันแบบอะซิงโครนัส	
	3.5 การเลือกคาบสัญญาณนาฬิกา	
	3.6 การสังเคราะห์ FSMs	
บทที่ 4	**ผลการวิจัย**	24
	4.1 ผลการวิเคราะห์จุดพาริโต	
	4.2 ผลการวิเคราะห์วงจรเบนช์มาร์ค	
บทที่ 5	**สรุปผลการวิจัย**	27
บทที่ 6	**ปัญหาและอุปสรรค**	29
	บรรณานุกรม	31
	ภาคผนวก	ก-1

สารบัญภาพ

รูปที่		หน้า
2.1	โครงสร้างวงจร FSMs แบบ Moore และ Mealy machine	3
2.2	เซทของการคำนวณ (a) และ DFG (b) ของวงจรแก้สมการอนุพันธ์อันหนึ่ง	5
2.3	การโอนถ่ายข้อมูล (Data Transfer) ระหว่างรีจิสเตอร์	9
2.4	Data Flow Graph (DFG) และ FSMs ที่สังเคราะห์ได้	10
3.1	The transformed DFG and its corresponding time step and FSM	12
3.2	สถาปัตยกรรมของวงจรของโครงการวิจัยนี้	14
3.3	DFG ของวงจรแก้สมการอนุพันธ์อันหนึ่ง	18
3.4	DFG ที่มีการเปลี่ยนลำดับการเกิด O_4 และ O_8 จากรูปที่ 3.3	18
3.5	เซทของ Resource-constraints โดยที่ (a) คือ เซทเต็มของ Resource-constraints ที่เป็นไปได้ทั้งหมด (b) คือ เซทที่ลดลงโดยความสัมพันธ์ของข้อมูล (c) คือ เซทที่ลดลงโดยการเปลี่ยนลำดับการเกิด	19
3.6	An elliptical wave filter (EWF) taken from [Bachman99]: (a) a DFG with asynchronous style ASAP scheduling, (b)time steps, (c) clock assignment.	20
3.7	FSM ที่สังเคราะห์ได้จาก DFGในรูปที่ 3.6	23

สารบัญตาราง

ตารางที่		หน้า
1	ผลการวิเคราะห์จุดพาริโต	24
2	Benchmark results	25