บทที่ 5

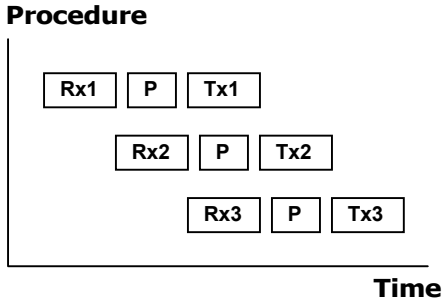
สรุปผล

5.1 การเปรียบเทียบผลการจำลอง

การวัดประสิทธิภาพการทำงานของสถาปัตยกรรมที่ได้ออกแบบไว้ ทำได้โดยการเปรียบเทียบค่า Throughput ของสถาปัตยกรรมดังกล่าวกับ Throughput ของการจัดคิวแพ็คเกตโดยใช้ซอฟท์แวร์ซึ่งรันอยู่บนเครื่องพีซีประสิทธิภาพสูง ซึ่งในที่นี้ใช้เครื่องพีซีที่ใช้ซีพียูเซลลูรอนความเร็ว 633 เมกกะเฮิร์ท โดยใช้ซอฟท์แวร์ชื่อ Total Traffic Control for E-Business รันบนระบบปฏิบัติการ Windows 2000 ค่า Throughput ที่วัดได้โดยใช้ซอฟท์แวร์มีค่าเท่ากับ 1.8 เมกกะไบต์ต่อวินาที ส่วนการหาค่า Throughput ของสถาปัตยกรรมดังกล่าวทำโดยการจำลองผลการทำงาน ซึ่งเวลาที่ใช้ในขั้นตอนต่าง ๆ ของการจัดคิวแพ็คเกตขนาด 128 ไบต์ แสดงดังตาราง 5-1 เนื่องจากว่าการทำงานของสถาปัตยกรรมดังกล่าวมีลักษณะเป็นแบบไปป์ไลน์ กล่าวคือในขณะที่ไมโครโปรเซสเซอร์กำลังประมวลผลเพื่อจัดคิวแพ็คเกตที่ 1 นั้น วงจรภาครับจะทำการจัดเก็บแพ็คเกตที่ 2 ไปพร้อม ๆ กัน ดังแสดงในภาพประกอบ 5-1 ดังนั้นการหาค่า Throughput จึงไม่สามารถคำนวณจากการนำเวลาของแต่ละขั้นตอนมารวมกันได้โดยตรง เมื่อพิจารณาการทำงานแบบไปป์ไลน์ของสถาปัตยกรรมที่ได้ออกแบบไว้พบว่า Throughput ของแพ็คเกตที่ได้รับเข้ามาจะเท่ากับ Throughput ของแพ็คเกตที่ส่งออกไปเพียงแต่จะมีดีเลย์เกิดขึ้นจากการประมวลผลแพ็คเกตของไมโครโปรเซสเซอร์ ด้วยเหตุนี้จึงสามารถสรุปได้ว่า ค่า Throughput ของสถาปัตยกรรมที่ได้ออกแบบไว้มีค่าเท่ากับค่า Throughput ของแพ็คเกตที่ได้รับเข้ามาคือ 12.5 เมกกะไบต์ต่อวินาที

ตาราง 5-1 เวลาที่ใช้ในแต่ละขั้นตอนของการจัดคิวแพ็คเกตโดยใช้สถาปัตยกรรมที่ออกแบบไว้

ขั้นตอนต่าง ๆ	เวลาที่ใช้ (ไมโครวินาที)
การจัดเก็บแพ็คเกตลงในหน่วยความจำ	12.08
การประมวลผลเพื่อจัดคิวแพ็คเกต	1.5
การส่งต่อแพ็คเกตออกไป	11.24



ภาพประกอบ 5-1 การทำงานของสถาปัตยกรรมในการจัดคิวเป็นแบบไปป์ไลน์

5.2 ผลการอิมพลีเมนต์ในชิพเอฟพีจีเอ

เมื่อนำสถาปัตยกรรมของเครื่องจัดการจราจรในระบบเครือข่ายที่ได้ออกแบบไว้มาอิมพลีเมนต์บนชิพเอฟพีจีเอ ผลการใช้ทรัพยากรต่าง ๆ แสดงดังตาราง 5-2 เมื่อพิจารณาจำนวนทรัพยากรที่ใช้ไปเทียบกับทรัพยากรที่มีทั้งหมดจะเห็นว่ายังมีทรัพยากรเหลือว่างจำนวนหนึ่ง จากทรัพยากรที่เหลืออยู่นี้ทำให้สามารถปรับปรุงหรือเพิ่มเติมวงจรของเครื่องจัดการจราจรในระบบเครือข่ายให้มีความสมบูรณ์มากยิ่งขึ้นโดยที่ไม่จำเป็นต้องเปลี่ยนไปใช้ชิพเอฟพีจีเอที่มีขนาดใหญ่กว่าเดิม

ตาราง 5-2 ผลการใช้ทรัพยากรต่าง ๆ ในชิพเอฟพีจีเอของสถาปัตยกรรมที่ออกแบบไว้

ทรัพยากรที่ใช้	จำนวนที่ใช้	จำนวนที่มีทั้งหมด
CLBs	161	784
External IOB	83	160

5.3 สรุปผลการจำลองการทำงานของเครื่องจัดการจราจรในระบบเครือข่าย

สถาปัตยกรรมของเครื่องจัดการจราจรในระบบเครือข่ายที่ได้ออกแบบนั้นวงจรภาครับและวงจรภาคส่งทำงานอิสระต่อกัน ซึ่งทำให้เครื่องจัดการจราจรที่สร้างขึ้นด้วยสถาปัตยกรรมดังกล่าวสามารถรับและส่งแพ็คเกตได้พร้อมกัน และจากผลการจำลองการทำงานพบว่าการจัดคิวแพ็คเกตโดยใช้สถาปัตยกรรมที่ออกแบบไว้มีค่า Throughput เท่ากับ 12.5 เมกกะไบต์ต่อวินาที ซึ่งสูงกว่า

การจัดคิวแพ็คเกตโดยใช้ซอฟท์แวร์ของสถาปัตยกรรมที่มีอยู่ในปัจจุบันถึง 700 เปอร์เซ็นต์ (มาจาก 12.5x100/1.8) เนื่องจากสถาปัตยกรรมดังกล่าวสามารถลดเวลาที่สูญเสียไปกับการเคลื่อนย้ายข้อมูล ค่า Throughput ของสถาปัตยกรรมดังกล่าวจะยังคงมีค่าคงที่เช่นนี้ หากบัฟเฟอร์หรือหน่วยความจำที่จัดเก็บแพ็คเกตมีขนาดใหญ่เพียงพอ เพียงแต่จะมีค่า Latency Time ที่เกิดขึ้นจากการประมวลผลของไมโครโปรเซสเซอร์เพื่อจัดคิวแพ็คเกต

สำหรับการนำวงจรไปใช้งานจริง จำเป็นต้องมีการปรับเปลี่ยนวงจรเพิ่มเติมเพื่อรองรับการหน่วงเวลาที่เกิดขึ้นในวงจร เนื่องจากการจำลองการทำงานที่ได้ดำเนินการไว้เป็นการจำลองการทำงานในเชิงฟังก์ชันการทำงานเท่านั้น

5.4 ปัญหาและข้อเสนอแนะ

5.4.1 ปัญหาที่พบในการออกแบบ ได้แก่

5.4.1.1 การขาดการจำลองการทำงานในเชิงเวลา (Timing Simulation) ทำให้เมื่อนำวงจรที่ได้ออกแบบไปทดสอบรับข้อมูลจริง พบว่าวงจรที่ได้ออกแบบไว้ในเบื้องต้นจำเป็นต้องมีการปรับเปลี่ยนในเรื่องของการหน่วงเวลาเพื่อให้สามารถรับข้อมูลได้อย่างถูกต้อง

5.4.1.2 การออกแบบวงจรพิมพ์สำหรับทดสอบการทำงานโดยขาดการพิจารณาถึงปัจจัยต่าง ๆ ที่อาจส่งผลต่อการทำงานของวงจรที่ความเร็วสูงทำให้วงจรทำงานไม่ถูกต้องตามที่ได้ออกแบบไว้ เนื่องจากวงจรที่ออกแบบทำงานที่ระดับความเร็ว 25 เมกกะบิตต่อวินาทีถือว่าเป็นการทำงานที่ความเร็วสูง

5.4.2 ข้อเสนอแนะในการออกแบบ ได้แก่

5.4.2.1 ควรเพิ่มเติมฟังก์ชันสำหรับตรวจสอบความถูกต้องของข้อมูลเพื่อให้สถาปัตยกรรมดังกล่าวมีความสมบูรณ์มากขึ้น โดยนำสัญญาณ RX_ER และ TX_ER มาใช้ในการตรวจสอบความถูกต้องของข้อมูลที่รับส่งผ่าน MII การเพิ่มฟังก์ชันดังกล่าวเข้าไปจะช่วยลดเวลาที่สูญเสียไปกับการจัดการแพ็คเกตที่มีความผิดพลาดของข้อมูลเกิดขึ้น

5.4.2.2 ควรเพิ่มเติมการจำลองการทำงานในเชิงเวลาเพื่อช่วยปรับแก้วงจรให้สมบูรณ์เหมาะสำหรับการใช้งานจริงยิ่งขึ้น

5.4.2.3 ในการออกแบบวงจรพิมพ์เพื่อทดสอบระบบหรือนำวงจรไปใช้งานจริงควรจะออกแบบโดยคำนึงถึงปัจจัยต่าง ๆ ที่อาจส่งผลต่อการทำงานของวงจรที่ความเร็วสูง เช่น ระยะทางที่สัญญาณเดินทาง ค่าคาพาซิแตนซ์ เป็นต้น ค่าเหล่านี้ล้วนส่งผลต่อการทำงานของวงจรและมีความซับซ้อนค่อนข้างมาก

5.4.2.4 การนำสถาปัตยกรรมที่ออกแบบไปใช้งานกับเครือข่ายคอมพิวเตอร์ระดับกิกะบิตต่อวินาทีนั้นพบว่าแนวคิดของสถาปัตยกรรมนี้สามารถนำมาใช้กับเครือข่ายคอมพิวเตอร์ระดับกิกะบิตต่อวินาทีได้ เพียงแต่ต้องมีการดัดแปลงวงจรให้สอดคล้องกับมาตรฐาน GMII ซึ่งมีข้อกำหนดในเรื่องของสัญญาณที่แตกต่างจาก MII รวมทั้งอุปกรณ์ต่าง ๆ ที่เลือกใช้ต้องปรับเปลี่ยนให้สอดคล้องกับมาตรฐาน GMII เช่นกัน