# ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปในเทคโนโลยีซีมอส

# CMOS Single-Phase, Single-Loop PLL-Based Coherent BPSK/QPSK */m*-PSK Demodulator


**ฉัตรพิพัฒน์ ชัยชำนาญ**

Chutpipat Chaichomnan


**วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญา**
**วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า**
**มหาวิทยาลัยสงขลานครินทร์**

A Thesis Submitted in Partial Fulfillment of the Requirements for the Degree of Master of Engineering in Electrical Engineering
Prince of Songkla University

**2564**


**ลิขสิทธิ์ของมหาวิทยาลัยสงขลานครินทร์**

# ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปในเทคโนโลยีซีมอส

# CMOS Single-Phase, Single-Loop PLL-Based Coherent BPSK/QPSK */m*-PSK Demodulator

**ฉัตรพิพัฒน์ ชัยชำนาญ**
Chutpipat Chaichomnan

**วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญา**
**วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า**
**มหาวิทยาลัยสงขลานครินทร์**
**A Thesis Submitted in Partial Fulfillment of the Requirements for the Degree of Master of Engineering in Electrical Engineering**
**Prince of Songkla University**
**2564**
**ลิขสิทธิ์ของมหาวิทยาลัยสงขลานครินทร์**

**ชื่อวิทยานิพนธ์** ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดี่ยว ลูปเดียว บนหลักการเฟสล็อคลูปในเทคโนโลยีซีมอส
**ผู้เขียน** นาย ฉัตรพิพัฒน์ ชัยชำนาญ
**สาขาวิชา** วิศวกรรมไฟฟ้า

---

**อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก**

.....
(รองศาสตร์จารย์ ดร. ภาณุมาส คำสัตย์)

**คณะกรรมการสอบ**

.....ประธานกรรมการ
(รองศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์)

.....กรรมการ
(รองศาสตร์จารย์ ดร. ภาณุมาส คำสัตย์)

.....กรรมการ
(ดร.เกียรติศักดิ์ เส้งช่วย)

.....กรรมการ
(ดร.วฤทธิ์ วิชกูล)

.....กรรมการ
(ผู้ช่วยศาสตร์จารย์ ดร.อมร จิรเสรีอมรกุล)

บัณฑิตวิทยาลัย มหาวิทยาลัยสงขลานครินทร์ อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิตสาขาวิชาวิศวกรรมไฟฟ้า

.....
(ศาสตราจารย์ ดร.ดำรงศักดิ์ ฟ้ารุ่งสาง)
คณบดีบัณฑิตวิทยาลัย

ขอรับรองว่า ผลงานวิจัยนี้มาจากการศึกษาวิจัยของนักศึกษาเอง และได้แสดงความขอบคุณบุคคลที่มีส่วนช่วยเหลือแล้ว

ลงชื่อ.....
(รองศาสตราจารย์ ดร. ภาณุมาส คำสัตย์)
อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก

ลงชื่อ.....
(นาย ฉัตรพิพัฒน์ ชัยชำนาญ)
นักศึกษา

ข้าพเจ้าขอรับรองว่า ผลงานวิจัยนี้ไม่เคยเป็นส่วนหนึ่งในการอนุมัติปริญญาในระดับใดมาก่อน และไม่ได้ถูกใช้ในการยื่นขออนุมัติปริญญาในขณะนี้

ลงชื่อ.....
(นาย ฉัตรพิพัฒน์ ชัยชำนาญ)
นักศึกษา

**ชื่อวิทยานิพนธ์** ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดี่ยว ลูปเดียว บนหลักการเฟสล็อคลูปในเทคโนโลยีซีมอส
**ผู้เขียน** นาย ฉัตรพิพัฒน์ ชัยชำนาญ
**สาขาวิชา** วิศวกรรมไฟฟ้า
**ปีการศึกษา** 2564

## บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอรูปทั่วไปของระบบกู้คืนสัญญาณเอ็มพีเอสเค แบบเฟสเดียว, ลูปเดียว บนพื้นฐานของเฟสล็อกลูป โดยใช้อาร์เอสฟลิปฟลอปแบบขอบขาขึ้นเป็นตัวตรวจจับเฟส เพราะมีความเป็นเชิงเส้นที่ผลต่างเฟสมีค่าตั้งแต่ 0-2$\pi$ เรเดียน สำหรับฟลิปฟลอบนี้ช่วยให้ง่ายในการออกแบบตัวควบคุมเฟส และมีความเป็นซึ่งสามารถต่อยอดอย่างเป็นระบบได้ พื้นฐานของตัวควบคุมเฟสใช้เทคนิค sub-ranging/rescaling ที่คล้ายคลึงกับการแปลงสัญญาณอะนาล็อกให้เป็นสัญญาณดิจิตอล (ADC) หลักการที่เสนอนี้ได้ผ่านการทดลองด้วยการใช้วงจรดิสครีตที่ใช้งานด้วย 74HCT4046 สำหรับการกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเค สำหรับต้นแบบของมอดูเลเตอร์ทำงานที่ไฟเลี้ยง 5V เพื่อให้ได้อัตราการส่งข้อมูล 40kbps ที่ความถี่คลื่นพาห์ 120kHz สำหรับวงจรดิสครีตจะทำการเปรียบเทียบกับวงจรดิสครีตโครงสร้างคอสทาสลูปที่ใช้กันอย่างกว้างขวางเพื่อเปรียบเทียบประสิทธิภาพ และได้ระบบระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว, ลูปเดียว บนพื้นฐานของเฟสล็อกลูปมาออกแบบและสร้างบนกระบวนการซีมอส UMC 0.18 ไมโครเมตร โดยอาร์เอสฟลิปฟลอปแบบขอบขาขึ้น จะมีอาร์เอสแลตช์ที่มีโครงสร้างพื้นฐานแบบคงที่ของลอจิกนอร์เกตที่มีตัวตรวจจับขอบแบบหน่วงเวลา โดยส่วนหลักของตัวควบคุมเฟสจะใช้การเลื่อนระดับของแรงดันอย่างง่ายที่เกิดจากการผสมผสานของตัวต้านทานโพลิ-ซิลิกอน, กระแสคงที่ดีซี และทรานมิสชั่นเกตสวิตช์ สำหรับส่วนของการขยายสร้างจากวงจรขยายซอสร่วมแบบดีเจนเนอเรชั่นที่ใช้ตัวต้านทาน ต้นแบบดีมอดูเลเตอร์ใช้ที่ไฟเลี้ยงเดี่ยว 1.8V สำหรับวงจรออสซิสเลเตอร์ที่ควบคุมด้วยแรงดันใช้แบบริงออสซิลเลเตอร์สามขั้นที่มีช่วงปรับความถี่ตั้งแต่ 5-150MHz ระบบบีพีเอสเค และคิวพีเอสเคใช้งานที่ความถี่คลื่นพาห์ 60MHz ที่มีอัตราการส่งข้อมูลสูงสุด 25Mpbs และ24Mbps ตามลำดับ และมีการใช้พลังงาน 1.68mW และ1.92mW ตามลำดับ และที่อัตราการใช้ข้อมูล 10Mbps ของบีพีเอสเค และคิวพีเอสเคมีค่า bit error rate (BER) เท่ากับ $5\text{x}10^{-10}$ และ $6.5\text{x}10^{-10}$ ที่ signal-to-noise ratio (SNR) เท่ากับ 16dB และที่อัตราการใช้ข้อมูลสูงสุดของบีพีเอส และคิวพีเอสเคจะมีค่า BER ที่เพิ่มขึ้นเท่ากับ $3.5\text{x}10^{-7}$ และ $5.5\text{x}10^{-7}$ สำหรับบีพีเอสเค และคิวพีเอสเค ดีมอดูเลเตอร์จะมีค่าพลังงาน/บิต เท่ากับ 67 and 80 พิโกจูล ตามลำดับ

***คำสำคัญ:*** *บีพีเอสเค; คิวพีเอสเค; 8-พีเอสเค; เอ็มพีเอสเค; ระบบกู้คืนสัญญาณ ,เฟสเดียว, ลูปเดียว, เฟสล็อกลูป, คอสทาสลูป, ซีมอส180 นาโนเมตร*

**Thesis Title** CMOS Single-Phase, Single-Loop PLL-Based Coherent BPSK/QPSK /*m*-PSK Demodulator
**Author** Mr. Chutpipat Chaichomnan
**Major Program** Electrical Engineering
**Academic Year** 2021

## ABSTRACT

A general single-phase/single-loop PLL-based *m*-PSK demodulator is described. The demodulator employs a rising-edge *RS* flip-flop as a phase detector because of its linear <phase difference>/<average output voltage> over a 0–2**π** phase difference. This flip-flop characteristic helps simplify the phase controller design and make it truly modular. The phase controller basically explores a sub-ranging/re-scaling technique similar found in a typical ADC converter. The proposed principle has been verified with discrete-component implementation around 74HCT4046 for demodulating BPSK, QPSK and 8-PSK signals. The modulator prototypes operate under a single supply of 5V achieving a maximum data rate of 40kbps at a carrier frequency around 120-kHz. The discrete-component experimental comparison with a widely-used Costas-Loop BPSK demodulator suggests that the proposed structure offers a competitive performance.

The single-phase BPSK and QPSK demodulators based on the proposed technique have also been designed and fabricated in a UMC 0.18-μm standard digital CMOS process. The rising-edge RS flip-flop has been constructed from a basic NOR-gate static structure equipped with a delayed-type edge detector. The core of CMOS phase controller employs a simple voltage level shifter incorporating a passive poly-silicon resistor, a constant DC current source and transmission-gate switches where สำ a voltage gain is provided by a resistive source-degenerated amplifier. The demodulator prototypes operate from a single supply of 1.8V. The three-stage voltage-controlled ring oscillator can be tuned from 5 to 150MHz. With a carrier frequency of 60 MHz, the BPSK and QPSK demodulators achieved maximum data rates of 25Mbps and 24Mbps respectively while consuming 1.68mW and 1.92mW. At 10-Mbps data, the BPSK and QPSK demodulators deliver bit-error rates (BER) of $5\times10^{-10}$ and $6.5\times10^{-10}$, respectively at the signal-to-noise ratio (SNR) of 16dB for both cases. At the maximum

data rates, these BERs have been increased to $3.5\times10^{-7}$ and $5.5\times10^{-7}$ for BPSK and QPSK demodulators where the energy per bit figures were at 67 and 80 pJ, respectively.

***Keywords—****BPSK; QPSK; 8-PSK; m-PSK; demodulator, PLL, Costas loop, single phase, single loop, 180-nm CMOS technology*

# กิตติกรรมประกาศ

ขอขอบพระคุณ รองศาสตราจารย์ ดร.ภาณุมาส คำสัตย์ ประธานกรรมการที่ปรึกษาที่ปรึกษาวิทยานิพนธ์ ที่ได้กรุณาอุทิศเวลาให้คำปรึกษา แนะนำเทคนิค และแนวคิดในการออกแบบวงจร และข้อมูลเอกสารที่เกี่ยวข้องกับงานวิจัย รวมทั้งช่วยเหลือในการแก้ไขปัญหาและอุปสรรคต่างๆ ในการทำวิจัย ตลอดจนตรวจสอบและแก้ไขปรับปรุงวิทยานิพนธ์ให้ดำเนินไปอย่างสมบูรณ์

ขอขอบพระคุณโครงการพัฒนาบุคลากรสำหรับอุตสาหกรรมการออกแบบวงจรรวม ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ที่สนับสนุนเงินสำหรับการสร้างวงจรรวม (build chip fab)

ขอขอบพระคุณ ดร.นิภาพรรณ กลั่นเงิน หัวหน้าโครงการพัฒนาบุคลากรสำหรับอุตสาหกรรมการออกแบบวงจรรวม ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ที่สนับสนุนและประสานงาน

ขอขอบพระคุณ ศาสตราจารย์ ดร.อภิศักดิ์ วรพิเชฐ ได้กรุณาอุทิศเวลาให้คำปรึกษาแนะนำแนวคิดของระบบ

ขอขอบพระคุณ รองศาสตราจารย์ ดร.วรดร วัฒนพานิช สำหรับความอนุเคราะห์ที่ได้จัดส่งต้นแบบของ Pad เพื่อใช้สำหรับการวางบนวงจรรวม

ขอขอบพระคุณ รองศาสตราจารย์ ดร.พรชัย พฤกษ์ภัทรานนต์ รองศาสตราจารย์ คณดิษ เจษฎ์พัฒนานนท์ รองศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์ ที่ได้เป็นกรรมการสอบโครงร่างวิทยานิพนธ์ ที่ได้กรุณาสละเวลาให้คำปรึกษาและคำแนะนำที่เป็นประโยชน์สำหรับงานวิจัย

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.อมร จิรเสรีอมรกุล ที่กรุณาเป็นบุคคลภายนอกช่วยในการสอบวิทยานิพนธ์

ขอขอบพระคุณ คุณทวีศักดิ์ ธารทิพย์วรรณ ที่กรุณาเป็นบุคคลภายนอกช่วยในการสอบวิทยานิพนธ์

ขอขอบพระคุณ ดร.วฤทธิ์ วิชกูล ที่กรุณาเป็นบุคคลช่วยในการสอบวิทยานิพนธ์

ขอขอบพระคุณ รองศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์ ที่กรุณาให้อุปกรณ์บอร์ด FPGA และความรู้เพื่อนำมาใช้ในการทดสอบระบบการทำงานของงานวิจัย

ขอขอบพระคุณ ดร.เกียรติศักดิ์ เส้งช่วย ที่ได้กรุณาสละเวลาในการให้คำปรึกษาและความรู้ของการเขียนโปรแกรมใน FPGA รวมทั้งคำแนะนำในการทดสอบการมทำงานของ FPGA

ขอขอบพระคุณ ดร.ธีรศักดิ์ หลี ที่ได้กรุณาสละเวลาให้คำปรึกษาในการออกแบบ และทดสอบวงจร และรวมทั้งการช่วยให้คำแนะนำและช่วยเหลือในการแก้ไขอุปสรรคต่างๆ

ขอขอบพระคุณ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ สำหรับการอำนวยความสะดวกในการทำงาน รวมทั้งอุปกรณ์ที่ใช้ในการทดสอบ

ขอขอบคุณ คณาจารย์ บุคลากรของคณะวิศวกรรมศาสตร์ มหาวิทยาสงขลานครินทร์ ที่ได้กรุณาให้ความรู้ และกำลังใจสำหรับการทำงานวิจัยจนกระทั่งลุล่วง

สุดท้ายนี้ขอขอบพระคุณบิดามารดาและครอบครัว ที่ส่งเสริมสนับสนุน และทุนทรัพย์แก้ข้าพเจ้าตลอดมาจนสำเร็จการศึกษา

ฉัตรพิพัฒน์ ชัยชำนาญ
หาดใหญ่,สงขลา
๒๕๖๕

# สารบัญ

บทคัดย่อ .....(5)
ABSTRACT .....(6)
กิตติกรรมประกาศ .....(8)
สารบัญ ..... (10)
สารบัญตาราง .....(17)
สารบัญรูปภาพ .....(18)

บทที่ 1 บทนำ ..... 1

1.1 ที่มาและความสำคัญของปัญหา..... 1
1.2 วัตถุประสงค์ของโครงการวิจัย..... 2
1.3 ประโยชน์ที่คาดว่าจะได้รับ ..... 2
1.4 ขอบเขตของโครงการวิจัย..... 2
1.5 ระเบียบวิธีวิจัย (METHODOLOGY)..... 3

บทที่ 2 ..... 7

การทบทวนความรู้ ทฤษฎี และเอกสารที่เกี่ยวข้อง..... 7

2.1 บทนำ..... 7
2.2 โคฮีเรนท์ดีมอดูเลเตอร์ (COHERENT DEMODULATORS)..... 7
2.2.1 การทบทวนองค์ความรู้/ทฤษฎี/ผลงานที่มีมาก่อนของระบบแบบโคฮีเรนท์ ..... 9
2.2.2 การประยุกต์ใช้งานของลูปคอสทาสหรือโครงสร้างที่มีพื้นฐานจากลูปคอสทาส (Costas loop) ..... 10
2.2.2.1 ด้านการสื่อสารระบบส่งรับไร้สาย (wireless transceiver) ..... 10
2.2.2.2 ด้านการสื่อสารของอุปกรณ์ชีวการแพทย์ (biomedical communications) 11
2.2.2.3 ด้านการสื่อสารผ่านแสง (optical communications)..... 12
2.3 นอนโคฮีเรนท์ดีมอดูเลเตอร์ (NON-COHERENT DEMODULATORS) ..... 13
2.3.1 การทบทวนองค์ความรู้/ทฤษฎี/ผลงานที่มีมาก่อนของระบบแบบนอนโคฮีเรนท์ ..... 14
2.3.1.1 ด้านการสื่อสารระบบส่งรับไร้สาย (wireless transceiver) ..... 14
2.3.1.2 ด้านการสื่อสารของอุปกรณ์ชีวการแพทย์ (biomedical communications) 14
2.4 เปรียบเทียบข้อได้เปรียบ และข้อเสียเปรียบของโคฮีเรนท์ และนอนโคฮีเรนท์ของระบบคืนสัญญาณพีเอสเค..... 15
2.4.1 ด้านความซับซ้อนของระบบโคฮีเรนท์ และนอนโคฮีเรนท์ ..... 15
2.4.2 ด้านการกินพลังงานของระบบโคฮีเรนท์ และนอนโคฮีเรนท์ ..... 15
2.4.3 BER ของระบบโคฮีเรนท์ และนอนโคฮีเรนท์ ..... 15
2.5 สรุป..... 16

2.6 เอกสารอ้างอิง ..... 16

บทที่ 3 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 18

3.1 บทนำ ..... 18
3.2 ทฤษฎีเบื้องต้นของระบบคืนสัญญาณพีเอสเคที่ใช้เทคนิคโคฮีเรนท์ดีเทคชั่น ..... 18
3.2.1 บีพีเอสเคมอดูเลชั่น ..... 18
3.2.2 บีพีเอสเคดีมอดูเลชั่น ..... 19
3.3 บทนำระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูป ..... 20
3.4 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสชนิดต่างๆ ..... 23
3.4.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Multiplier ..... 23
3.4.2 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR) ..... 26
3.4.2.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดี่ยว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR) ..... 26
3.4.2.2 ระบบคืนสัญญาณ คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR) ..... 28
3.4.3 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF ..... 29
3.4.3.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF ..... 30
3.4.3.2 ระบบคืนสัญญาณ คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF ..... 31
3.4.3.3 ระบบคืนสัญญาณ เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF ..... 32
3.5 สรุป ..... 34
3.6 เอกสารอ้างอิง ..... 34

บทที่ 4 การออกแบบระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 35

4.1 บทนำ ..... 35
4.2 แบบจำลองเชิงเส้นของระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 35
4.2.1 ตัวเปรียบเทียบเฟส (Phase Detector, PD) ..... 36

4.2.2 วงจรกรองความถี่ต่ำผ่าน (Lowpass filter, LPF) ..... 37
4.2.3 วงจรกรองความถี่ต่ำผ่านแบบ lag หรือ lag-lead ..... 37
4.2.4 อัตราขยายคงที่ของวงจร Phase Controller (PC) ..... 37
4.2.5 วงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (VCO) ..... 37
4.3 ขั้นตอนการออกแบบระบบคืนสัญญาณบีพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 39
4.3.1 การออกแบบเสถียรภาพของระบบด้วยวิธีพล็อตโบด ..... 39
4.3.2 การออกแบบเสถียรภาพของระบบด้วยวิธีของโลกัสของราก ..... 42
4.4 วงจรดิสครีตของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 45
4.4.1 ตัวเปรียบเทียบเฟส RSFF positive edge-triggered ..... 45
4.4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Control Oscillator , VCO) ..... 46
4.4.3 วงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator) ..... 47
4.4.4 วงจรขยายผลต่างโดยใช้ออปแอมป์ (Difference Amplifier) ..... 47
4.4.5 อนาล็อคมัลติเพล็กซ์เซอร์ และดีมัลติเพล็กซ์เซอร์ ..... 48
4.4.6 วงจร Phase Controller (PC) ..... 48
4.5 ขั้นตอนการออกแบบระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 53
4.5.1 การออกแบบเสถียรภาพของระบบด้วยวิธีของพล็อตโบด ..... 53
4.5.2 การออกแบบเสถียรภาพของระบบด้วยวิธีของโลกัสของราก ..... 54
4.5.3 การชดเชยเสถียรภาพของระบบด้วยการเพิ่มเฟสมาร์จิน ..... 56
4.6 วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 60
4.6.1 วงจร Phase Controller (PC) ..... 60
4.6.2 ปัญหาของการออกแบบวงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ที่มีเฟสมาร์จินต่ำ ..... 65
4.7 วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 BIT FLASH ADC เป็นส่วนของวงจร PC ..... 66
4.7.1 วงจร Phase Controller (PC) ..... 66
4.8 ขั้นตอนการออกแบบระบบคืนสัญญาณ 8-PSK แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 BIT FLASH ADC เป็นส่วนของวงจร PC ..... 70
4.9 จำลองระบบวัด BIT ERROR RATE ของระบบคืนสัญญาณบีพีเอสเค , คิวพีเอสเค เฟสเดียว ลุปเดียว บนพื้นฐานเฟสล็อกลูป ด้วยโปรแกรม MATLAB SIMULINK ..... 73
4.10 สรุป ..... 75
4.11 เอกสารอ้างอิง ..... 76

บทที่ 5 การออกแบบวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ..... 77
5.1 ข้อกำหนดการออกแบบ ..... 77
5.2 ระบบสถาปัตยกรรมของวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 77
5.3 การออกแบบวงจร ..... 81
5.3.1 Positive Edge Triggered RS Flip Flop ..... 81
5.3.1.1 pulse detector ..... 81
5.3.1.2 วงจรอาร์เอสแลตช์ (RS latch) ..... 99
5.3.1.3 จำลอง และผลการจำลองของวงจร positive edge triggered RSFF ที่ความถี่ 500MHz ..... 104
5.3.2 วงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator ,VCO) ..... 106
5.3.2.1 วงจร Ring Oscillator ..... 106
5.3.2.2 วงจร Voltage-Controlled Ring Oscillator ..... 108
5.3.2.3 การจำลอง และผลการจำลองประสิทธิภาพของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz ..... 117
5.3.3 วงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator) ..... 119
5.3.3.1 Static Characteristics ..... 120
5.3.3.2 Dynamic Characteristics ..... 121
5.3.3.3 Non-clocked Comparators ..... 122
5.3.4 วงจรปรับระดับแรงดัน ..... 127
5.4 MONTE CARLO SIMULATION ..... 137
5.4.1 การจำลอง Monte Carlo ของ Positive Edge Triggered RSFF ..... 137
5.4.2 การจำลอง Monte Carlo ของ Voltage Comparator ..... 140
5.4.3 การจำลอง Monte Carlo ของ Voltage Control Oscillatro (VCO) ..... 141
5.4.4 การจำลอง Monte Carlo ของ วงจรปรับระดับแรงดัน ..... 143
5.5 PAD และ ระบบ ..... 145
5.6 การจำลองฟังก์ชันการทำงานของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 149
5.7 สรุป ..... 156
บทที่ 6 การออกแบบ และกระบวนการทดสอบของไอซีระบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ดีมอดูเลตบีพีเอสเค และคิวพีเอสเค ..... 157
6.1 บทนำ ..... 157
6.2 การออกแบบ และกระบวนการทดสอบบีพีเอสเคดีมอดูเลเตอร์ ..... 157
6.3 การออกแบบ และกระบวนการทดสอบบีพีเอสเคมอดูเลเตอร์ด้วย FPGA บอร์ด ZYBO Z7 157

6.3.1 การสร้างสัญญาณนาฬิกา....157
6.3.2 วงจรหารความถี่ (frequency Divider)....158
6.3.3 วงจรสร้างสัญญาณแบบสุ่ม....160
6.3.4 วงจรดิจิตอลมัลติเพล็กซ์เซอร์ (Mux 2:1)....161
6.3.5 วงจรบีพีเอสเค มอดูเลเตอร์....162
6.4 การออกแบบแผ่นปริ้น หรือ แผ่น PCB สำหรับการทดสอบไอซี....163
6.4.1 Ground Planes....163
6.4.2 Grounding Mixed-signal....164
6.4.3 Schematic และ layout ของ PCB สำหรับทดสอบไอซี และไอซี....165
6.5 การทดสอบไอซีบีพีเอสเค ลูปเดียว เฟสเดียว บนหลักการเฟสล็อกลูป ดีมอดูเลเตอร์....167
6.5.1 ทดสอบวงจร positive edge triggered RSFF....167
6.5.2 ทดสอบวงจร Voltage Control Oscillator (VCO)....170
6.5.3 ทดสอบวงจร 1-bit sub-ranging/re-scaling....172
6.5.4 การออกแบบและทดสอบเสถียรภาพของระบบบีพีเอสเค มอดูเลเตอร์ ด้วยหลักการพื้นฐานของเฟสล็อกลูป....173
6.5.4.1 ความถี่ช่วงล็อก $\omega_L$....176
6.5.4.2 ผลการทดสอบความถี่ช่วงล็อก $\omega_L$....177
6.5.4.3 คุณลักษณะของความถี่เข้าล็อก $\omega_P$ และความถี่ช่วงล็อก $\omega_L$ ของการทดสอบเฟสล็อกลูป....181
6.5.5 การออกแบบและทดสอบระบบกู้คืนสัญญาณบีพีเอสเค บนโครงสร้างบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....183
6.5.5.1 การทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณบีพีเอสเค บนโครงสร้างบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....185
6.6 การทดสอบ BIT ERROR RATE ด้วย FPGA....190
6.6.1 วงจรนับจำนวนบิตของ PRBD data....195
6.6.2 วงจรภาคส่ง....196
6.6.3 วงจรภาครับ....199
6.6.4 การทดสอบ Bit Error Rate (BER) ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....201
6.7 การออกแบบ และกระบวนการทดสอบคิวพีเอสเคดีมอดูเลเตอร์....206
6.7.1 การออกแบบ และกระบวนการทดสอบคิวพีเอสเคมอดูเลเตอร์ด้วย FPGA บอร์ด Zybo....206
6.7.1.1 การสร้างสัญญาณนาฬิกา....206
6.7.1.2 วงจรดิจิตอลมัลติเพล็กซ์เซอร์ (Mux 4:1)....207

6.8 การออกแบบและทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค บนโครงสร้างบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 208
6.8.1 การทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอสเค บนโครงสร้างคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 211
6.8.2 การทดสอบ Bit Error Rate (BER) ของระบบกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 215
6.9 ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 217
6.9.1 BER ..... 217
6.9.2 Power Consumption ..... 220
6.10 สรุป ..... 221
6.11 เอกสารอ้างอิง ..... 221

บทที่ 7 ..... 222

สรุปผลการวิจัย ปัญหาและข้อเสนอแนะ ..... 222

7.1 สรุปผลการวิจัย ..... 222
7.2 จุดประสงค์ของงานวิจัย ..... 222
7.3 แนวคิด และหลักการที่ใช้ในงานวิจัย ..... 222
7.3.1 โครงสร้างที่ใช้ในการทดสอบแนวคิดบนวงจรแบบdiscrete ..... 223
7.3.1.1 ระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling ..... 223
7.3.1.2 ระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรม 2 วงจร ..... 224
7.3.1.3 ระบบกู้คืนสัญญาณเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรม m วงจร ..... 226
7.3.1.4 ระบบกู้คืนสัญญาณเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่ใช้วงจร PC แบบ m-bit ADC และ multiplexer ..... 226
7.3.2 โครงสร้างที่ใช้ในการทดสอบแนวคิดบนวงจรรวม UMC 180nm ..... 226
7.3.2.1 ระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling ..... 227
7.3.2.2 ระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรมกัน 2วงจร ..... 228
7.4 ผลการวิจัย และผลการทดสอบ ..... 230
7.4.1 สรุปแบบ discrete ..... 230
7.4.2 สรุปแบบวงจรรวม UMC 180nm ..... 230
7.4.3 ตารางเปรียบเทียบงานวิจัยของวงจรรวม UMC 180nm กับงานวิจัยอื่นๆ ..... 231

7.5 ปัญหา ..... 234
7.6 แนวทางในการแก้ไขปัญหา ..... 234
7.7 เอกสารอ้างอิง ..... 236
บรรณานุกรม ..... 238
ภาคผนวก ก. ..... 241
ภาคผนวก ข. ..... 247
ภาคผนวก ค. ..... 261
ประวัติผู้เขียน. ..... 265

# สารบัญตาราง

ตารางที่ 4-1 สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค และ8-PSK ที่ไฟเลี้ยง 5 V ..... 75
ตารางที่ 5-1 ข้อกำหนดในการออกแบบระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 77
ตารางที่ 5-3 สมการฟังก์ของ $V_{IL,}$ $V_{IH,}$ และ $V_{th}$ [5.1] ..... 84
ตารางที่ 5-4 พารามิเตอร์ และค่าพารามิเตอร์ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz ของรูปที่ 5.42 ..... 115
ตารางที่ 5-5 พารามิเตอร์ และค่าพารามิเตอร์ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz ของรูปที่ 5.43 ..... 116
ตารางที่ 6-1 ตารางค่าพารามิเตอร์ LFSR 16 บิต ..... 160
ตารางที่ 6-2 พารามิเตอร์ของ $\zeta$ , $\tau_2$ และ เฟสมาร์จิน ..... 177
ตารางที่ 6-3 พารามิเตอร์ และค่าพารามิเตอร์ที่ใช้สำหรับทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของรูปที่ 6.36 ..... 187
ตารางที่ 6-4 พารามิเตอร์ และค่าพารามิเตอร์ที่ใช้สำหรับทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของรูปที่ 6.65 ..... 213
ตารางที่ 7-1 สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค และ8-PSK ที่ไฟเลี้ยง 5 V ..... 230
ตารางที่ 7-2 สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค และ8-PSK ที่ไฟเลี้ยง 1.8 V ..... 230
ตารางที่ 7-3 ตารางเปรียบเทียบประสิทธิภาพของงานที่ทาการวิจัยกับผลงานวิจัยอื่นๆ ..... 231
ตารางที่ 7-4 ตารางข้อเด่นข้อด้อยของเทคนิคในตารางที่ 7-4 ..... 233

# สารบัญรูปภาพ

รูปที่ 1.2 แผนภูมิไหลแสดงกระบวนการวิจัย (research flow chart) ..... 5
รูปที่ 1.3 แผนผังความคิดแสดงกระบวนการวิจัย (research mind map) ..... 6
รูปที่ 1.4 Demodulator design challenges ..... 6
รูปที่ 2.1 (a) บล็อกไดอะแกรมอย่างง่ายสำหรับการกู้คืนสัญญาณเบสแบนด์, (b) สัญญาณเบสแบนด์ที่ผ่านวงจรกรองความถี่ต่ำ (LPF) ..... 8
รูปที่ 2.2 (a) บล็อกไดอะแกรมของวงจรดีมอดูเลเตอร์ที่เพิ่มวงจร sample and hold, (b) หลักการทำงานของวงจร sample and hold ..... 8
รูปที่ 2.3 บล็อกไดอะแกรมโคฮีเรนท์ดีมอดูเลเตอร์ ..... 8
รูปที่ 2.4 ระบบ Two-phase synchronous receiver ใน [11] ที่นำเสนอโดย J. P. Costas ในปี ค.ศ. 1956 ซึ่งปัจจุบันเป็นที่รู้จักกันอย่างกว้างขวางในชื่อ “Costas Loop” ..... 9
รูปที่ 2.5 QPSK demodulator ซึ่งใช้พื้นฐานจาก Costas loop [8, 12] ..... 10
รูปที่ 2.6 ระบบ BPSK, QPSK demodulator ใช้ในระบบสื่อสารไร้สายความเร็วข้อมูล 2.5-Gpbs [6] ..... 11
รูปที่ 2.7 ระบบสื่อสารส่ง-รับที่มี BSPK demodulator เป็นองค์ประกอบสำคัญ ใช้ในงานชีวการแพทย์ [7], [14] ..... 12
รูปที่ 2.8 BPSK demodulator จาก Z. Luo and S. sonkusale, “LOW POWER BPSK DEMODULATOR,” US Patent no. 8,159,288 B2, April, 2012. ..... 12
รูปที่ 2.9 การประยุกต์ใช้คอสทาสลูปใน integrated homodyne 40Gbps BPSK optical coherent receiver (a) basic Costas loop structure (b) detailed structure in OPLL demodulator [15] ..... 13
รูปที่ 2.10 วงจรบีพีเอสเคดีมอดูเลเตอร์อย่างง่ายโดยสัญญาณคลื่นพาห์อ้างอิง $c(t)$ไม่ได้ซิงโครไนซ์กับสัญญาณบีพีเอสเคมอดูเลต ..... 14
รูปที่ 2.11 บล็อกไดอะแกรมของโครงสร้างนอนโคฮีเรนท์บีพีเอสเคดีมอดูเลเตอร์ ..... 14
รูปที่ 2.12 (a) วงจรบีพีเอสเคมอดูเลเตอร์ที่มีสัญญาณข้อมูลเข้ารหัสแบบ Differential Manchester [17], (b) วงจรบีพีเอสเคมอดูเลเตอร์แบบกินพลังงานต่ำ [18] ..... 15
รูปที่ 2.13 การเปรียบเทียบประสิทธิภาพของสัญญาณรบกวนของระบบดีมอดูเลชั่นแบบโคฮีเรนท์และนอนโคฮีเรนท์ [3] ..... 16
รูปที่ 3.1 ระบบ BPSK modulation ..... 19
รูปที่ 3.2 ระบบ BPSK demodulation ..... 20
รูปที่ 3.3 แนวคิดของ m-PSK ดีมอดูเลชั่น ..... 21
รูปที่ 3.4 วงจรเฟสล็อกลูป ..... 21

# สารบัญรูปภาพ (ต่อ)

รูปที่ 3.5 คุณลักษณะที่ต้องการของระบบ m-PSK ดีมอดูเลชั่นบนพื้นฐานของเฟสล็อกลูปที่ซิงโครไนซ์สัญญาณ m-PSK มอดูเลต ..... 22
รูปที่ 3.6 แนวคิดของวงจร m-PSK ดีมอดูเลเตอร์แบบลูปเดียว เฟสเดียวที่เฟสของ VCO ไม่เปลี่ยนแปลงสำหรับสัญญาณข้อมูลที่แตกต่างกัน ..... 23
รูปที่ 3.7 แนวคิดของลูปคอสทาสสำหรับ BPSK [3] ..... 24
รูปที่ 3.8 แนวคิดของดีมอดูเลชั่น BPSK แบบ Self Multiplication or Absolute value ..... 25
รูปที่ 3.9 แนวคิดของดีมอดูเลชั่น BPSK แบบ Inverted Multiplication ..... 26
รูปที่ 3.10 แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส ..... 27
รูปที่ 3.11 แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส ..... 29
รูปที่ 3.12 RS flip flop (rising-edge triggered) ..... 29
รูปที่ 3.13 แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ..... 31
รูปที่ 3.14 แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม 2 วงจร ..... 32
รูปที่ 3.15 แนวคิดของดีมอดูเลชั่น m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม m วงจร ..... 33
รูปที่ 3.16 แนวคิดของดีมอดูเลชั่น QPSK and m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส วงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC ..... 33
รูปที่ 4.1 (a) วงจรคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป (b) แบบจำลองเชิงเส้น ..... 36
รูปที่ 4.2 คุณลักษณะของ positive edge triggered RSFF (average output {Vy}) [4.1] ..... 36
รูปที่ 4.3 โบดพล็อตทางขนาดของ $G_{OL}$ ..... 38
รูปที่ 4.4 เกนมาร์จิน และเฟสมาร์จิน ..... 40
รูปที่ 4.5 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 63.8^o$ ที่ความถี่ $27.1$ krad/s ..... 42
รูปที่ 4.6 ระบบป้อนกลับแบบลบ ..... 42
รูปที่ 4.7 ผลการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล-2.1e+04-1.74e+04i ของโครงสร้างรูปที่ 4.5(a) ..... 43
รูปที่ 4.8 การจำลองระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.3.1 และ4.3.2 ..... 44
รูปที่ 4.9 วงจร และการทดสอบ RSFF edge triggered ในไอซี 74HCT4046A ..... 46
รูปที่ 4.10 การออกแบบและกราฟคุณลักษณะของวงจร VCO ..... 47
รูปที่ 4.11 Noninverting Comparator with Hysteresis [4.6] ..... 47

# สารบัญรูปภาพ (ต่อ)

รูปที่ 4.12 วงจรขยายผลต่างโดยใช้ออปแอมป์ LM324N [4.7] ..... 48
รูปที่ 4.13 การเชื่อมต่อวงจรอนาล็อคมัลติเพล็กซ์เซอร์ [4.8] ..... 48
รูปที่ 4.14 วงจร และการทดสอบวงจร PC ของระบบคืนสัญญาณบีพีเอสเค ..... 49
รูปที่ 4.15 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 51.6^\circ$ ที่ความถี่ 29.8 krad/s50
รูปที่ 4.16 วงจร และผลการวัดวงจรบีพีเอสเคมอดูเลเตอร์ ..... 51
รูปที่ 4.17 วงจร และผลการวัดระบบคืนสัญญาณบีพีเอสเค ..... 52
รูปที่ 4.18 คุณลักษณะของระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นบานเฟสล็อกลูป 53
รูปที่ 4.19 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 20.8^o$ ที่ความถี่ $7.12$ krad/s ..... 54
รูปที่ 4.20 ผลการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล-1.32e+03+6.94e+03i และมี $\xi = 0.187$ ของโครงสร้างรูปที่ 4.19(a) ..... 55
รูปที่ 4.21 การจำลองระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.5.1 และ4.5.2 ..... 56
รูปที่ 4.22 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ ที่มีการชดเชยแบบมุมนำโดยที่ $P_m = 53.9^o$ ที่ความถี่ 9.24krad/s ..... 57
รูปที่ 4.23 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ ที่มีการเพิ่มซีโร่ไปยังวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทของวงจรเปรียบเทียบเฟสโดยที่ $P_m = 41.4^o$ ที่ความถี่ 27.6krad/s ..... 58
รูปที่ 4.24 การจำลองระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.5.3.1 ..... 59
รูปที่ 4.25 วงจร และการทดสอบวงจร PC ของระบบคืนสัญญาณคิวพีเอสเค ..... 61
รูปที่ 4.26 วงจรดิสครีตคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป .... 62
รูปที่ 4.27 วงจร และผลการวัดวงจรคิวพีเอสเคมอดูเลเตอร์ ..... 63
รูปที่ 4.28 วงจร และผลการวัดระบบคืนสัญญาณคิวพีเอสเค ..... 64
รูปที่ 4.29 คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป65
รูปที่ 4.30 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 23^o$ ที่ความถี่25krad/s ..... 66
รูปที่ 4.31 คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่มี $P_m = 23^o$ และอัตราการส่งข้อมูล 2.5symbols/s ..... 66
รูปที่ 4.32 วงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ..... 67

# สารบัญรูปภาพ (ต่อ)

รูปที่ 4.33 วงจรคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ..... 68
รูปที่ 4.34 วงจร และผลการวัดระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ..... 69
รูปที่ 4.35 คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ..... 70
รูปที่ 4.36 ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 40.8^o$ ที่ความถี่ 3krad/s ..... 71
รูปที่ 4.37 วงจร และผลการวัดระบบคืนสัญญาณ8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC ..... 72
รูปที่ 4.38 คุณลักษณะของระบบคืนสัญญาณ 8-psk เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC ..... 73
รูปที่ 4.39 การเพิ่มสัญญาณ random noise และการทดสอบ ..... 73
รูปที่ 4.40 บล็อกการทดสอบ Bit error rate ของระบบคืนสัญญาณบีพีเอสเค เฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 74
รูปที่ 4.41 บล็อกการทดสอบ Bit error rate ของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 74
รูปที่ 4.42 กราฟความสัมพันธ์ระหว่าง SNR และ BER ..... 75
รูปที่ 5.1 ระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 79
รูปที่ 5.2 ระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 81
รูปที่ 5.3 แนวคิดของวงจร pulse detector ..... 82
รูปที่ 5.4 วงจร pulse detector ..... 82
รูปที่ 5.5 วงจรซีมอสอินเวอร์เตอร์ ..... 83
รูปที่ 5.6 การจำลอง และผลการจำลองของ N_BPW_18_MM ..... 85
รูปที่ 5.7 การจำลอง และผลการจำลองของ P_18_MM ..... 86
รูปที่ 5.8 วงจรอินเวอร์เตอร์ และการจำลอง ..... 87
รูปที่ 5.9 Schematic และผลการจำลองวงจรอินเวอร์เตอร์ด้วยสัญญาณอินพุทพัลส์ ..... 88
รูปที่ 5.10 layout และผลการจำลองเปรียบเทียบระหว่าง schematic และ av_extracted ..... 89
รูปที่ 5.11 ผลการจำลองวงจรซีมอสอินเวอร์เตอร์ด้วยการปรับเปลี่ยนค่า w ของเอ็นมอส ..... 90
รูปที่ 5.12 วงจรสมมูล และสัญญาณเอาท์พุทช่วงแรงดันเอาท์พุทจาก VDD ไป GND ..... 90
รูปที่ 5.13 วงจรสมมูล และสัญญาณเอาท์พุทช่วงแรงดันเอาท์พุทจาก GND ไป VDD ..... 91
รูปที่ 5.14 ตัวอย่างวงจรอินเวอร์เตอร์ 3 สเตจที่มีโหลด $8C_1$ ..... 92

# สารบัญรูปภาพ (ต่อ)

รูปที่ 5.15 วงจรซีมอสอินเวอร์เตอร์ 3 สเตจ และผลการจำลองที่ความถี่ 500MHz..... 93
รูปที่ 5.16 วงจรซีมอสอินเวอร์เตอร์ 3 สเตจของ set และreset และผลการจำลองที่ความถี่ 500MHz ..... 93
รูปที่ 5.17 layout และผลการจำลองเปรียบเทียบระหว่าง schematic กับ av_extracted..... 94
รูปที่ 5.18 NAND gate..... 95
รูปที่ 5.19 วงจรแนนด์เกต และผลการจำลองวงจรแนนด์เกต ที่ความถี่ 500MHz..... 96
รูปที่ 5.20 วงจรแอนด์เกต และผลการจำลองวงจรแอนด์เกต ที่ความถี่ 500MHz..... 96
รูปที่ 5.21 layout และผลการจำลองระหว่าง schematic และav_extracted ของวงจรซีมอสแอนด์เกตที่ความถี่ 500MHz..... 98
รูปที่ 5.22 schematic และlayout และผลการจำลองระหว่าง schematic และ av_extracte .... 99
รูปที่ 5.23 วงจรอาร์เอสแลตซ์ และตารางความจริง..... 100
รูปที่ 5.24 schematic และผลการจำลองวงจรอาร์เอสแลตซ์..... 101
รูปที่ 5.25 layout และผลการจำลองระหว่าง schematic และav_extracted ของวงจรซีมอสอาร์เอสแลตซ์..... 102
รูปที่ 5.26 schematic และlayout และผลการจำลองแบบ schematic และav_extracted..... 103
รูปที่ 5.27 วงจรซีมอสอินเวอร์เตอร์ และ layout และผลการจำลองระหว่างschematic และ av_extracted ของตัวขับโหลดวงจรกรองสัญญาณความถี่ต่ำผ่าน ที่ความถี่อินพุท 200MHz ..... 104
รูปที่ 5.28 วงจร และผลการจำลองวงจร positive edge triggered RSFF ที่ความถี่ 500MHz ... 104
รูปที่ 5.29 การจำลอง และผลการจำลอง positive edge triggered RSFF ที่ความถี่ 500MHz... 105
รูปที่ 5.30 แนวคิดของการออสซิลเลตของระบบป้อนกลับแบบลบ..... 106
รูปที่ 5.31 Three-stage ring oscillator. ..... 107
รูปที่ 5.32 โพลของ Three-stage ring oscillator ที่มีการเปลี่ยนแปลงเกน [5.3]..... 107
รูปที่ 5.33 (a) วงจร transmission gates (b) วงจรสมมูลของรูปที่ 5.33 (a)..... 108
รูปที่ 5.34 วงจร transmission gate และการจำลองเพื่อหาค่า $R_{TG}$ และ$g_{TG}$..... 109
รูปที่ 5.35 วงจร และผลการจำลอง transmission gate ทั้ง schematic และ av_exteacted... 111
รูปที่ 5.36 แนวคิดลดช่วงความกว้างของค่า $R_{TG}$..... 111
รูปที่ 5.37 ผลการจำลองค่าความต้านทานของ transmission gate รูปที่ 5.35 ..... 112
รูปที่ 5.38 Three stage fast voltage swing VCO [5.5] ..... 112
รูปที่ 5.39 simple RC model [5.5]..... 113
รูปที่ 5.40 Three stage fast voltage swing VCO ที่มี $R_P$ ขนานเพื่อลดช่วงความถี่ หรือความชันของ VCO ..... 114
รูปที่ 5.41 วงจร และผลการจำลองของวงจร CS Stage with Diode-Connected PMOS Load สำหรับสร้างแรงดัน $V_G$ และแรงดัน $V_{DD}$-$V_G$ ของอินพุท VCO..... 114

# สารบัญรูปภาพ (ต่อ)

รูปที่ 5.42 วงจร และผลการจำลองทั้งแบบ schematic และ layout ของ Three stage fast voltage swing VCO ความถี่กลาง 400MHz ..... 116
รูปที่ 5.43 วงจร และผลการจำลองทั้งแบบ schematic และ layout ของ Three stage fast voltage swing VCO ความถี่กลาง 75MHz ..... 117
รูปที่ 5.44 การจำลอง และผลการจำลองประสิทธิภาพ Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz ..... 119
รูปที่ 5.45 วงจร Voltage Comparator ..... 120
รูปที่ 5.46 คุณลักษณะอุดมคติของวงจรเปรียบเทียบสัญญาณแรงดัน ..... 120
รูปที่ 5.47 กราฟคุณลักษณะของวงจรเปรียเทียบสัญญาแรงดันที่มีเกนจำกัด ..... 121
รูปที่ 5.48 กราฟคุณลักษณะของวงจรเปรียเทียบสัญญาแรงดัน ที่มีแรงดันอินพุทออฟเซ็ต และสัญญาณรบกวน ..... 121
รูปที่ 5.49 วงจรเปรียบเทียบแรงดันแบบไม่มีสัญญาณนาฬิกา ..... 122
รูปที่ 5.50วงจร Preamplifier ..... 123
รูปที่ 5.51 วงจร decision circuit [5.8] ..... 123
รูปที่ 5.52 วงจร และการผลการจำลองวงจรเปรียบเทียบแรงดัน ..... 125
รูปที่ 5.53 การจำลอง และผลการจำลองประสิทธิภาพของวงจรเปรียบเทียบแรงดัน ..... 127
รูปที่ 5.54 วงจรปรับระดับแรงดัน ..... 127
รูปที่ 5.55 แนวคิดของการปรับระดับแรงดันในระดับซีมอส ..... 128
รูปที่ 5.56 วงจรภาคหน้าของวงจรปรับระดับแรงดันที่มีการใช้สวิตซ์ในการเลือกกระแส $I_{down}$ หรือ$I_{up}$ ..... 129
รูปที่ 5.57 วงจร cascode current source ..... 129
รูปที่ 5.58 การจำลอง และผลการจำลองของวงจร cascode current source ..... 130
รูปที่ 5.59 การจำลอง และผลการจำลองวงจร nmos_pmos cascode current source ..... 132
รูปที่ 5.60 การจำลอง และผลการจำลองของการ switch ควบคุมการไหลของกระแส $I_{down}$ หรือ$I_{up}$ ..... 133
รูปที่ 5.61 การจำลอง และผลการจำลองของแนวคิดการไหลของ $I_{down}$ และ$I_{up}$ เพื่อทำให้ Vg มีเพียวค่าเดียวทั้งแรงดันอินพุทสูง หรือแรงดันอินพุทต่ำ ..... 134
รูปที่ 5.62 การจำลอง และผลการจำลองวงจรปรับแรงดัน ..... 135
รูปที่ 5.63 วงจรปรับระดับแรงดัน และวงจรขยายแรงดัน ..... 137
รูปที่ 5.64 การจำลอง และผลการจำลอง monte carlo ของวงจร positive edge triggered RSFF โดยใช้ sigma =5 และเลือกทั้ง process และmismatch ..... 139
รูปที่ 5.65 การจำลอง และผลการจำลอง monte carlo ของวงจร voltage comparator โดยใช้ sigma =5 และเลือกทั้ง process และmismatch ..... 141

# สารบัญรูปภาพ (ต่อ)

รูปที่ 5.66 การจำลอง และผลการจำลอง monte carlo ของวงจร voltage control oscillator ที่ความถี่กลาง 540MHz โดยใช้ sigma =5 และเลือกทั้ง process และmismatch ..... 142
รูปที่ 5.67 การจำลอง และผลการจำลอง monte carlo ของวงจร voltage control oscillator ที่ความถี่กลาง 44MHz โดยใช้ sigma =5 และเลือกทั้ง process และmismatch ..... 143
รูปที่ 5.68 การจำลอง และผลการจำลอง monte carlo ของวงจรปรับระดับแรงดัน โดยใช้ sigma =5 และเลือกทั้ง process และmismatch ..... 144
รูปที่ 5.69 ตำแหน่งของ 40 pad บน chip ..... 146
รูปที่ 5.70 layout ของ pad บน chip ..... 147
รูปที่ 5.71 scheamtic และlayout ของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการพื้นฐานเฟสล็อกลูป ..... 149
รูปที่ 5.72 schematic ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อก ..... 150
รูปที่ 5.73 ผลการพล็อตโบดทางขนาด และเฟสของฟังก์ชันถ่ายโอนสมการที่ (5.52) ..... 151
รูปที่ 5.74 ค่าพารามิเตอร์ และผลการจำลองของโครงสร้างรูปที่ 5.72 ..... 152
รูปที่ 5.75 schematic ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อก ..... 153
รูปที่ 5.76 ผลการพล็อตโบดทางขนาด และเฟสของฟังก์ชันถ่ายโอนสมการที่ (5.54) ..... 154
รูปที่ 5.77 ค่าพารามิเตอร์ และผลการจำลองของโครงสร้างรูปที่ 5.75 ..... 155
รูปที่ 5.78 ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่ได้จำลองในหัวข้อ 5.6 ..... 155
รูปที่ 6.1 ขั้นตอน และวิธีการตั้งค่าพารามิเตอร์ของ Clocking Wizard ..... 158
รูปที่ 6.2 กระบวนการออกแบบ และทดสอบ clocking wizard ..... 158
รูปที่ 6.3 วิธีหารความถี่ด้วยการตั้งค่าจาก clocking wizard ..... 159
รูปที่ 6.4 วิธีหารความถี่ด้วยการสร้างวงจรหารความถี่ด้วยภาษา VHDL ..... 159
รูปที่ 6.5 กระบวนการสร้าง และวัดผลวงจรสร้างสัญญาณแบบสุ่ม ..... 161
รูปที่ 6.6 Schematic ของวงจรมัลติเพล็กซ์ 2:1 ..... 161
รูปที่ 6.7 กระบวนการออกแบบ และทดสอบวงจรมัลติเพล็กซ์ (Mux 2:1) ..... 161
รูปที่ 6.8 กระบวนการออกแบบ และทดสอบวงจรบีพีเอสเค มอดูเลเตอร์ ..... 162
รูปที่ 6.9 bitstream ของวงจรบีพีเอสเค มอดูเลเตอร์ช่วงความถี่คลื่นพาห์ 35MHz-105MH ..... 163
รูปที่ 6.10 กระบวนการของ Ground planes ของระบบดิจิตอล และแอนาล็อกบน PCB เดียวกัน ..... 164
รูปที่ 6.11 ระบบกราวนด์ของ Mixed-signal ICs บน PCB เดียวกัน [6.1] ..... 164
รูปที่ 6.12 กระบวนการออกแบบ PCB ,socket และไอซี ..... 167

# สารบัญรูปภาพ (ต่อ)

รูปที่ 6.13 กระบวนการและผลการทดสอบการสร้างสัญญาณเฟสผลต่างเพื่อทดสอบ positive edge triggered RSFF ..... 168
รูปที่ 6.14 กระบวนการ และผลการทดสอบไอซีของวงจร positive edge triggered RSFF ที่ความถี่ 60 MHz ..... 170
รูปที่ 6.15 กราฟคุณลักษณะของวงจร positive edge triggered RSFF ..... 170
รูปที่ 6.16 การทดสอบ และผลการวัดของวงจร VCO ..... 171
รูปที่ 6.17 กราฟคุณลักษณะของวงจร VCO ..... 172
รูปที่ 6.18 Schematic และผลการทดสอบวงจร 1-bit sub-ranging/re-scaling ..... 172
รูปที่ 6.19 schematic สำหรับทดสอบระบบเฟสล็อกลูปบนโครงสร้างระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว ..... 173
รูปที่ 6.20 การพล็อตโบดของฟังก์ชันถ่านโอนระบบเปิดของสมการที่ (6.5) ..... 174
รูปที่ 6.21 ผลการทดสอบเฟสล็อกลูปบนโครงสร้างบีพีเอสเคดีมอดูเลเตอร์ ..... 175
รูปที่ 6.22 ขนาด และเฟสที่พารามิเตอร์ $\zeta$ ที่ทดสอบของฟังก์ชันถ่ายโอนสมการที่ (6.6) ..... 177
รูปที่ 6.23 ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.1 ..... 178
รูปที่ 6.24 ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.3 ..... 179
รูปที่ 6.25 ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.5 ..... 179
รูปที่ 6.26 ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.707 ..... 180
รูปที่ 6.27 ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=1 ..... 181
รูปที่ 6.28 คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.1 ..... 181
รูปที่ 6.29 คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.3 ..... 182
รูปที่ 6.30 คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.5 ..... 182
รูปที่ 6.31 คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.707 ..... 182
รูปที่ 6.32 คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=1 ..... 183
รูปที่ 6.33 การพล็อตโบดของฟังก์ชันถ่ายโอนระบบเปิดของสมการที่ (6.8) ..... 183
รูปที่ 6.34 ผลการทดสอบระบบกู้คืนสัญญาณบีพีเอสเคเฟสเดียวลูปเดียวโครงสร้างรูปที่ 6.19 ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูล 12Mbps ..... 185
รูปที่ 6.35 ช่วงเข้าล็อกของวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 187
รูปที่ 6.36 พารามิเตอร์ตัวต้านทาน และตัวเก็บประจุของวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่อัตราการส่งข้อมูล 12Mpbs และความถี่คลื่นพาห์ 60MHz ..... 188
รูปที่ 6.37 ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 15Mbps ..... 189

# สารบัญรูปภาพ (ต่อ)

รูปที่ 6.38 ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 20Mbps.....189
รูปที่ 6.39 ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 25Mbps.....190
รูปที่ 6.40 schematic และผลการจำลอง Simulink matlab ของระบบการกู้สัญญาณบีพีเอสเค แบบเฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป.....191
รูปที่ 6.41 การจำลอง และผลการจำลอง simulink matlb ของการ sampling BPSK demod ด้วย D Flip Flop.....192
รูปที่ 6.42 โค้ด และผลการจำลองของวงจร sampling BPSK_demodulated ตามแนวคิดรูปที่ 6.41 ใน FPGA.....193
รูปที่ 6.43 การขจัด delay time ระหว่าง PRBS_data กับ BPSK_demodulated.....193
รูปที่ 6.44 การจำลอง และผลการจำลอง simulink matlab ของแนวคิดรูปที่ 6.43.....194
รูปที่ 6.45 ผลการจำลอง test bench ของการ delay time ของสัญญาณ S0.....194
รูปที่ 6.46 การขจัด delay time ระหว่าง PRBS_data กับ BPSK_demodulated ใน FPGA.....194
รูปที่ 6.47 วงจร และtiming diagram ของ 4 bit up counter.....195
รูปที่ 6.48 VHDL ของการนับจำนวนบิต PRBS data 10Gbit.....196
รูปที่ 6.49 flowchart การทำงานของภาคส่ง.....197
รูปที่ 6.50 ผลการทดสอบการนับจำนวนบิตของภาคส่ง และการทดสอบภาคส่ง.....198
รูปที่ 6.51 วงจร และผลการจำลองฟังก์ชันสำหรับการวัด BER ด้วย Simulink matlab.....199
รูปที่ 6.52 การจำลอง และผลการจำลอง test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod.....200
รูปที่ 6.53 การจำลอง และผลการจำลอง test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod ที่เหมือนกับสัญญาณจริงมีการหลุดล็อก และเข้าล็อก.....200
รูปที่ 6.54 โค้ดของการสร้างวงจรนับจำนวนบิตผิด และการจำลอง test bench.....201
รูปที่ 6.55 โค้ดของการสร้างวงจรหารความถี่ของจำนวนบิตผิด และการจำลอง test bench.....201
รูปที่ 6.56 วงจร และสัญญาณของการรวมสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวน.....202
รูปที่ 6.57 ผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป.....204
รูปที่ 6.58 dynamic ของระบบบีพีเอสเคดีมอดูเลเตอร์ ที่อัตราการส่งข้อมูล 10 Mbit/s และ 20 Mbit/s ที่ส่งผลต่อ BER ที่เกิดขึ้นในกราฟรูปที่ 6.57.....206
รูปที่ 6.59 วิธีการตั้งค่าพารามิเตอร์ของ Clocking Wizard ของคิวพีเอสเค มอดูเลเตอร์.....207
รูปที่ 6.61 ผลของสัญญาณคิวพีเอสเค มอดูเลต.....208
รูปที่ 6.62 การพล็อตโบดฟังก์ชันถ่ายโอนระบบเปิดของสมการที่ (6.11).....209

# สารบัญรูปภาพ (ต่อ)

รูปที่ 6.63 ผลการทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่อัตราการส่งข้อมูล 5symbols/s คลื่นพาห์ 62MHz....210
รูปที่ 6.64 schematic สำหรับทดสอบระบบเฟสล็อกลูปบนโครงสร้างระบบกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว....210
รูปที่ 6.65 ผลการทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....212
รูปที่ 6.66 พารามิเตอร์ตัวต้านทาน และตัวเก็บประจุของวงจรกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่อัตราการส่งข้อมูล 5, 10 และ12Msymbols/s และความถี่คลื่นพาห์ 61MHz....213
รูปที่ 6.67 ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 5Msymbols/s....214
รูปที่ 6.68 ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 10Msymbols/s....214
รูปที่ 6.69 ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 12Msymbols/s....215
รูปที่ 6.71 การจำลองและผลการจำลองฟังก์ชันของแนวคิด BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....216
รูปที่ 6.72 ผลการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....217
รูปที่ 6.73 การเปรียบเทียบผลการทดสอบ BER ของระบบของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค.... **Error! Bookmark not defined.**
รูปที่ 6.74 การเปรียบเทียบผลการทดสอบ BER และอัตราการส่งข้อมูล ของระบบของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค....220
รูปที่ 6.75 Power Consumption ของระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....220
รูปที่ 6.76 ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป....221
รูปที่ 7.1 RS flip flop (rising-edge triggered)....222
รูปที่ 7.2 แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling....224
รูปที่ 7.3 แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม 2 วงจร....225
รูปที่ 7.4 แนวคิดของดีมอดูเลชั่น m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม m วงจร....226

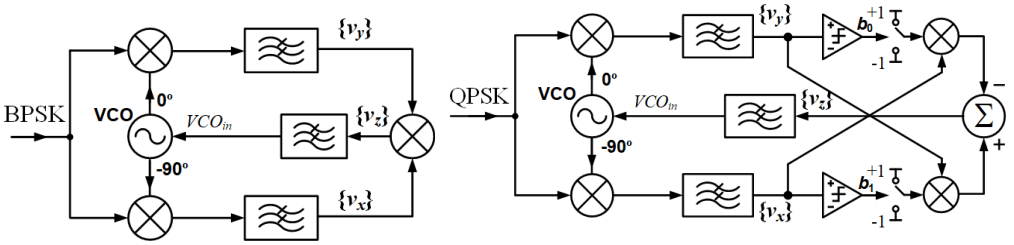
# สารบัญรูปภาพ (ต่อ)

รูปที่ 7.5 แนวคิดของดีมอดูเลชั่น QPSK and m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส วงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC ..... 226
รูปที่ 7.6 ระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 228
รูปที่ 7.7 ระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ..... 230
รูปที่ 7.8 โครงสร้าง และสัญญาณของระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค capture and restore the required clock and data ..... 232
รูปที่ 7.9 ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Costas Loop ..... 232
รูปที่ 7.10 ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค PLL-based-edge detector ..... 232
รูปที่ 7.11 ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Delay-based, ALL-Digital coherent ..... 233
รูปที่ 7.12 ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Single phase, Single loop PLL-Based coherent ..... 233
รูปที่ 7.13 ปัญหาที่เกิดขึ้นจากแนวคิดของกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ..... 234
รูปที่ 7.14 แนวทางแก้ปัญหาที่เกิดขึ้นจากแนวคิดของกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปรูป ..... 235
รูปที่ 7.15 ระบบบีพีเอสเคดีมอดูเลเตอร์ที่มีสองลูป และ VCO เฟส 0, 180 องศา ..... 236

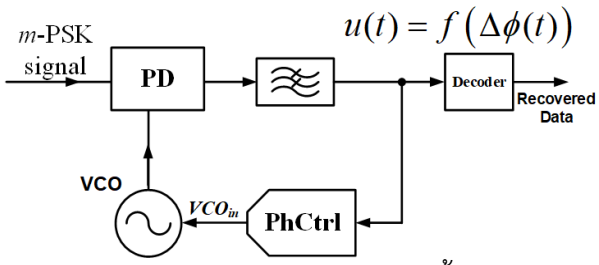
# บทที่ 1 บทนำ

## 1.1 ที่มาและความสำคัญของปัญหา

ในปัจจุบัน เทคโนโลยีมีความก้าวหน้าเป็นอย่างมาก การสื่อสารได้กลายมาเป็นส่วนหนึ่งในชีวิตประจำวัน ซึ่งการสื่อสารนี้เป็นการส่งผ่านข้อมูลโดยมีการส่ง-รับข้อมูลระหว่างอุปกรณ์อิเล็กทรอนิกส์เพื่อเชื่อมโยงอุปกรณ์เข้าด้วยกัน ซึ่งการส่ง-รับข้อมูลนี้สามารถทำได้ทั้งการส่ง-รับผ่านตัวกลางแบบใช้สาย และไร้สาย ซึ่งการสื่อสารทั้งสองแบบจะมีการรบกวนของสัญญาณรบกวน (Noise) และสัญญาณแทรกสอด (Interference) เข้ามาในระบบ ทำให้การสื่อสารข้อมูลเกิดความผิดพลาดได้ นอกจากนี้เมื่อต้องการสื่อสารในระยะไกลอาจเกิดการลดทอนของสัญญาณข้อมูล (Attenuation) ทำให้ข้อมูลไม่สามารถส่งไปยังปลายทางได้ ดังนั้นเพื่อลดและแก้ไขความผิดพลาดในการสื่อสารจึงจำเป็นจะต้องมีระเบียบวิธีการจัดการกับสัญญาณข้อมูลก่อนที่จะทำการส่งซึ่งทำได้หลายวิธี เช่น มอดูเลชั่น (Modulation) เป็นการถ่ายโอนข้อมูลจากสัญญาณข้อมูลไปยังอีกสัญญาณหนึ่งที่เรียกว่าสัญญาณพาห์ (Carrier Signal) ทำให้ความถี่ของการส่งข้อมูลเพิ่มขึ้น และทำให้คุณลักษณะของสัญญาณที่ส่งมีความเหมาะสมในการส่ง ส่งผลให้สามารถส่งข้อมูลได้ดียิ่งขึ้น นอกจากนี้การทำมอดูเลชั่นบางชนิดจะช่วยป้องกันการรบกวนหรือการแทรกสอดได้อีกด้วย จึงเป็นการเพิ่มประสิทธิภาพในการส่งข้อมูลนั่นเอง ซึ่งการนำข้อมูลจากสัญญาณพาห์ไปใช้นั้น จำเป็นจะต้องดึงข้อมูลจากสัญญาณพาห์ออกมา โดยดีมอดูเลชั่น (Demodulation) สัญญาณพาห์ดังกล่าว ทำให้ได้สัญญาณข้อมูลกลับมานั่นเอง ซึ่งการมอดูเลตที่นิยมอย่างแพร่หลายในปัจจุบันเป็นเชิงดิจิตอล (digital modulation) เนื่องจากมีความแม่นยำและแน่นอนสูง ซึ่งพบได้ในการสื่อสารทั้งแบบผ่านสาย ไร้สาย ผ่านคลื่นวิทยุ คลื่นไมโครเวฟ หรือแม้กระทั่งผ่านคลื่นแสง ซึ่งสามารถนำไปประยุกต์ใช้งานได้หลากหลายมากนับตั้งแต่ ระบบ WLAN, Internet of Things (IoT), Cloud Computing, Mobile Communications (5 G, 6 G), Satellite Communications, Smart Factory/Farming/Automobiles/Medicals และอื่นๆโดยในโครงงานนี้เป็นการศึกษาและออกแบบระบบดีมอดูเลตชนิดเฟสชิฟคีย์อิง (Phase Shift Keying, PSK) ซึ่งมีตั้งแต่ Binary Phase Shift Keying (BPSK), Quadrature Phase Shift Keying (QPSK) และ8-PSK โดยระบบดีมอดูเลตชนิดเฟสชิฟคีย์อิงที่จะกล่าวถึงเป็นแบบโคฮีเรนท์ ซึ่งในอดีตและปัจจุบันจะมีโครงสร้างที่เรียกว่าคอสทาสลูป (Costas Loop) ที่เป็นระบบที่มีพื้นฐานของเฟสล็อกลูปที่ประกอบด้วยสองลูป และมีวงจร Voltage Controlled Quadrature Oscillator ซึ่งโครงสร้างคอสทาสลูปของระบบดีมอดูเลตเฟสชิฟคีย์อิงที่พบเห็นมีเพียงบีพีเอสเค และคิวพีเอสเคสามารถแสดงดังรูปที่ 1.1(a) สำหรับวิทยานิพนธ์ฉบับนี้จะเป็นระบบดีมอดูเลตชนิดเฟสชิฟคีย์อิงแบบโคฮีเรนท์ที่มีพื้นฐานของเฟสล็อกลูปที่ประกอบด้วยเพียงหนึ่งลูป และวงจร Voltage Controlled Oscilaator มีเพียงเฟสเดียว และระบบที่สร้างขึ้นมาใหม่จะเรียกว่าระบบคืนสัญญาณดีมอดูเลตเฟสชิฟคีย์อิง แบบเฟสเดี่ยว ลูปเดียว บนหลักการเฟสล็อคลูป (Single-Phase, Single-Loop PLL-Based Coherent Demodulator) สามารถแสดงดังรูปที่ 1.1(b)




(a) โครงสร้างคอสทาสลูป




(b) โครงสร้างแบบเฟสเดียว, ลูปเดียว บนพื้นฐานเฟสล็อกลูป

**รูปที่ 1.1** วงจรดีมอดูเลเตอร์แบบคอสทาสลูป และแบบเฟสเดียว, ลูปเดียว บนพื้นฐานเฟสล็อกลูป

สำหรับโครงสร้างคอสทาสลูปรูปที่ 1.1(a) จะมีความท้าทายในการออกแบบจากความต้องการความเป็นเชิงเส้นสูงของวงจร linear multiplier ของระบบบีพีเอสเค และความแม่นยำของเฟส 0 และ90 องศาที่ความถี่สูงของวงจร Voltage Controlled Quadrature Oscillator และส่วนสำคัญจากปัจจุบันโครงสร้างคอสทาสลูปสามารถใช้ได้เพียงระบบบีพีเอสเค และคิวพีเอสเค สำหรับโครงสร้างแบบเฟสเดียว, ลูปเดียว บนพื้นฐานเฟสล็อกลูปรูปที่ 1.1(b) Voltage Controlled Oscillator จะใช้เพียงเฟสเดียว และสามารถสร้างระบบบีพีเอส, คิวพีเอสเค และ8PSK ซึ่งระบบจะมีความเป็นมอดูลาร์

**1.2 วัตถุประสงค์ของโครงการวิจัย**

1. นำเสนอวงจรและระบบดีมอดูเลตสัญญาณ BPSK, QPSK เพื่อเป็นทางเลือกจากระบบคอสทาสลูป (Costas loop) ที่นิยมใช้กันอย่างแพร่หลาย โดยระบบที่นำเสนอควรจะมีประสิทธิภาพดีกว่าหรือเทียบเท่ากับระบบเดิม
2. ต้นแบบของโครงสร้าง demodulator อยู่ในระดับ discrete circuits
3. ต้นแบบของโครงสร้าง demodulator ที่ออกแบบอยู่ในระดับวงจรรวม (integrated circuits) ที่ใช้เทคโลโนยีซีมอสขนาด 0.18 ไมครอน

**1.3 ประโยชน์ที่คาดว่าจะได้รับ**

1. ระบบ demodulator ที่ออกแบบมีความซับซ้อนน้อยลง ดังนั้นจะส่งผลให้ชิฟสื่อสารที่ใช้เทคนิคนี้มีราคาถูกลงส่งผลต่อราคาผลิตภัณฑ์สุดท้ายในมือผู้ใช้ (commercial final products) ลดลงเช่นกัน
2. ได้วงจรและระบบ demodulator ที่ใหม่ในระดับพื้นฐาน ซึ่งเป็นการสร้างองค์ความรู้ใหม่โดยเฉพาะแขนงวิศวกรรมอิเล็กทรอนิกส์และสื่อสาร

**1.4 ขอบเขตของโครงการวิจัย**

1. Chip prototype fabricated in a standard 0.18 $\mu$m CMOS process
2. อัตราการส่งข้อมูลอย่างน้อย 25Mbps

**1.5 ระเบียบวิธีวิจัย (Methodology)**

จากเป้าหมายในการออกแบบวงจรที่กล่าวไว้ก่อนหน้าเราจะต้องมีการวางแผนในการทำวิจัยอย่างเป็นระบบเพื่อที่จะได้ผลงานบรรลุตามวัตถุประสงค์ในเวลาที่กำหนด โดยทีกระบวนการที่สำคัญมีดังนี้

(i) การทบทวนวรรณกรรม (Literature review) ซึ่งมีความสำคัญที่เราจำเป็นจะต้องศึกษาเทคนิคที่มีมาก่อนหน้าเกี่ยวกับการกู้สัญญาณบีพีเอสเค ว่ามีเทคนิคที่สำคัญและมีปัญหาอะไรบ้างที่จำเป็นต้องแก้ไข ที่สำคัญคือจะต้องเข้าใจหลักการพื้นฐาน (underlying principle) ที่จำเป็นในการดีมอดดูเลตสัญญาณบีพีเอสเค ซึ่งจะช่วยให้โฟกัสการออกแบบให้มีประสิทธิภาพ การค้นคว้างานวิจัยก่อนหน้าสามารถทำทั้งจากมุมมองของแวดวงวิชาการ ภาคอุตสาหกรรม รวมถึงการตรวจสอบสิทธิบัตรที่เกี่ยวข้อง

(ii) การวิเคราะห์ (analysis) การทำงานของระบบอย่างละเอียดเพื่อศึกษาและจะได้เข้าใจระบบและวงจรแบบเดิมมากขึ้น โดยความเข้าใจการทำงานอย่างลึกซึ้งของระบบและวงจรจะส่งผลให้มองเห็นปัญหาเพื่อที่จะมีแนวคิดใหม่ที่สามารถพัฒนาเพื่อให้ได้ระบบใหม่ที่มีประสิทธิภาพดีกว่าเทคนิคการออกแบบแบบเดิม และจะต้องทำการวิเคราะห์เทคนิคการออกแบบใหม่ที่นำเสนอด้วยเพื่อเป็นการยืนยันเทคนิคที่ออกแบบมีหลักการ ทฤษฎี และการวิเคราะห์ที่ถูกต้องมารองรับ ดังนั้นจึงมีความจำเป็นอย่างยิ่งที่ผู้วิจัยจะต้องมีพื้นฐานที่ดีในวิชาต่างๆที่เกี่ยวของกับ การวิเคราะห์สัญญาณ ระบบสัญญาณ การวิเคราะห์วงจรอิเล็กทรอนิกส์ รวมถึงการใช้ Software ที่ช่วยในการออกแบบและวิเคราะห์ Matlab Simulink, Advanced Design System (ADS), SAPWIN, MATHCad

(iii) การจำลองระบบและวงจร (system and circuit simulations) เมื่อได้แนวคิดใหม่ในการออกแบบเพื่อเปรียบดูว่าแนวคิดใหม่จะมีประสิทธิภาพดีกว่าเทคนิคแบบเดิมหรือไม่ โดยการเปรียบเทียบจะต้องเปรียบเทียบโดยเน้นไปในแนวทางที่จะนำระบบและวงจรไปประยุกต์ใช้ ถ้าแนวคิดที่นำเสนอใหม่ยังไม่ดีกว่าแนวคิดเดิมเราจะต้องกลับไปคิดระบบและวงจรใหม่จนกว่าจะได้สิ่งที่ดีและใช้งาน ผู้วิจัยจึงต้องมีความสามารถในการใช้ CAD tools ที่ช่วยในการออกแบบและจำลองการทำงานของวงจรเช่น Matlab Simulink, ADS, Cadence Design System ซึ่งส่วนที่สำคัญอีกอย่างหนึ่งคือโมเดลของอุปกรณ์และความไม่เป็นอุดมคติซึ่งเราจะเป็นต้องมีในการจำลองโดยถ้าเราอาจจะไม่สามารถหาได้ใน simulator เราอาจจะต้องโมเดลแบบจำลองอย่างง่ายขึ้นมาใช้ก่อน

(iv) เมื่อเราได้ระบบและวงจรที่คิดว่าสามารถทำงานได้ดีกว่าที่มีมาเราจำเป็นที่จะต้องสร้างของจริงขึ้นมาเพื่อทำการวัด ทดสอบ เพื่อยืนยันว่าแนวคิดการออกแบบที่คิดขึ้นมาใหม่นี้สามารถทำงานได้จริง โดยการสร้างนั้นเน้นที่ discrete circuits เนื่องจากมีราคาถูกกว่ามากแต่ก็สามารถใช้ยืนยันแนวคิดที่นำเสนอได้ในระดับหนึ่ง สิ่งที่ต้องวัดและทดสอบเช่น การทำงานของภาครับ การดีมอดดูเลตเพื่อกู้คืนสัญญาณข้อมูลกลับมาได้ อัตราขยายสัญญาณ ช่วงความถี่ในการทำงาน การกินกำลังงาน ผู้วิจัยต้องมีความสามารถในการใช้เครื่องมือวัดชนิดต่างๆได้อย่างถูกต้องและแม่นยำเช่น oscilloscope, eye-diagram analysis, constellation diagram analysis, spectrum analyzer, network analyzer, etc. โดยในช่วงปีแรกคาดว่าจะสามารถนำเสนอระบบดีมอดูเลตที่เป็นทางเลือกใหม่ของคอสทาสลูป (Costas loop) ซึ่งเป็นที่นิยมกันอย่างแพร่หลายสำหรับการใช้งาน BPSK, QPSK

demodulation และคาดว่าจะมีต้นแบบที่สร้างด้วยอุปกรณ์แบบ discrete ที่ทำงานที่ความถี่ไม่สูงมาก เช่น ความถี่พาห์อยู่ที่ 100kHz และดีมอดูเลตสัญญาณที่มีความเร็วข้อมูลที่ 1-10kbps

ถ้าระบบ BPSK demodulator ที่นำเสนอทำงานได้ดีเป็นที่น่าสนใจว่าเราจะต่อยอดไปสู่ระบบที่ใช้ข้อมูลที่มีจำนวนบิตมากขึ้นเช่น QPSK (สำหรับเลข 2 บิต), 8-PSK (สำหรับเลข 3 บิต) ทั้งใน simulations และสร้างขึ้นมาด้วย discrete components เพื่อทดสอบแนวคิดเบื้องต้นว่าสามารถทำงานได้จริง การออกแบบที่ระดับ discrete นี้เราจะเน้นที่การออกแบบระบบ (system design) เป็นสำคัญ ซึ่งโครงสร้างหรือสถาปัตยกรรมที่นำเสนอจะต้องสามารถแก้ไขปัญหาหรือเป็นทางเลือกใหม่จาก Costas loop หรือระบบที่มีคอสทาสลูปเป็นพื้นฐาน

(v) เมื่อแนวคิดได้ถูกพิสูจน์จากการสร้างด้วย discrete component สามารถทำงานได้แล้ว จึงมีความจำเป็นที่จะต้องออกแบบ จำลองและสร้างระบบที่นำเสนอใหม่ด้วยการสร้างวงจรรวม (integrated circuit) ใน 0.18um CMOS process เพื่อพิสูจน์ว่าระบบที่นำเสนอขึ้นมาใหม่นี้สามารถนำไปสร้างจริงในวงจรรวมได้จริงเพื่อเป็นการยืนยันว่าหลักการและแนวคิดสามารถนำไปต่อยอดใช้ได้ในอุตสาหกรรมขั้นสูงซึ่งต้องนำไปใช้ในชิฟสื่อสารที่จำเป็นต้องสร้างในรูปแบบของวงจรรวมเพื่อการใช้งานจริงในอุปกรณ์ commercial products ต่างๆ โดยสามารถนำไปประยุกต์ใช้งานได้หลากหลายอันมีพื้นฐานการส่ง-รับข้อมูลแบบดิจิตอล การออกแบบในขั้นวงจรรวมนี้คณะผู้วิจัยจะต้องออกแบบทั้งในระดับสถาปัตยกรรม (architectural level) และระดับวงจรทรานซิสเตอร์ (transistor level) ซึ่งมีความแตกต่างจากการทดสอบแนวคิดโดยใช้ discrete components อย่างมากเนื่องจากข้อจำกัดทางด้านไฟเลี้ยงและอุปกรณ์ต่างๆที่จะต้องคิดขึ้นมาเพิ่มเติมจากการทดสอบแบบ discrete ซึ่งมักจะมีอุปกรณ์ที่พร้อมให้เลือกใช้ (off-the-shelf components) เช่น opamp, comparator, multiplexer, logic gates การออกแบบในวงจรรวมจึงจะต้องมีความจำเพาะเจาะจงมากและขึ้นอยู่กับเทคโนโลยีที่ใช้ โดยวงจรที่เราจะต้องออกแบบด้วย MOSFET, resistor, capacitor น่าจะต้องประกอบไปด้วย

+ phase detector (PD) ซึ่งทำหน้าที่เปรียบเทียบเฟส ส่วนจะเลือกใช้แบบใดจะต้องทำการศึกษาเพื่อดูความเหมาะสมในเชิงประสิทธิภาพ

+ voltage-controlled oscillator (VCO) เป็นชุดสร้างสัญญาณที่สามารถปรับความถี่ได้ตามแรงดันอันมีหลายสถาปัตยกรรมเช่น ring VCO, LC VCO โดยคุณสมบัติที่สำคัญคือควรจะกำเนิดสัญญาณที่มีความถี่ได้ในช่วงกว้างและการปรับเปลี่ยนความถี่ตามระดับแรงดัน (หรือกระแส) ควรมีความเป็นเชิงเส้นพอสมควรหรืออย่างน้อยต้องมีลักษณะเป็น monotonic one-to-one function

+ amplifier วงจรขยายสัญญาณแรงดันหรือขยายสัญญาณกระแสตามความเหมาะสมของระบบที่ออกแบบซึ่งมีหลายประเด็นที่ต้องพิจารณาเช่น ความเป็นเชิงเส้น แบนด์วิธ ระดับสัญญาณรบกวน

+ comparator อาจจะจำเป็นต้องมีเพื่อใช้ในการตัดสินใจระหว่างระดับสัญญาณที่แตกต่างกันเพื่อแยกแยะข้อมูล

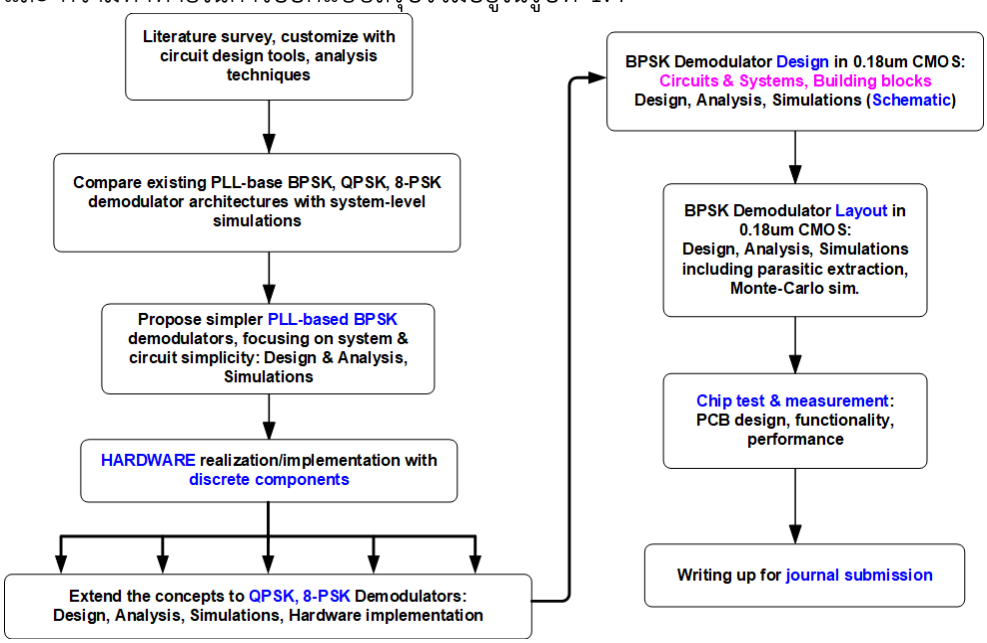
+ logic circuits อาจจะจำเป็นต้องมีเพื่อช่วยในการเลือกสัญญาณที่ต้องการได้อย่างอัตโนมัติและมีประสิทธิภาพ

+ และวงจรเฉพาะต่างๆ ทั้งนี้ขึ้นอยู่กับโครงสร้างที่นำเสนอว่ามีความจำเป็นต้องใช้วงจรที่ทำหน้าที่อะไรบ้างในระบบที่นำเสนอใหม่นี้

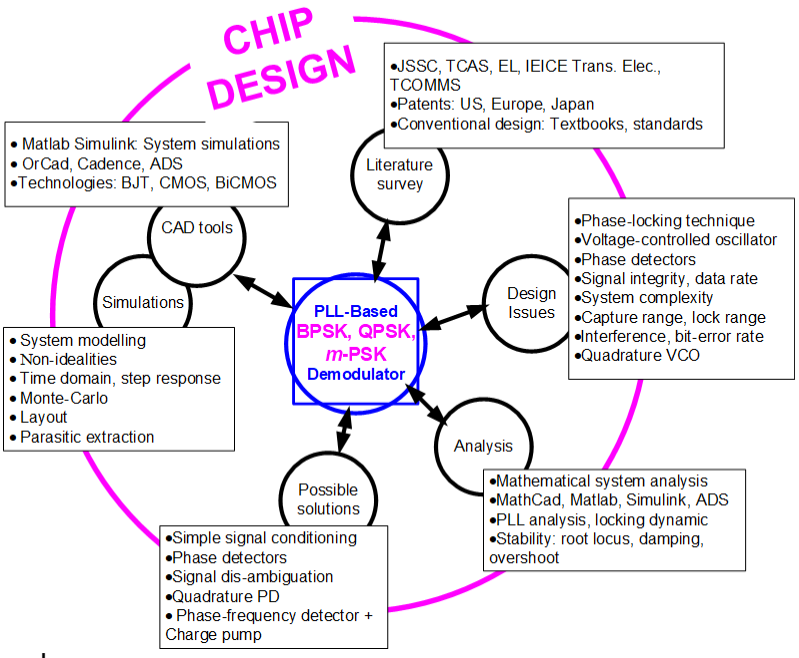
ดังนั้นผู้วิจัยคาดว่าจะใช้เวลานานพอสมควร รวมถึงการทดสอบระบบที่ได้ออกแบบมาก็ต้องมีการวางแผนออกแบบเป็นอย่างดี และน่าจะเริ่มออกแบบทันทีเมื่อการทดสอบด้วยอุปกรณ์ discrete เสร็จเรียบร้อย ซึ่งคิดว่าจะเริ่มดำเนินการได้ในปีที่สอง การออกแบบจะต้องทำในระดับวงจรทรานซิสเตอร์และระดับโครงสร้าง โดยเริ่มตั้งแต่ schematics ไปจนถึง layout พร้อมทั้งยังต้องมีการจำลองวงจรในหลายๆรูปแบบรวมถึงการใช้ผลทางสถิติเช่น Monte-Carlo analysis กับวงจรและระบบที่มีค่าความต้านทานและค่าตัวเก็บประจุแฝง (parasitic resistors and capacitors) ที่ได้จากต้นแบบเลย์เข้าไปรวมอยู่ด้วย เพื่อให้แน่ใจว่าต้นแบบชิฟที่ส่งไปสามารถทำงานได้จริงเมื่อผลิตออกมา คิดว่าการออกแบบรวมถึงการทดสอบน่าจะใช้เวลานานเกิน 12 เดือน (ถ้าจำเป็นจะขอต่อเวลาการทำวิจัยตามความเหมาะสม) โดย integrated BPSK, QPSK demodulators นี้จะต้องทำงานได้ที่ความถี่พาห์อย่างน้อย 60MHz โดยมีความเร็วข้อมูล 25Mbps คือได้ความถี่ข้อมูลเป็น 1/4 เท่าของความถี่พาห์เป็นอย่างน้อย

(vi) การทดสอบระบบ นับว่าเป็นเรื่องสำคัญมาก เนื่องจากงบประมาณมีจำกัดจึงไม่อาจจะจัดหาแหล่งจ่ายสัญญาณที่มอดูเลตเชิงดิจิตอลที่อัตราข้อมูลสูงมาได้ (ซึ่งมีความจำเป็นต้องใช้เครื่องกำเนิดสัญญาณประเภท vector signal generator) ดังนั้นอาจจะต้องทำการสร้างสัญญาณสัญญาณเช่น BPSK, QPSK, 8-PSK ที่ data rate = 50Mbps ที่ carrier frequency of 500MHz ขึ้นมาเองเช่นการใช้ FPGA ที่มีความเร็วสูง หรืออาจจะต้องขอความอนุเคราะห์จากสถาบันที่มีเครื่องสร้างสัญญาณเหล่านี้เพื่อทำการทดสอบ

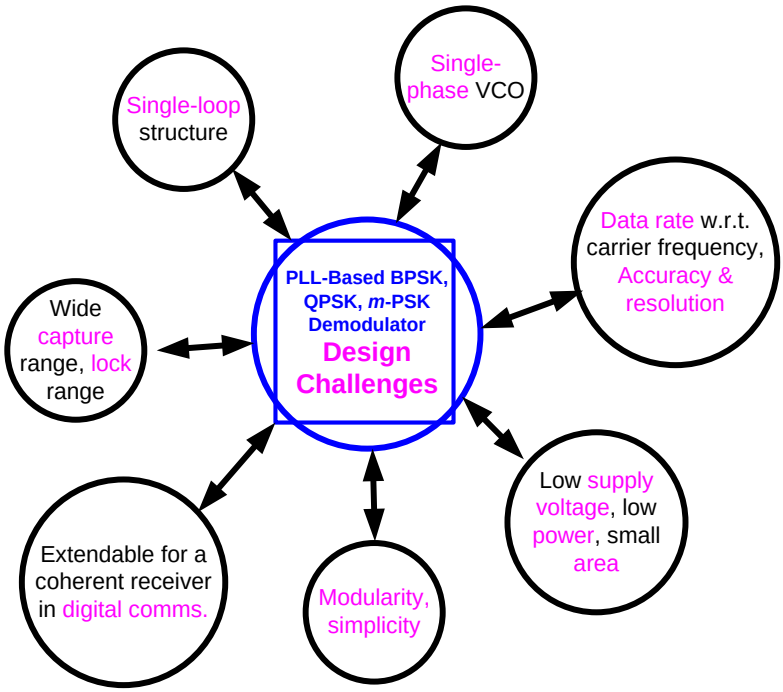
โดยรวมแล้วเราสามารถสรุปกระบวนการวิจัยเป็นไดอะแกรมได้ดังแสดงในรูปที่ 1.2 ซึ่งแยกแสดงเป็นขั้นด้วยแผนภูมิไหล (flow diagram) ผังรวมความคิด (mind map) ดังแสดงในรูปที่ 1.3 และ ความท้าทายในการออกแบบสรุปรวมอยู่ในรูปที่ 1.4




**รูปที่ 1.1** แผนภูมิไหลแสดงกระบวนการวิจัย (research flow chart)




**รูปที่ 1.2** แผนผังความคิดแสดงกระบวนการวิจัย (research mind map)




**รูปที่ 1.3** Demodulator design challenges

# บทที่ 2
# การทบทวนความรู้ ทฤษฎี และเอกสารที่เกี่ยวข้อง

## 2.1 บทนำ

ในบทนี้จะเป็นการกล่าวถึงบทความทางวิชาการที่เกี่ยวข้องกับระบบบีพีเอสเค, คิวพีเอสเคมอดูเลเตอร์ซึ่งเป็นระบบที่มีการใช้กันอย่างกว้างขวาง เช่นทางด้านการสื่อสารไร้สาย, ด้านการสื่อสารด้วยเส้นใยนำแสง, ด้านการสื่อสารผ่านร่างกายมนุษย์ เป็นต้น โดยระบบภาครับแบบบีพีเอสเค, คิวพีเอสเคดีมอดูเลเตอร์จะมีสองแบบนั้นคือ โคฮีเรนท์ดีมอดูเลเตอร์ และนอนโคฮีเรนท์ดีมอดูเลเตอร์ ซึ่งในบทนี้จะกล่าวถึงหลักการดีมอดูเลเตอร์ทั้งสองแบบ และการนำไปใช้งานในทางด้านสื่อสารทั้งในอดีตและปัจจุบัน และทำการอธิบายข้อได้เปรียบ และข้อเสียเปรียบของระบบดีมอดูเลเตอร์ทั้งสองแบบ

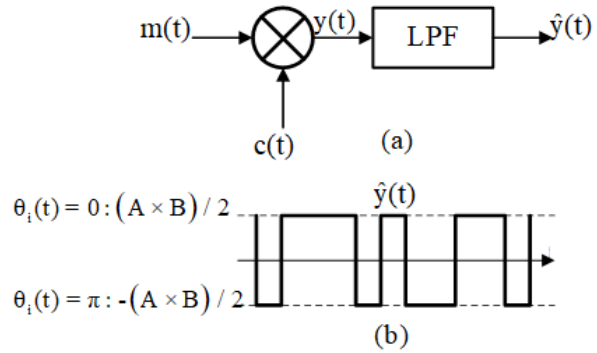
## 2.2 โคฮีเรนท์ดีมอดูเลเตอร์ (Coherent Demodulators) [1-3]

ในระบบโคฮีเรนท์ดีมอดูเลเตอร์ก็คือการที่สัญญาณเบสแบนด์ที่ผ่านการมอดูเลตจะได้รับโดยการคูณกับสัญญาณพาห์ (Carrier Frequency) ซึ่งจะซิงโครไนซ์กับสัญญาณมอดูเลตกระบวนการนี้เป็นอินเวอร์สของลิเนียร์มอดูเลชั่น ด้วยเหตุนี้โคฮีเรนท์ดีมอดูเลชั่นจะเรียกว่าลิเนียร์ดีมอดูเลชั่น สำหรับการดีมอดูเลตสัญญาณพีเอสเคมอดูเลตทางด้านภาครับเป็นแบบโคฮีเรนท์ดีมอดูเลชั่น ซึ่งมีหลักการดังนี้ สัญญาณพีเอสเคมอดูเลตที่ได้รับ ขั้นแรกจะผ่านวงจรคูณ (Multiplier) ซึ่งสัญญาณพีเอสเคมอดูเลตจะคูณกับสัญญาณพาห์อ้างอิง (reference carrier) โดยผลลัพธ์จะประกอบด้วยสัญญาณเบสแบนด์ และสัญญาณฮาร์โมนิค ซึ่งสามาถใช้วงจรกรองความถี่ต่ำผ่าน (low pass filter) ขจัดส่งผลให้เหลือเพียงสัญญาณเบสแบนด์

ถ้าสัญญาณบีพีเอสเคมอดูเลตที่รับเข้ามาคือ $m(t) = A\cos(\omega_c t + \theta_i(t))$ โดยที่ A คือขนาดแอมพลิจูดของสัญญาณบีพีเอสเคมอดูเลต, $\omega_c$ คือความถี่เชิงมุมของสัญญาณบีพีเอสเคมอดูเลต, $\theta_i(t)$ คือเฟสข้อมูล สำหรับบีพีเอสเคมอดูเลตมีค่า i = {0,1} และ $\theta_i(t) = \{0, \pi\}$ และสัญญาณพาห์อ้างอิงของภาครับที่มีไว้สำหรับซิงโครไนซ์กับสัญญาณบีพีเอสมอดูเลต $c(t) = B\cos(\omega_0 t)$ ซึ่งผลการคูณของสัญญาณทั้งสองสามารถแสดงดังสมการที่ (2.1) โดยที่ $\omega_c = \omega_0$

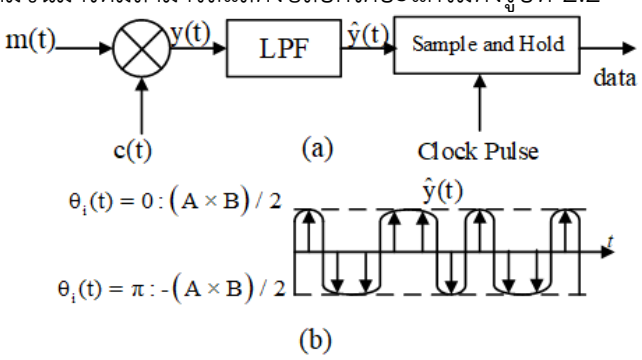
$$
\begin{aligned}
y(t) &= m(t) \times c(t) \\
&= A\cos(\omega_c t + \theta_i(t)) \times B\cos(\omega_0 t) \\
&= A\cos(\omega_c t + \theta_i(t)) \times B\cos(\omega_0 t) \\
&= (A \times B) / 2\{(\cos 2\omega_c t + \theta_i(t)) + \cos\theta_i(t)\}
\end{aligned} \tag{2.1}
$$

นำเอาท์พุท y(t) ไปผ่านวงจรกรองความถี่กรองผ่าน (low-pass filter) ดังนั้นสัญญาณเอาท์พุท $\hat{y}(t)$ จึงมีเพียง $(A \times B) / 2 \times \cos\theta_i(t)$ ซึ่ง $\hat{y}(t) = (A \times B) / 2$ เมื่อ $\theta_i(t) = 0$ และ $\hat{y}(t) = -(A \times B) / 2$ เมื่อ $\theta_i(t) = \pi$ ดังแสดงในรูปที่ 2.1



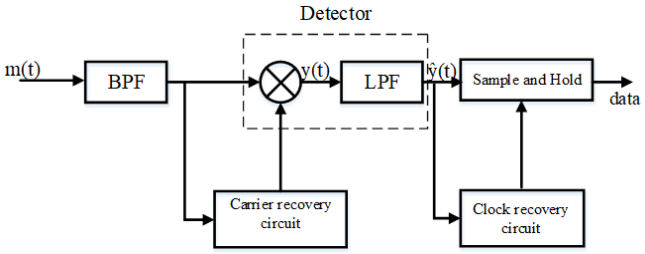

**รูปที่ 2.1 (a)** บล็อกไดอะแกรมอย่างง่ายสำหรับการกู้คืนสัญญาณเบสแบนด์, **(b)** สัญญาณเบสแบนด์ที่ผ่านวงจรกรองความถี่ต่ำ (LPF)

โดยสัญญาณเบสแบนด์จะถูกส่งต่อไปยังวงจร Sample and Hold ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ด้วย clock pulse ที่จุดกึ่งกลางของแต่ละบิตของสัญญาณเบสแบนด์ และจะทำการพิจารณาว่าแต่ละบิตของสัญญาณเบสแบนด์นั้นคือ บิต 1 หรือ บิต 0 แล้วจึงทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่สามารถแสดงบล็อกไดอะแกรมดังรูปที่ 2.2




**รูปที่ 2.2 (a)** บล็อกไดอะแกรมของวงจรดีมอดูเลเตอร์ที่เพิ่มวงจร sample and hold, **(b)** หลักการทำงานของวงจร sample and hold

สำหรับบล็อกไดอะแกรมของโคฮีเรนท์ดีมอดูเลชั่นจะประกอบด้วย วงจรดีเทคเตอร์, carrier recovery circuit, sample and hold และ clock recovery circuit สำหรับวิธีการโคฮีเรนท์ carrier recovery circuit จะสร้างสัญญาณพาห์อ้างอิงเพื่อคูณกันด้วยวงจรดีเทคเตอร์ และ clock recovery circuit จะสร้างสัญญาณ clock pulse ขึ้นมาใหม่เพื่อที่จะเป็น clock ของวงจร sample and hold ซึ่งวงจร recovery ทั้งสองจะต้องสร้างสัญญาณมาจากสัญญาณพีเอเคมอดูเลตของภาคส่ง แสดงบล็อกไดอะแกรมของโคฮีเรนท์ดีมอดูเลเตอร์ดังรูปที่ 2.3

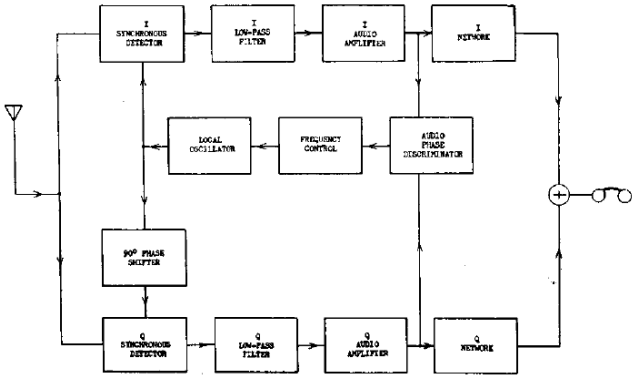



**รูปที่ 2.3** บล็อกไดอะแกรมโคฮีเรนท์ดีมอดูเลเตอร์

สำหรับระบบโคฮีเรนท์ดีมอดูเลเตอร์ของสัญญาณพีเอสเคดีมอดูเลเตอร์นั้น ส่วนของการสร้างสัญญาณพาห์อ้างอิงสร้างมาจากวงจรลูปคอสทาส (Costas loop) ที่มีความนิยมกันอย่างแพร่หลาย โดยวงจรนี้มีพื้นฐานมาจากวงจรเฟสล็อกลูป (Phase lock loop) และโครงสร้างดีมอดูเลเตอร์แบบ I/Q และสำหรับส่วนของการสร้าง clock pulse เพื่อที่จะพิจารณาที่จุดกึ่งกลางบิตของสัญญาณที่ผ่านดีมอดูเลตเพื่อตัดสินใจว่าเป็น 1 และ 0 สร้างมาจากวงจร clock and data recovery (CDR) ส่วนต่อไปจะเป็นการทบทวนบทความทางวิชาการที่เกี่ยวข้องกับการโคฮีเรนท์บีพีเอส, คิวพีเอสเค ดีมอดูเลเตอร์

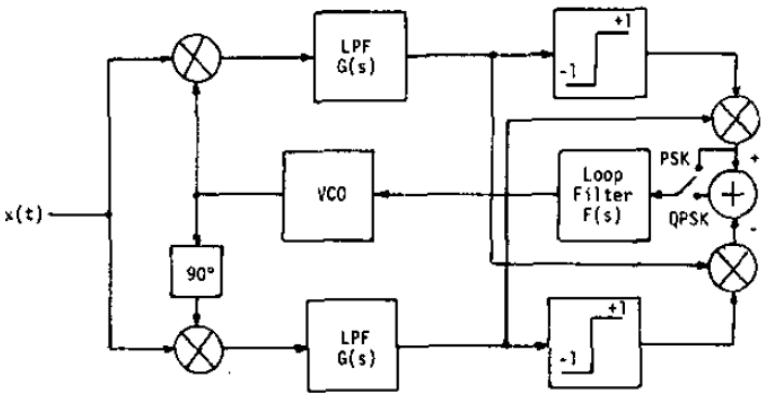
**2.2.1 การทบทวนองค์ความรู้/ทฤษฎี/ผลงานที่มีมาก่อนของระบบแบบโคฮีเรนท์**

ลูปคอสทาส (Costas loop) [4] ซึ่งนำเสนอโดย John P. Costas ในปี ค.ศ. 1956 [11] ดังแสดงในรูปที่ 2.4 ดั้งเดิมเป็นระบบที่ถูกคิดค้นออกแบบสำหรับ synchronous หรือ coherent receiver ซึ่งใช้ quadrature voltage-controlled oscillator อยู่ในระบบป้อนกลับลบ ซึ่งต่อมามีส่วนสำคัญซึ่งได้ถูกพัฒนาต่อยอดไปใช้ในระบบภาครับสำหรับ digital communications อย่างกว้างขวาง [13]

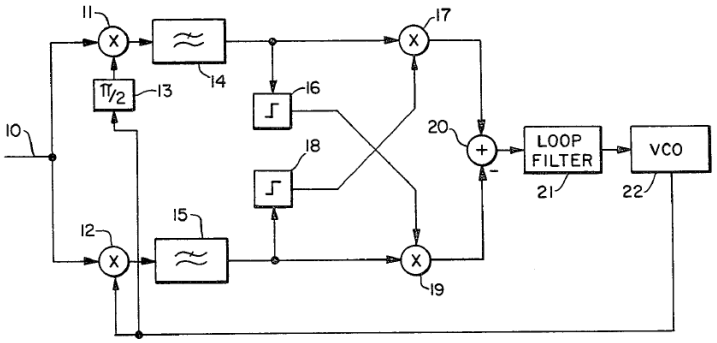


**รูปที่ 2.4** ระบบ Two-phase synchronous receiver ใน [11] ที่นำเสนอโดย J. P. Costas ในปี ค.ศ. 1956 ซึ่งปัจจุบันเป็นที่รู้จักกันอย่างกว้างขวางในชื่อ “Costas Loop”

ตั้งแต่ปี ค.ศ. 1976 ได้มีการพัฒนาต่อยอดโครงสร้างลูปคอสทาส (Costas loop)เพื่อใช้ในการทำ QPSK demodulation โดยมีการตีพิมพ์เผยแพร่และจดสิทธิบัตรหลายฉบับ [5-10, 12] โดยมีพื้นฐานที่คล้ายกับระบบที่แสดงในรูปที่ 2.5




**(a)** Introduced in [14]




**(b)** Shown as a prior art in [8] as also re-drawn in [9]

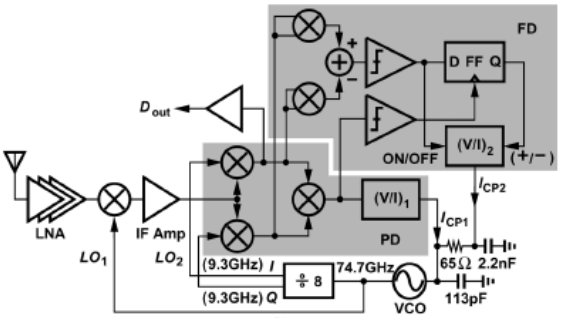
**รูปที่ 2.5** QPSK demodulator ซึ่งใช้พื้นฐานจาก Costas loop [8, 12]

### 2.2.2 การประยุกต์ใช้งานของลูปคอสทาสหรือโครงสร้างที่มีพื้นฐานจากลูปคอสทาส (Costas loop)

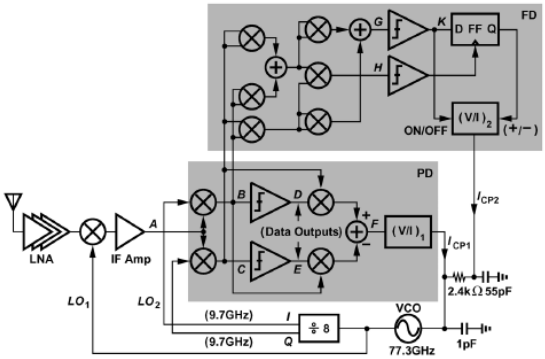
การประยุกต์ใช้งานของลูปคอสทาสหรือโครงสร้างพื้นฐานจากลูปคอสทาสมีอย่างกว้างขวาง สำหรับระบบสื่อสารในปัจจุบันและอนาคต เช่นทางด้านการสื่อสารไร้สาย, ด้านการสื่อสารด้วยเส้นใยนำแสง, ด้านการสื่อสารผ่านร่างกายมนุษย์ เป็นต้น

#### 2.2.2.1 ด้านการสื่อสารระบบส่งรับไร้สาย (wireless transceiver)

ใน [6] ได้มีการนำโครงสร้าง Costas-loop BPSK demodulator ดั่งเดิมและ Costas-loop QPSK demodulator ซึ่งคล้ายกับที่นำเสนอใน [8, 9] ไปปรับปรุงเพื่อเพิ่มประสิทธิภาพการล็อคความถี่สำหรับระบบส่ง-รับไร้สาย (wireless transceiver) ที่อัตราข้อมูล 2.5 Gbps ในเทคโนโลยี 65 นาโนเมตร โดยมีความถี่ถูกมอดูเลต (modulated frequency) อยู่ที่ 9.3GHz ดังแสดงในรูปที่ 2.6 จากโครงสร้างที่นำเสนอนี้เรายังเห็นได้ว่าประเด็นปัญหาในการออกแบบพื้นฐานของ Costas loop ปัญหาที่สำคัญมาจากพื้นฐานการมี quadrature LO signals (I and Q) ที่จำเป็นต้องใช้สัญญาณสองเฟสที่แตกต่างกัน 90 องศาที่มีความแม่นยำสูง และความจำเป็นที่ต้องมีตัวคูณที่มีความเป็นเชิงเส้น




**(a)** BPSK receiver architecture

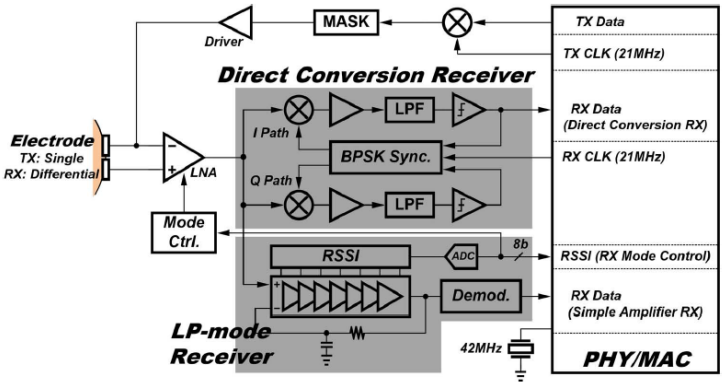



**(b)** QPSK receiver architecture

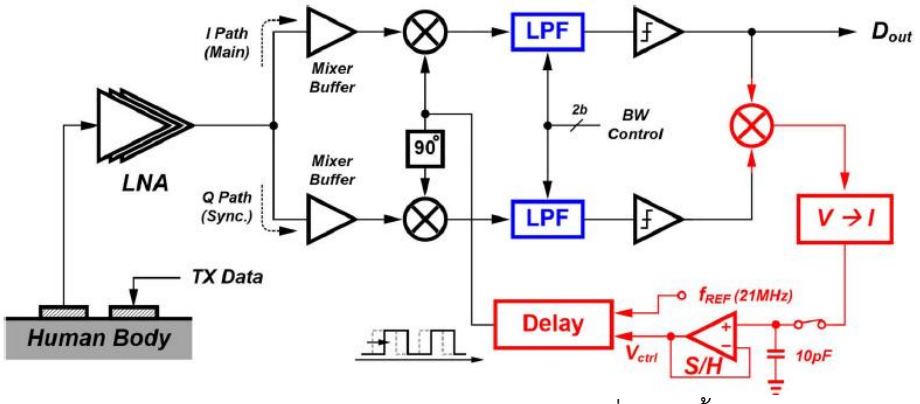
**รูปที่ 2.6** ระบบ BPSK, QPSK demodulator ใช้ในระบบสื่อสารไร้สายความเร็วข้อมูล 2.5-Gpbs [6]

**2.2.2.2 ด้านการสื่อสารของอุปกรณ์ชีวการแพทย์ (biomedical communications)**

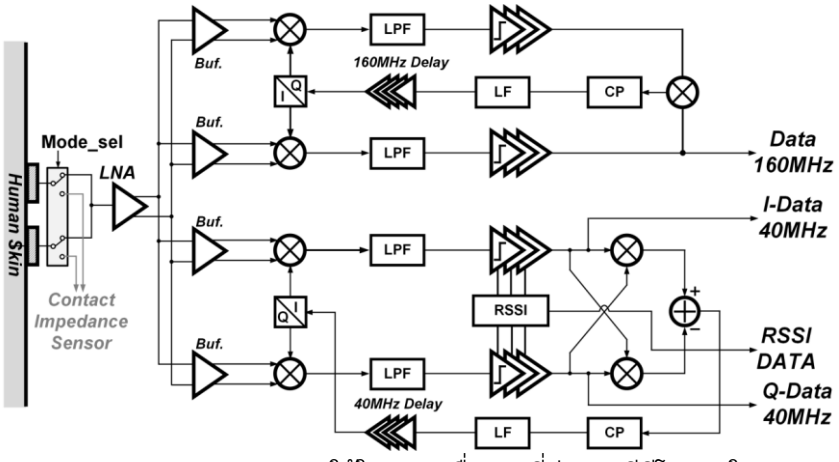
ใน [7], [14] มีการนำพื้นฐานของโครงสร้าง Costas loop เพื่อทำการดีมอดูเลตสัญญาณ BPSK แบบ delay-locked loop (DLL) สำหรับใช้ในระบบชุดสื่อสารส่ง-รับ (transceiver) ผ่านร่างกายมนุษย์ในงานด้านชีวการแพทย์ดังแสดงในรูปที่ 2.7 ซึ่งยังคงเห็นได้ชัดว่ายังคงมีข้อกำจัดพื้นฐานเช่นเดียวกับโครงสร้าง Costas loop




**(a)** โครงสร้าง direct-conversion receiver ที่ใช้พื้นฐานของ Costas loop ในการถอดสัญญาณ BPSK



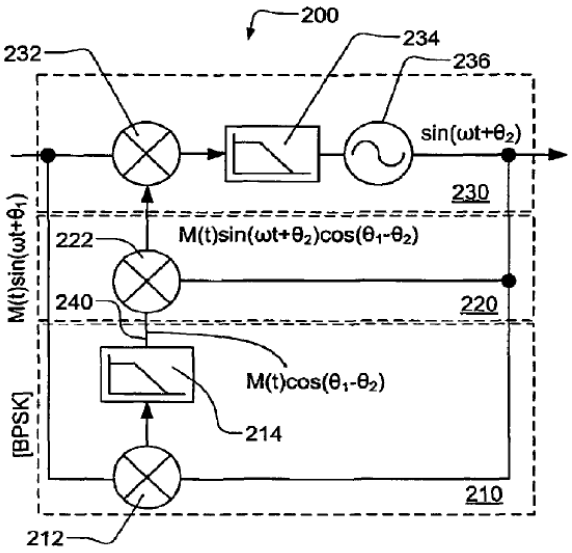

**(b)** ระบบ Delay-locked loop BPSK demodulator ที่อยู่บนพื้นฐานของ Costas loop




**(c)** Dual-band BPSK, QPSK receiver ใช้ในระบบสื่อสารที่ส่งภาพวีดีโอภายในแคปซูลที่ใส่ในร่างกาย [14]

**รูปที่ 2.7** ระบบสื่อสารส่ง-รับที่มี BSPK demodulator เป็นองค์ประกอบสำคัญ ใช้ในงานชีวการแพทย์ [7], [14]

ใน [5] มีการนำเสนอสถาปัตยกรรม demodulator จากพื้นฐานของ Costas loop เพื่อทำการดีมอดูเลตทางด้าน Biological implant ซึ่งมี data rate สูงสุดได้มีค่า 1/8 เท่าของความถี่คลื่นพาห์ (carrier frequency) สำหรับการทดลองต้นแบบของวงจรรวมนี้ทำที่ความถี่พาห์ 13.56MHz และอัตราการส่งข้อมูลอยู่ที่ 20 kbps ด้วยเทคโนโลยีซีมอส 0.5 ไมโครเมตร ขนาดพื้นที่ 1 ตารางมิลลิเมตร, ไฟเลี้ยง 3.3V และมี BER (Eb/No=14.42) มีค่า 7.58E-6 ดังแสดงในรูปที่ 2.8

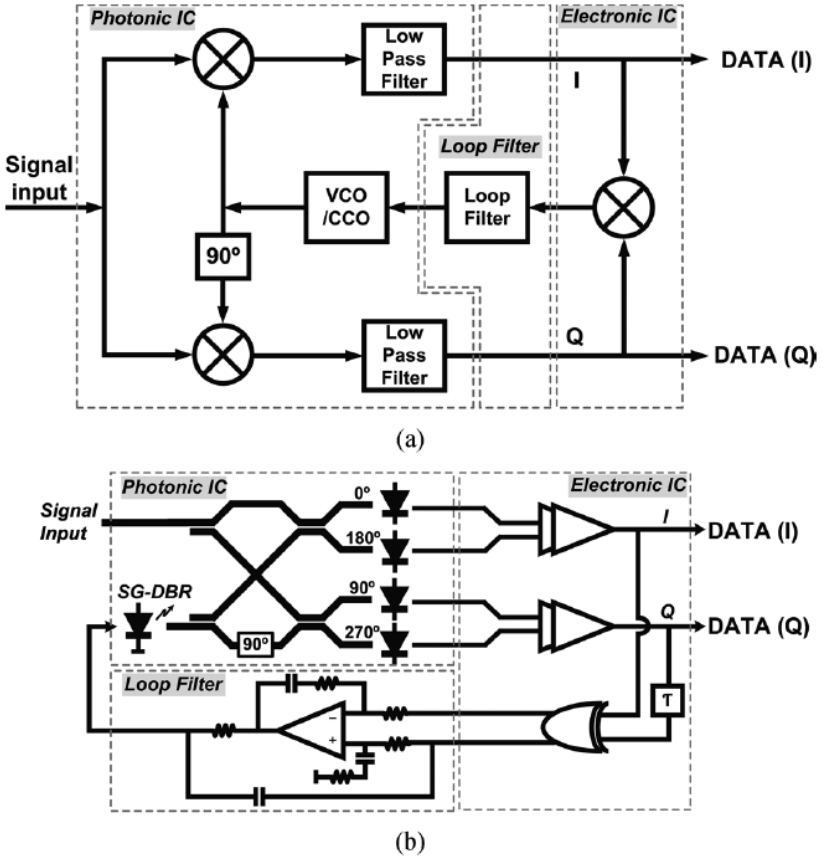



**รูปที่ 2.8** BPSK demodulator จาก Z. Luo and S. sonkusale, “LOW POWER BPSK DEMODULATOR,” US Patent no. 8,159,288 B2, April, 2012.

**2.2.2.3 ด้านการสื่อสารผ่านแสง (optical communications)**

ใน [15] ได้มีการประยุกต์ใช้คอสทาสลูปสำหรับการสื่อสารผ่านแสงโดยมีการสร้างต้นแบบ integrated homodyne BPSK optical coherent receiver สำหรับอัตราข้อมูล 40 Gbps ดังแสดง

ในรูปที่ 2.9 ซึ่งในกรณีพิเศษนี้ Photonic IC ทำหน้าที่เป็น quadrature VCO และ phase detector ในเชิงแสง โดยมีการผลิตด้วยเทคนิคและเทคโนโลยีเฉพาะขั้นสูง

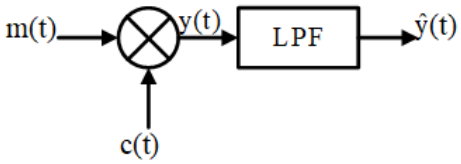



**รูปที่ 2.9** การประยุกต์ใช้คอสทาสลูปใน integrated homodyne 40Gbps BPSK optical coherent receiver (a) basic Costas loop structure (b) detailed structure in OPLL demodulator [15]

**2.3 นอนโคฮีเรนท์ดีมอดูเลเตอร์ (Non-coherent Demodulators)**

ในระบบนอนโคฮีเรนท์ดีมอดูเลเตอร์เป็นเทคนิคที่ความถี่คลื่นพาห์ของตัวส่งและตัวรับไม่จำเป็นที่จะต้องซิงโครไนซ์กัน หรือกล่าวอีกนัยหนึ่งว่าไม่รู้ค่าผลต่างเฟสของสัญญาณอินพุท และสัญญาณคลื่นพาห์อ้างอิงของตัวดีเทคเตอร์ ดังนั้นวงจรภาครับลักษณะนี้จึงมีความซับซ้อนน้อย แต่อย่างไรก็ตามค่าความผิดพลาดของอัตราการส่งข้อมูลจะเพิ่มขึ้นเมื่อเปรียบเทียบกับระบบภาครับแบบโคฮีเรนท์ดีมอดูเลเตอร์

สำหรับระบบนอนโคฮีเรนท์ของภาครับแบบบีพีเอสเคดีมอดูเลเตอร์จะประกอบไปด้วยวงจรคูณที่สัญญาณอินพุทของวงจรคูณจะประกอบด้วยสัญญาณบีพีเอสเคมอดูเลต และสัญญาณคลื่นพาห์อ้างอิงที่มีความถี่เท่ากับสัญญาณ ซึ่งเอาท์พุทของวงจรคูณจะประกอบด้วยสัญญาณความถี่สูง และสัญญาณข้อมูลดั้งเดิมโดยสามารถที่จะขจัดสัญญาณความถี่สูงด้วยวงจรกรองความถี่ต่ำผ่านดังแสดงในรูปที่ 2.10 สำหรับบีพีเอสเคมอดูเลเตอร์แบบนอนโคฮีเรนท์ไม่ได้มีโครงสร้างแบบเดียวดังรูปที่ 2.10 โดยจะนำเสนอโครงสร้างอื่นๆที่เกี่ยวข้องในหัวข้อถัดไป 2.3.1

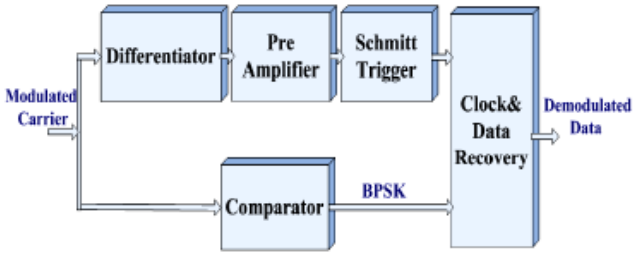



**รูปที่ 2.10** วงจรบีพีเอสเคดีมอดูเลเตอร์อย่างง่ายโดยสัญญาณคลื่นพาห์อ้างอิง $c(t)$ไม่ได้ซิงโครไนซ์กับสัญญาณบีพีเอสเคมอดูเลต

**2.3.1 การทบทวนองค์ความรู้/ทฤษฎี/ผลงานที่มีมาก่อนของระบบแบบนอนโคฮีเรนท์**

**2.3.1.1 ด้านการสื่อสารระบบส่งรับไร้สาย (wireless transceiver)**

ใน [16] เป็นโครงสร้างภาครับแบบนอนโคฮีเรนท์ที่แตกต่างจากก่อนหน้านี้ที่มีอัตราของการส่งข้อมูลที่สูงซึ่งนำเสนอในงานด้าน inductively powered wireless links. โดยสัญญาณข้อมูลดีมอดูเลชั่นเป็นพื้นฐานจากสัญญาณที่แตกต่างของสัญญาณคลื่นพาห์ของภาครับซึ่งสร้างมาจากโครงข่ายของตัวต้านทาน และตัวเก็บประจุ และภาครับจะทำสร้างสัญญาณพัลส์นาฬิกาจากวงจร clock and data recovery ที่มันมีความถี่เท่ากับสัญญาณบีพีเอสเคมอดูเลต วงจรนี้จะต้องมีสัญญาณพัลส์นาฬิกาที่มีความถี่สองเท่าของสัญญาณคลื่นพาห์เพื่อเป็นclock ของวงจรหารสองที่สร้างมากจาก ดีฟลิปพลอป (D-flip flop) สามารถแสดงบล็อกไดอะแกรมของโครงสร้างดีมอดูเลเตอร์ดังรูปที่ 2.11 ซึ่งเป็นโครงสร้างที่มีอัตราการส่งข้อมูลเท่ากับสัญญาณคลื่นพาห์ที่อัตราการส่งข้อมูล 5 Mbps และมีการใช้พลังงานของวงจรทั้งหมด 550 $\mu$W ที่เทคโนโลซีมอส 180nm.

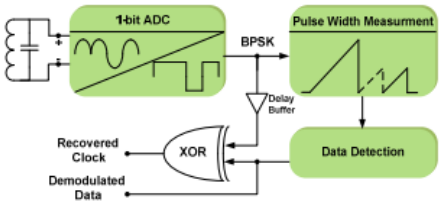



**รูปที่ 2.11** บล็อกไดอะแกรมของโครงสร้างนอนโคฮีเรนท์บีพีเอสเคดีมอดูเลเตอร์

**2.3.1.2 ด้านการสื่อสารของอุปกรณ์ชีวการแพทย์ (biomedical communications)**

ใน [17, 18] เป็นโครงสร้างบีพีเอสดีมอดูเลเตอร์แบบนอนโคฮีเรนท์ที่ใช้ในงานด้าน inductively powered biomedical device. ซึ่งมีการสัญญาณข้อมูลใช้เทคนิคเข้ารหัสแบบ Differential Manchester โดยโครงสร้างภาครับจะประกอบด้วย 1-bit ADC เพื่อที่จะทำการเปรียบเทียบสัญญาณที่รับมาจากภาคส่ง แล้วส่งต่อไปเข้าวงจรถอยรหัสเพื่อสร้างสัญญาณ Pulse Width และสัญญาณพัลส์นาฬิกาซึ่งสัญญาณทั้งสองจะเป็นอินพุทของวงจร Clock and data Recovery เพื่อทำการดีมอดูเลชั่นกู้คืนสัญญาณข้อมูลกลับคืนมา ซึ่งโครงสร้างนี้มีอัตราการส่งสัญญาณข้อมูลเท่ากับความถี่คลื่นพาห์ของสัญญาณมอดูเลตที่อัตราการส่งข้อมูล 10Mbps และเป็นระบบที่มีการใช้พลังงานทั้งหมด 232 $\mu$W ที่ไฟเลี้ยง 1.8V ด้วยเทคโนโลยี 180nm ดังรูปที่ 2.12

(a)




(b)

**รูปที่ 2.12 (a)** วงจรบีพีเอสเคมอดูเลเตอร์ที่มีสัญญาณข้อมูลเข้ารหัสแบบ Differential Manchester [17], **(b)** วงจรบีพีเอสเคมอดูเลเตอร์แบบกินพลังงานต่ำ [18]

## 2.4 เปรียบเทียบข้อได้เปรียบ และข้อเสียเปรียบของโคฮีเรนท์ และนอนโคฮีเรนท์ของระบบคืนสัญญาณพีเอสเค

หัวข้อนี้จะมีการเปรียบเทียบระบบคืนสัญญาณบีพีเอส, คิวพีเอสเค และเอ็มพีเอสเคดีมอดูเลชั่นของระบบโคฮีเรนท์ และระบบนอนโคฮีเรนท์ สิ่งที่เราจะนำมาเปรียบเทียบเช่น ด้านความซับซ้อนในการออกแบบ, ด้านการกินพลังงานของวงจร และอัตราความผิดพลาดในการส่งสัญญาณข้อมูล (BER)เทียบกับ signal-to-noise ratio (SNR)

### 2.4.1 ด้านความซับซ้อนของระบบโคฮีเรนท์ และนอนโคฮีเรนท์

สำหรับวงจรแบบโคฮีเรนท์จะมีความซับซ้อนที่สูงกว่าระบบนอนโคฮีเรนท์ เนื่องจากระบบโคฮีเรนท์จะต้องมีการสร้างสัญญาณซิงโครไนซ์มาจากสัญญาณของภาคส่ง โดยวงจรที่นำมาช่วยในการสร้างสัญญาณซิงโครนัสก็คือวงจรเฟสล็อกลูปซึ่งมีความซับซ้อนพอสมควร และจากการศึกษาพบว่าระบบโคฮีเรนท์ที่เรียกว่าลูปคอสทาสที่มีพื้นฐานของวงจรเฟสล็อกลูปจะมีความซับซ้อนค่อนข้างสูง รวมทั้งจะต้องมี Quadrature oscillator และเป็นระบบที่มีสองลูป ส่วนระบบนอนโคฮีเรนท์เป็นระบบที่ไม่ต้องสร้างสัญญาณซิงโครไนซ์มาจากสัญญาณภาคส่ง ดังนั้นจึงไม่จำเป็นต้องมีระบบเฟสล็อกเพียงสามารถสร้างสัญญาณที่ซิงโครนัสกับสัญญาณภาคส่งเพื่อคืนสัญญาณข้อมูล

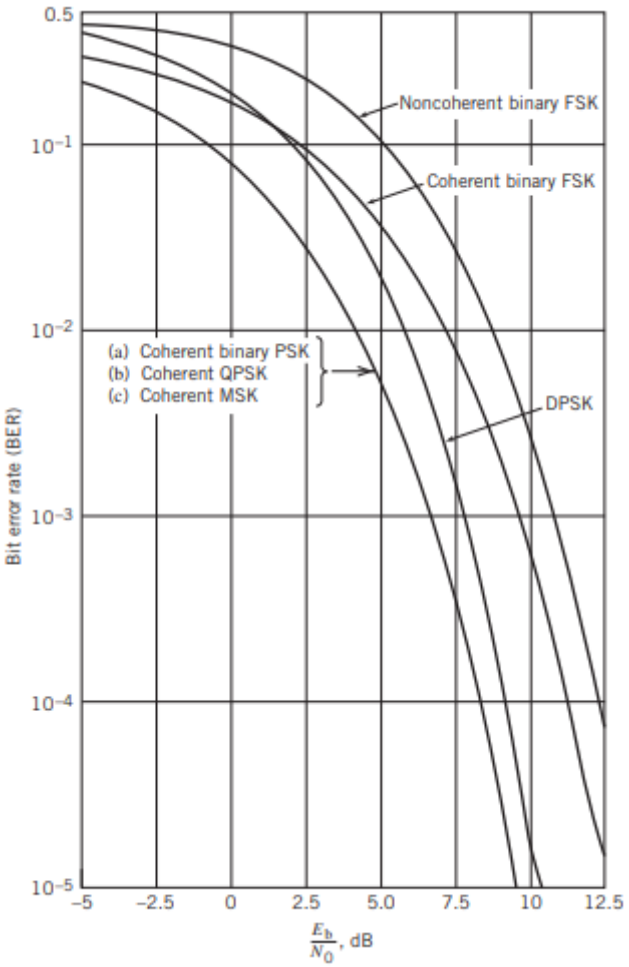
### 2.4.2 ด้านการกินพลังงานของระบบโคฮีเรนท์ และนอนโคฮีเรนท์

สำหรับการกินพลังงานจะสอดคล้องกับความซับซ้อนซึ่งวงจรโคฮีเรนท์มีความซับซ้อนในการออกแบบสูงกว่าวงจรนอนโคฮีเรนท์ซึ่งพบในหัวข้อที่ 2.2 และหัวข้อที่ 2.3 พบว่าความซับซ้อนของวงจรโคฮีเรนท์จะเพิ่มขึ้นอย่างมากเมื่อมีการเพิ่มจำนวนบิตข้อมูล ซึ่งแตกต่างกันระบบนอนโคฮีเรนท์ที่มีความซับซ้อนน้อยกว่า ดังนั้นวงจรโคฮีเรนท์มีการกินพลังงานที่สูงกว่าวงจรนอนโคฮีเรนท์

### 2.4.3 BER ของระบบโคฮีเรนท์ และนอนโคฮีเรนท์

สำหรับระบบการสื่อสารความถูกต้องมีความสำคัญเป็นอันดับต้นๆ เนื่องจากการสื่อสารถ้ามีความผิดพลาดที่สูงจะทำให้เกิดการคืนสัญญาณข้อมูลที่ผิดพลาด ดังนั้น bit error rate (BER) จึงมีความสำคัญอย่างมาก ดังนั้นจึงมีการเปรียบเทียบ BER ของระบบโคฮีเรนท์ และนอนโคฮีเรนท์ซึ่ง

พบว่าระบบการคืนสัญญาณบีพีเอสเค, คิวพีเอส และเอ็มพีเอสเค แบบโคฮีเรนท์มีค่า BER ที่ต่ำกว่ามากกับระบบการคืนสัญญาณบีพีเอสเค, คิวพีเอส และเอ็มพีเอสเค แบบนอนโคฮีเรนท์แสดงดังรูปที่ 2.13




**รูปที่ 2.13** การเปรียบเทียบประสิทธิภาพของสัญญาณรบกวนของระบบดีมอดูเลชั่นแบบโคฮีเรนท์และนอนโคฮีเรนท์ [3]

## 2.5 สรุป

ในบทนี้จะเป็นการทบทวนเอกสารทางวิชาการที่เกี่ยวกับการดีมอดูเลชั่นพีเอสแบบโคฮีเรนท์และนอนโคฮีเรนท์ซึ่งในปัจจุบันระบบโคฮีเรนท์ที่ได้รับความนิยมใช้กันอย่างแพร่หลายเรียกว่าลูปคอสทาส ซึ่งระบบโคฮีเรนท์จะเป็นระบบที่จะนำเสนอในโครงงานโดยเป็นระบบที่มีความซับซ้อนน้อยกว่าลูปคอสทาสเรียกว่าระบบคืนสัญญาณบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเค แบบลูปเดียว เฟสเดียว บนพื้นฐานของเฟสล็อกลูปที่จะเสนอบทที่ 3

## 2.6 เอกสารอ้างอิง

[1] https://en.wikipedia.org/wiki/Phase-shift_keying

[2] J. G. Proakis and M. Salehi, *Digital Communications*, 5th ed., McGraw-Hill Education, 2007.

[3] S. Haykin, *Digital Communication Systems*, Wiley, 2013.
[4] https://en.wikipedia.org/wiki/Costas_loop
[5] Z. Luo and S. Sonkusale, "A Novel BPSK Demodulator for Biological Implants," *IEEE Transactions on Circuits and Systems –I*, Vol. 55, No. 6, July 2008.
[6] S.-J. Huang, Y.-C. Yeh, H. W., P.-N. Chen, and J. Lee, "W-Band BPSK and QPSK Transceivers With Costas-Loop Carrier Recovery in 65-nm CMOS Technology," *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 12, December 2011.
[7] H. Cho, H. Lee, J. Bae, and Hoi-Jun Yoo, "A 5.2 mW IEEE 802.15.6 HBC Standard Compatible Transceiver With Power Efficient Delay-Locked-Loop Based BPSK Demodulator," *IEEE Journal of Solid-State Circuits*, Vol. 50, No. 11, November 2015.
[8] C. R. Ryan and J. H- Stilwell, "QPSK Demodulator," US Patent no. 4085378, May, 1978.
[9] G. W. Waters, "Costas Loop QPSK Demodulator," US Patent no. 4344178, August, 1982.
[10] S. W. Attwood, "QPSK/BPSK Demodulator," US Patent no. 4833416, May, 1989.
[11] J. P. Costas, "Synchronous communications," *Proceedings of the IRE*, Vol. 44, no. 12, pp. 1713–1718, 1956.
[12] M. K. Simon, "Optimum Receiver Structures for Phase-Multiplexed Modulations," *IEEE Transactions on Communications*, Vol. 26, No. 6, 1978.
[13] D. P. Taylor, "Introduction of "Synchronous Communications": A Classic Paper by John P. Costas," *Proceedings of the IEEE*, Vol. 90, No. 8, August 2002.
[14] J. Jang, J. Lee, K.-R., Lee, L. Lee, M. Kim, Y. Lee, J. Bae, and H.-J. Yoo, "A Four-Camera VGA-Resolution Capsule Endoscope System With 80-Mb/s Body Channel Communication Transceiver and Sub-Centimeter Range Capsule Localization," *IEEE Journal of Solid-State Circuits*, Vol. 54, No. 2, February 2019.
[15] M. Lu et. al., "An Integrated 40 Gbit/s Optical Costas Receiver," *Journal of Lightwave Technology*, vol. 13, no. 13, pp. 2244-2253, July, 2013.
[16] A. Moeinfar, H. Shamsi, M. M. Taradeh, S. Gholami, and S. R. Afrancheh Novel high-data-rate low-complexity BPSK demodulator for telemetry systems," *in 2011 IEEE EUROCON - International Conference on Computer as a Tool,* pp. 4–5, 2011.
[17] F. Asgarian and A. M. Sodagar, "A low-power noncoherent BPSK demodulator and clock recovery circuit for high-data-rate biomedical applications," *in 2009 Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, pp. 4840–4843, 2009.

# บทที่ 3
# ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป

## 3.1 บทนำ

ในปัจจุบันระบบสื่อสารแบบดิจิตอลมีการใช้งานกันอย่างแพร่หลาย ซึ่งในหัวข้อที่สนใจในโครงงานนี้จะเป็นการกู้คืนสัญญาณดิจิตอลทางเฟส หรือเรียกว่าพีเอสเคดีมอดูเลเตอร์ สำหรับทฤษฎีและเอกสารที่เกี่ยวข้องที่มีการวิจัย และพัฒนาระบบการกู้คืนสัญญาณชนิดนี้ที่กล่าวในบทที่ 2 ทั้งแบบโครงสร้างภาครับแบบโคฮีเรนท์ และโครงสร้างภาครับแบบนอนโคฮีเรนท์ โดยระบบภาครับที่จะนำเสนอในโครงงานนี้จะเป็นภาครับแบบโคฮีเรนท์ ซึ่งก่อนหน้านี้ได้มีการนำเสนอลูปคอสทาส (Costas loop) [4] ซึ่งนำเสนอโดย John P. Costas ในปี ค.ศ. 1956 [11] เป็นระบบที่มีพื้นฐานของวงจรเฟสล็อกลูป (Phase Lock Loop) และมีวงจร voltage-controlled quadrature oscillator ระบบลูปคอสทาสมีความนิยมใช้กันอย่างกว้างขวางในปัจจุบัน เมื่อทำการศึกษาหลักการพื้นฐานของระบบพีเอสเคดีมอดูเลเตอร์ที่มีพื้นฐานของเฟสล็อกลูปจึงทำให้สามารถที่จะคิดค้นโครงสร้างการกู้คืนสัญญาณชนิดนี้ที่มีความซับซ้อนน้อยกว่าระบบลูปคอสทาส ซึ่งระบบที่คิดค้นขึ้นมาใหม่จะไม่มีวงจร voltage-controlled quadrature oscillator และเป็นระบบที่ modular จึงง่าย และสะดวกที่จะทำการเพิ่มจำนวนบิตข้อมูล ดังนั้นโครงงานที่มีการนำเสนอบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเคดีมอดูเลเตอร์

## 3.2 ทฤษฎีเบื้องต้นของระบบคืนสัญญาณพีเอสเคที่ใช้เทคนิคโคฮีเรนท์ดีเทคชั่น [1]

### 3.2.1 บีพีเอสเคมอดูเลชั่น

ในหัวข้อที่ 3.2 จะสนใจเทคนิคของพีเอสเคซึ่งจะเริ่มจากระบบบีพีเอสมอดูเลชั่นเป็นระบบที่มีคู่สัญญาณ $s_1(t)$ และ $s_2(t)$ ซึ่งใช้แทนสัญลักษณ์ของเลขไบนารี 0 และ 1 ตามลำดับซึ่งกำหนดโดย

$$s_1(t) = \sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c t), \qquad 0 \le t \le T_b \tag{3.1}$$

$$s_2(t) = \sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c t + \pi) = -\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c t), \quad 0 \le t \le T_b \tag{3.2}$$

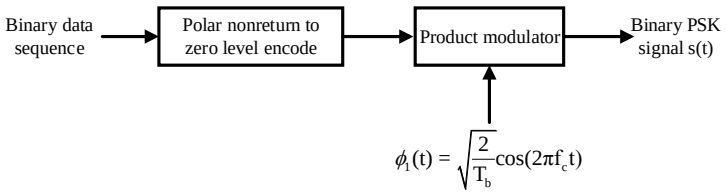
ที่ $T_b$ คือระยะเวลาบิต, $E_b$ เป็นพลังงานการส่งต่อบิต และ $f_c$ เป็นความถี่คลื่นพาห์ โดยคู่สัญญาณนี้จะมีเฟสต่างกัน $180^\circ$ ในสมการที่ (3.1) และ(3.2) เรียกสัญญาณนี้ว่า antipodal signal. ในกรณีของไบนารีพีเอสเคที่เป็น unit energy ของคู่สัญญาณแสดงชัดเจนโดย

$$\phi_1(t) = \sqrt{\frac{2}{T_b}}\cos(2\pi f_c t), \qquad 0 \le t \le T_b \tag{3.3}$$

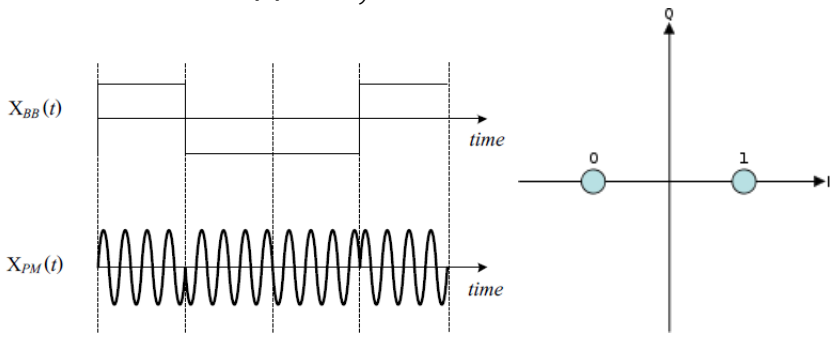
จากสมการที่ (3.3) สามารถเขียนสัญญาณบีพีเอสเคมอดูเลตของภาคส่งให้อยู่ในเทอมของ $\phi_1(t)$ สามารถแสดงสัญญาณบีพีเอสเคมอดูเลตรูปที่ 3.1

$$s_1(t) = \sqrt{E_b}\phi_1(t), \qquad 0 \le t \le T_b \tag{3.4}$$

$$s_2(t) = -\sqrt{E_b}\phi_1(t), \qquad 0 \le t \le T_b \tag{3.5}$$




**(a)** binary PSK transmitter




**(b)** Binary phase-shit keying (BPSK) signal: time domain (left), constellation diagram (right)

**รูปที่ 3.1** ระบบ BPSK modulation

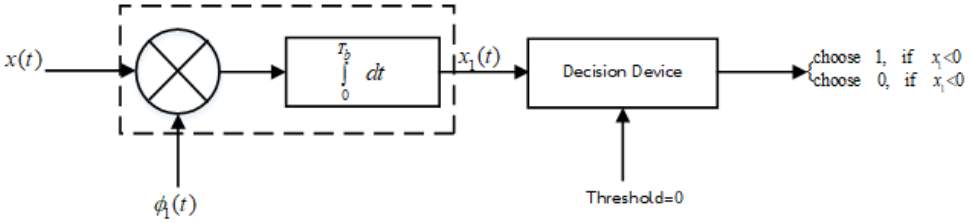
จากรูปที่ 3.1 (a) บล็อกไดอะแกรมทั่วไปของบีพีเอสเคมอดูเลเตอร์ เริ่มจากการมีการแปลงบิตของสัญญาณข้อมูล (Binary data sequence) ที่มีขนาดของแอมปลิจูด $\sqrt{E_b}$ และ $-\sqrt{E_b}$ ให้อยู่ในรูปแบบของสัญญาณดิจิตอลที่มีสัญลักษณ์ 0 และ1 ตามลำดับด้วยวิธีการแบบ Polar NRZ level encoder และนำสัญญาณเอาท์พุทไปคูณกับสัญญาณคลื่นพาห์ $\phi_1(t)$ เอาท์พุทก็คือสัญญาณบีพีเอสเคมอดูเลต

### 3.2.2 บีพีเอสเคดีมอดูเลชั่น

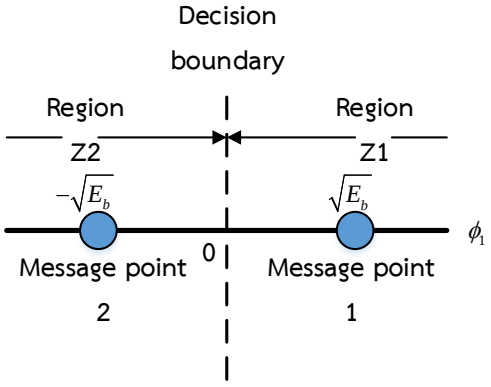
สมมติว่าภาครับสามารถสร้างสัญญาณแบบจำลองพื้นฐานของ $\phi_1(t)$ ซึ่งภาครับจะต้องทำการซิงโครไนซ์กับสัญญาณของภาคส่งแสดงดังรูปที่ 3.2 ที่ประกอบด้วยสองส่วนนั้นคือ Correlator ในส่วนนี้จะทำการสร้างสัญญาณที่มีความสัมพันธ์กับสัญญาณ x(t) ที่มาจากภาคส่งซึ่งเป็นสัญญาณที่มีพื้นฐานของ $\phi_1(t)$ ส่วนที่สอง Decision device ที่เป็นส่วนที่นำสัญญาณเอาท์พุทของส่วน Correlator มาทำการเปรียบเทียบกับ zero-threshold เพื่อจะแยกสัญลักษณ์ 0 หรือ 1 ระบบคืนสัญญาณไบนารีพีเอสเคที่ประกอบด้วยสองจุดสัญลักษณ์ที่สามารถแสดงในรูปแบบของ constellation diagram ซึ่งพิกัดที่เกี่ยวข้องของสองจุดสัญลักษณ์ของสัญญาณไบนารีพีเอสเคแสดงตามลำดับ โดยจุดสัญญาณของ $s_1(t)$ อยู่ที่พิกัด $s_{11}(t)$ และจุดสัญญาณของ $s_2(t)$ อยู่ที่พิกัด $s_{21}(t)$

$$s_{11}(t) = \int_0^{T_b} s_1(t)\phi_1(t) = +\sqrt{E_b} \tag{3.6}$$

$$s_{21}(t) = \int_0^{T_b} s_2(t)\phi_1(t) = -\sqrt{E_b} \tag{3.7}$$



**(a)** coherent binary PSK receiver.




**(b)** constellation diagram for coherent BPSK system.

**รูปที่ 3.2** ระบบ BPSK demodulation

สำหรับกรณีของโอกาสความผิดพลาดที่เกิดขึ้นในระบบไบนารีพีเอสเคมีด้วยกันสองกรณี

1. กรณีแรกสัญญาณของภาคส่งเป็น $s_2(t)$ ที่อยู่ใน region $Z_2$ แต่เนื่องจากมีสัญญาณรบกวนส่งผลให้ภาครับมีการตัดสินเลือกเป็น region $Z_1$ ซึ่งเป็นสัญญาณ $s_1(t)$

2. กรณีสองสัญญาณของภาคส่งเป็น $s_1(t)$ ที่อยู่ใน region $Z_1$ แต่เนื่องจากมีสัญญาณรบกวนส่งผลให้ภาครับมีการตัดสินเลือกเป็น region $Z_2$ ซึ่งเป็นสัญญาณ $s_2(t)$

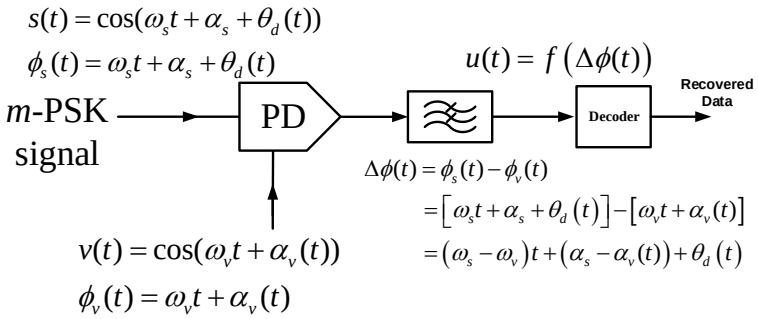
**3.3 บทนำระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูป**

จากหัวข้อที่ 3.2 ภาครับจะต้องมีการสร้างสัญญาณที่เป็นพื้นฐานของ $\phi_1(t)$ เพื่อที่จะทำการซิงโครไนซ์กับสัญญาณพีเอสเคของภาคส่งและนำสัญญาณทั้งสองมาคูณกันและเอาท์พุทที่เกิดจากการคูณของทั้งสองสัญญาณไปอินทิเกรตเพื่อกู้คืนสัญญาณข้อมูลบิต 1 หรือ 0 ให้สัญญาณ m-PSK มอดูเลต $s(t) = \cos(\omega_c t + \phi_d(t) + \phi_i)$ สำหรับตัวอย่างเฟสข้อมูลบีพีเอสเค และคิวพีเอสเค $\phi_d(t) = (0, \pi)$, $\phi_d(t) = (0, \pi/2, 2\pi/2, 3\pi/2)$ สำหรับ BPSK, QPSK ตามลำดับ โดยสามารถที่จะดีมอดูเลตสัญญาณ m-PSK จำเป็นต้องมีสัญญาณ $v(t) = \cos(\omega_v t + \phi_v)$ เพื่อคูณกับ $s(t)$ โดยที่ $\omega_c = \omega_v$ และนำเอาท์พุทของผลคูณ $u(t)$ ไปผ่านวงจรกรองสัญญาณความถี่ต่ำเพื่อขจัดสัญญาณความถี่สูงออกไปดังนั้น

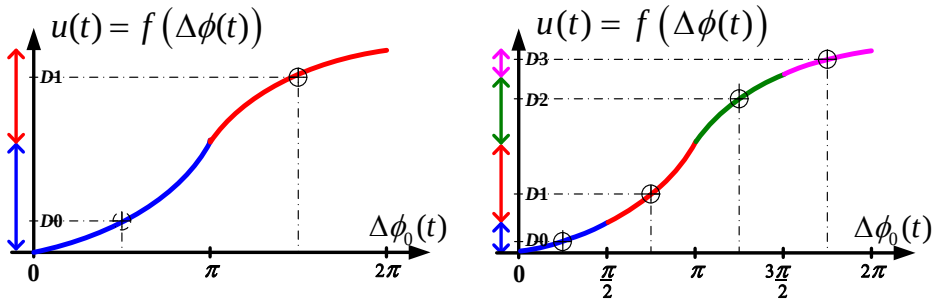
$$\mathrm{LPF}\{s(t) \times v(t)\} = \cos(\Delta\phi(t)) = \cos(\phi_d(t) + \Delta\alpha) \tag{3.8}$$

อย่างไรก็ตามสามารถที่จะใช้วงจรเปรียบเทียบเฟส (PD) เพื่อแทนวงจรคูณซึ่งสิ่งสำคัญสัญญาณ $v(t)$ จะต้องไม่มีการเปลี่ยนแปลงทั้งความถี่ และเฟส $(\omega_c = \omega_v)$ สำหรับคาบสัญญาณข้อมูลที่แตกต่างกัน แสดงรูปที่ 3.3

$$\mathrm{LPF}\{s(t), v(t)\} = f(\Delta f(t)) = f(\phi_d(t) + \alpha) \tag{3.9}$$



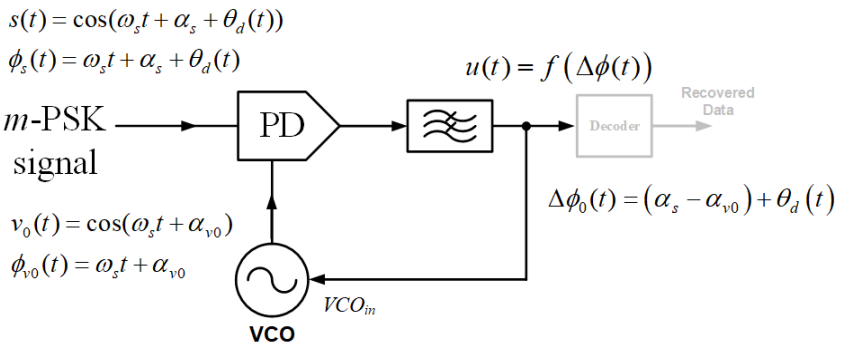

**(a)** Phase detector employed for *m*-PSK demodulation if $\omega_v$ can track with $\omega_s$ and $\phi_v$ fixed




**(b)** Outputs for BPSK (left) and QPSK (right) demodulation relying on a phase detector's characteristic

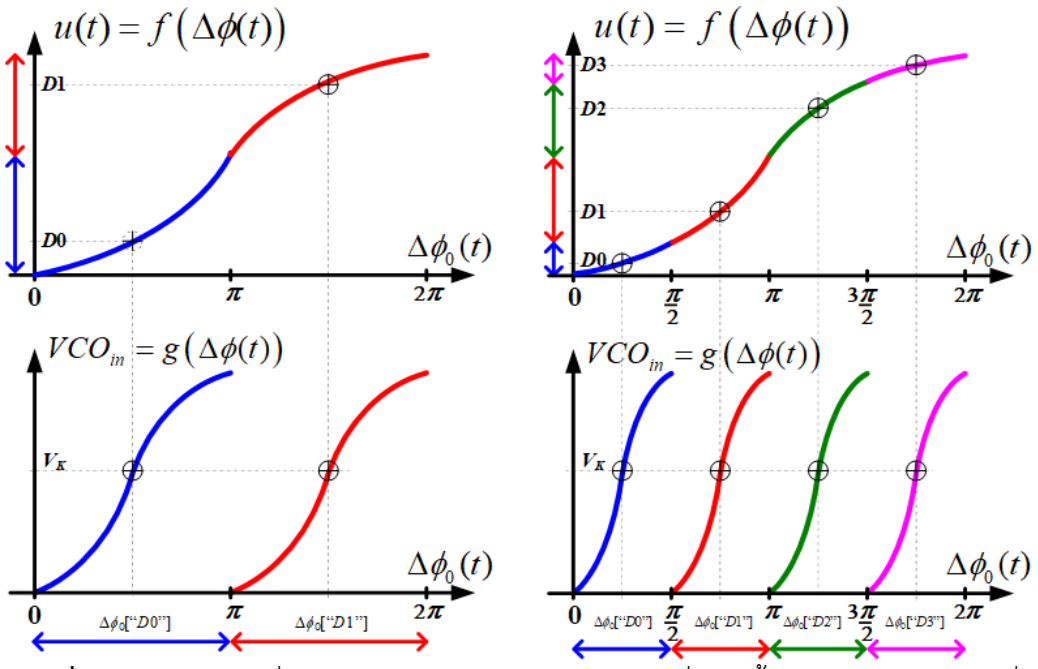
**รูปที่ 3.3** แนวคิดของ m-PSK ดีมอดูเลชั่น

สำหรับรูปที่ 3.3(a) เป็นพื้นฐานสำหรับการดีมอดูเลชั่น m-PSK เป็นสัญญาณภาคส่ง $s(t)$ ที่ทำการเปรียบเทียบเฟสกับสัญญาณซิงโครไนซ์ $v(t)$ ที่ภาครับสร้างขึ้นและสัญญาณนี้จะมีเฟสคงที่ไม่เปลี่ยนแปลงตามสัญญาณข้อมูลที่แตกต่างกันการซิงโครไนซ์ของภาครับจะทำจากพื้นฐานของวงจรเฟสล็อกลูป (Phase-Lock Loop, PLL)สามารถที่จะสร้างสัญญาณจากวงจร voltage-controlled oscillator (VCO) ที่ซิงโครไนซ์กับสัญญาณอินพุท โดยที่วงจร PLL จะประกอบด้วย วงจรเฟสดีเทคเตอร์ (Phase detector, PD), วงจร voltage-controlled oscillator (VCO) และวงจรกรองสัญญาณความถี่ต่ำ ส่วนรูปที่ 3.3(b) จะเป็นระดับแรงดันที่แตกต่างกันของสัญญาณบิต 0 และ 1, และสำหรับ 00, 01, 10, 11 สำหรับ BPSK, QPSK ตามลำดับ แสดงโครงสร้างของวงจรเฟสล็อกลูปดังรูปที่ 3.4



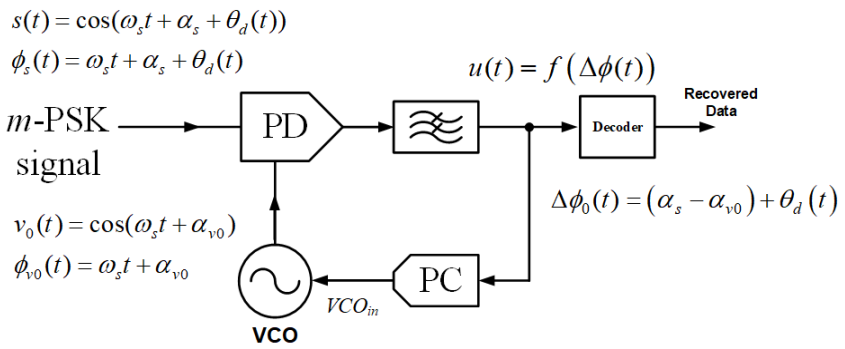

**รูปที่ 3.4** วงจรเฟสล็อกลูป

ถึงแม้ว่าวงจรเฟสล็อกลูปสามารถที่จะสร้างสัญญาณที่ซิงโครไนซ์กับสัญญาณ m-PSK จากวงจร VCO แต่ไม่สามารถที่จะคงค่าเฟสคงที่ได้สำหรับสัญญาณข้อมูลที่แตกต่างกัน และเมื่อพิจารณาจากแรงดันที่แตกต่างกันของสัญญาณดีมอดูเลต $u(t) = f\left(\Delta\phi(t)\right)$ ตามรูปที่ 3.3(b) ซึ่งเป็นสัญญาณเดียวกันกับสัญญาณอินพุทของ VCO ที่เป็นวงจรที่มีฟังก์ชันหนึ่งต่อหนึ่งหรือจะกล่าวว่าวงจร VCO สร้างสัญญาณหนึ่งความถี่จากหนึ่งแรงดันดังนั้นจะต้องทำการแก้ไขปัญหาให้สัญญาณอินพุทของ VCO ไม่มีการเปลี่ยนสำหรับสัญญาณข้อมูลที่แตกต่างกัน และสัญญาณ $u(t) = f\left(\Delta\phi(t)\right)$ มีระดับแรงดังที่แตกต่างกันสำหรับสัญญาณข้อมูลที่แตกต่างกันเหมือนรูปที่ 3.3(b) ดังนั้นจึงต้องย้อนกลับไปที่พื้นฐานของกราฟคุณลักษณะของตัวเปรียบเทียบเฟส (PD) และกราฟคุณลักษณะของวงจร VCO ซึ่งกราฟคุณลักษณะที่ต้องการสำหรับระบบคืนสัญญาณบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเคที่ใช้เทคนิคโคฮีเรนท์ก็คือกราฟคุณลักษณะของตัวเปรียบเทียบเฟสจะต้องมีระดับแรงดันเฉลี่ยที่ต่างกันสำหรับสัญญาณข้อมูลที่แตกต่างกัน และกราฟคุณลักษณะของวงจร VCO จะต้องไม่เปลี่ยนแปลงสำหรับสัญญาณข้อมูลที่แตกต่างกันสามารถแสดงคุณลักษณะของกราฟทั้งสองรูปที่ 3.5




**รูปที่ 3.5** คุณลักษณะที่ต้องการของระบบ m-PSK ดีมอดูเลชั่นบนพื้นฐานของเฟสล็อกลูปที่ซิงโครไนซ์สัญญาณ m-PSK มอดูเลต

จากวงจรเฟสล็อกลูปรูปที่ 3.4 สามารถที่จะทำการพัฒนาเป็นระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดี่ยว ลูปเดียวด้วยการสร้างวงจรที่มีคุณลักษณะตามกราฟรูปที่ 3.5 มาเชื่อมต่อระหว่างวงจรกรองสัญญาณกรองความถี่ต่ำ กับวงจร VCO สามารถแสดงรูปที่ 3.6 โดยวงจรที่มีกราฟคุณลักษณะเหมือนรูปที่ 3.5 จะเรียกว่าวงจร Phase Controller (PC)




**รูปที่ 3.6** แนวคิดของวงจร m-PSK ดีมอดูเลเตอร์แบบลูปเดียว เฟสเดียวที่เฟสของ VCO ไม่เปลี่ยนแปลงสำหรับสัญญาณข้อมูลที่แตกต่างกัน

จากรูปที่ 3.6 วงจร Phase Controller จะออกแบบมีโครงสร้างอย่างไรขึ้นอยู่กับคุณลักษณะของวงจร PD ตามหลักการที่นำเสนอในรูปที่ 3.5 ซึ่งจะนำเสนอวงจร m-PSK ดีมอดูเลเตอร์แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูป

**3.4 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสชนิดต่างๆ**

**3.4.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Multiplier**

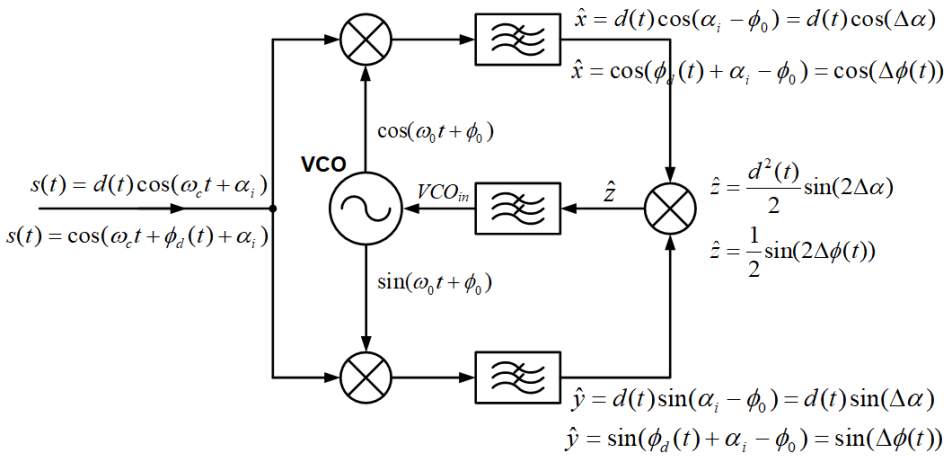
แนวคิดเริ่มต้นเกิดจากการพิจารณาวงจรลูปคอสทาสรูปที่ 3.7 ซึ่งผลคูณระหว่างจุด $\hat{x}$ และ $\hat{y}$ เกิดเป็นฟังก์ชั่นไซน์ $\left(\hat{x} \times \hat{y} = \left(\frac{A_1 A_2}{2}\right)^2 \sin(2\phi)\right)$ ซึ่งจากการสังเกตพบว่าหากนำสัญญาณที่จุด $\hat{x}$ $\left(\hat{x} = \frac{d(t)A_1A_2}{2}\sin(\phi)\right)$ ในรูปที่ 3.8 มาคูณด้วยตัวมันเองจะได้

$$\hat{x}^2 = \left(\frac{A_1A_2}{2}\right)\frac{1 - \cos(2\phi)}{2} \tag{3.10}$$

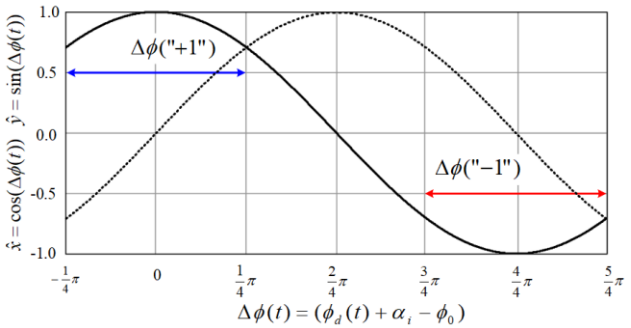
และถ้านำจุด $\hat{y}$ $\left(\hat{y} = \frac{d(t)A_1A_2}{2}\cos(\phi)\right)$ มาคูณด้วยตัวมันเองจะได้

$$\hat{y}^2 = \left(\frac{A_1A_2}{2}\right)\frac{1 + \cos(2\phi)}{2} \tag{3.11}$$

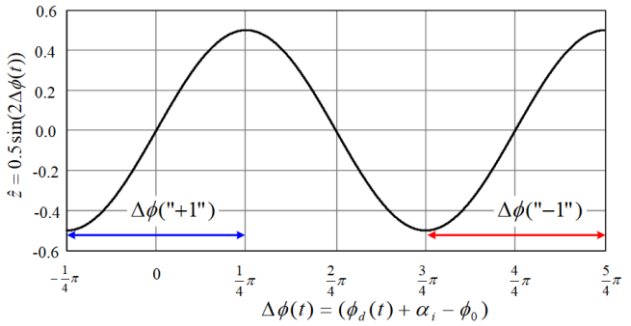
จากสมการที่ (3.10) และสมการที่ (3.11) จะพบว่าฟังก์ชันที่เกิดขึ้นไม่เกี่ยวข้องกับสัญญาณข้อมูล ดังนั้นวิธีการนี้จึงเป็นการสร้างวงจร PC ขึ้นมาสำหรับตัวเปรียบเทียบเฟสแบบ multiplier ซึ่งเป็นไปตามกราฟคุณลักษณะตามต้องการดังรูปที่ 3.5




(a) โครงสร้างวงจรลูปคอสทาสสำหรับ BPSK

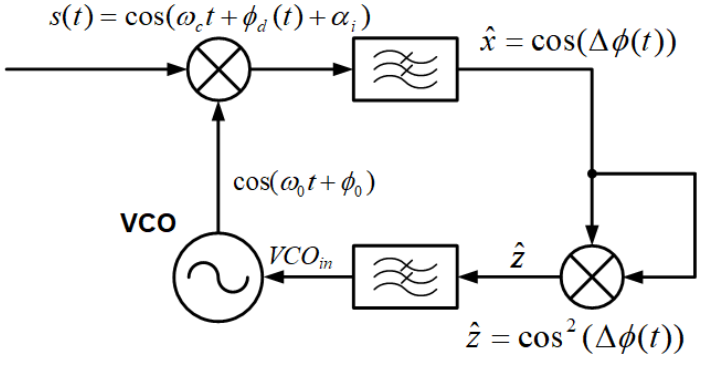



(b) สัญญาณที่จุด $\hat{x}$ และ $\hat{y}$ ซึ่งเป็นสัญญาณดีมอดูเลต BPSK

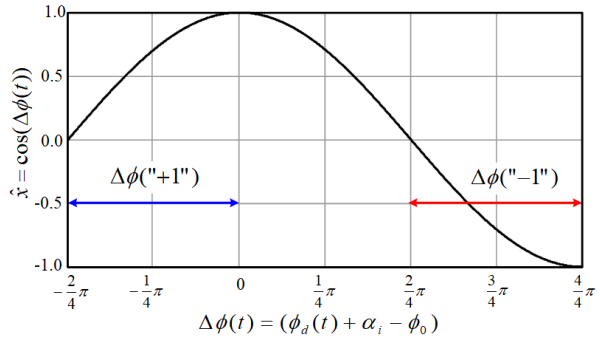



(c) สัญญาณของผลคูณระหว่างจุด $\hat{x}$ และ $\hat{y}$ ที่เป็นอินพุทของ VCO

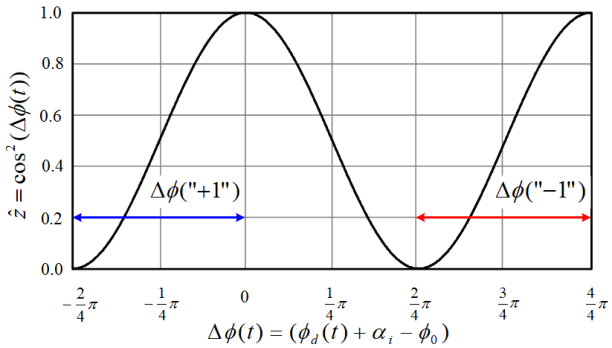
**รูปที่ 3.7** แนวคิดของลูปคอสทาสสำหรับ BPSK [3]




(a) โครงสร้างดีมอดูเลเตอร์ BPSK แบบ Self Multiplication or Absolute value



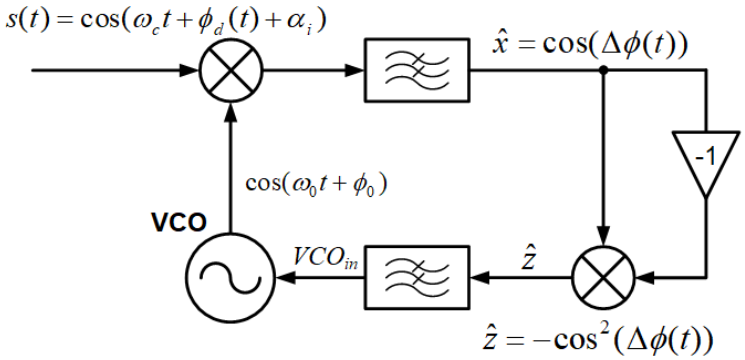

**(b)** สัญญาณที่จุด $\hat{x}$ ซึ่งเป็นสัญญาณดีมอดูเลต BPSK



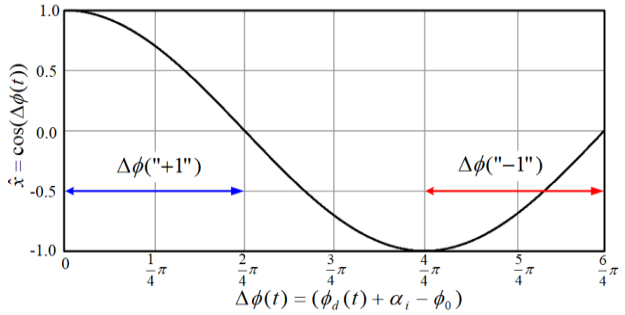

**(c)** สัญญาณที่จุด $\hat{z}$ ที่เป็นอินพุทของ VCO

**รูปที่ 3.8** แนวคิดของดีมอดูเลชั่น BPSK แบบ Self Multiplication or Absolute value

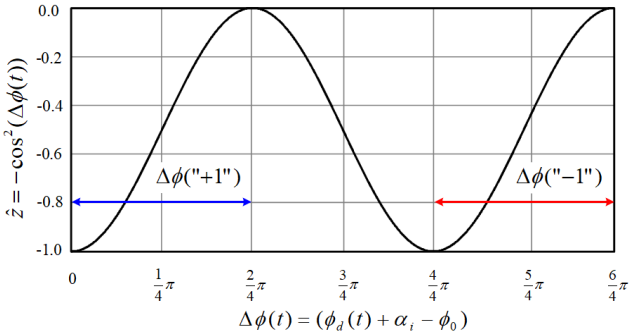
จากรูปที่ 3.8 (c) ช่องการล็อกของสัญญาณความถี่จะอยู่ในช่วงที่ผลต่างเฟสของสัญญาณมอดูเลต BPSK และสัญญาณซิงโครไนซ์จาก VCO อยู่ในช่วง $\pi/2$ ถึง $\pi$ และเมื่อทำการพิจารณาสัญญาณรูปที่ 3.8 (b) พบว่าสามารถที่จะนำสัญญาณ $\hat{x}$ ไปอินเวร์ทด้วยวงจรที่มีอัตราขยาย -1 ก่อนที่จะนำมาคูณกับสัญญาณ $\hat{x}$ แสดงดังรูปที่ 3.9




**(a)** โครงสร้างดีมอดูเลเตอร์ BPSK แบบ Inverted Multiplication




**(b)** สัญญาณที่จุด $\hat{x}$ ซึ่งเป็นสัญญาณดีมอดูเลต BPSK




**(c)** สัญญาณที่จุด $\hat{y}$ ที่เป็นอินพุทของ VCO

**รูปที่ 3.9** แนวคิดของดีมอดูเลชั่น BPSK แบบ Inverted Multiplication

จากรูปที่ 3.9 (c) ช่องการล็อกของสัญญาณความถี่จะอยู่ในช่วงที่ผลต่างเฟสของสัญญาณมอดูเลต BPSK และสัญญาณซิงโครไนซ์จาก VCO อยู่ในช่วง 0 ถึง $\pi/2$

### 3.4.2 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR)

สำหรับระบบคืนสัญญาณ บีพีเอส, คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูปที่มีตัวเปรียบเทียบเฟสแบบ XOR นั้น จะต้องสร้างวงจร PC ที่ให้คุณลักษณะตามรูปที่ 3.5 สิ่งแรกที่พิจ ารณาก็คือคุณลักษณะของวงจร XOR ซึ่งมีลักษณะของผลต่างเฟสระหว่าง 0 ถึง $\pi$ เรเดียน และมีแรงดันเฉลี่ยของเอาท์พุทอยู่ในช่วง 0 ถึง $V_{DD}$ โวลต์ ซึ่งคุณลักษณะของ XOR จะมีความชันดังนี้

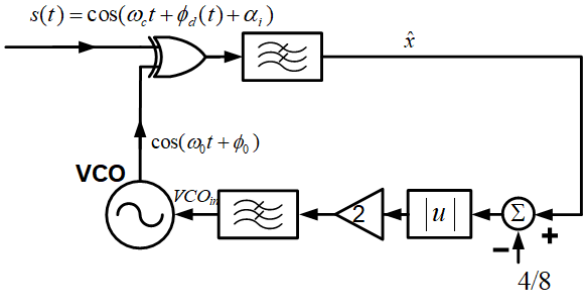
$$K_{PD} = \frac{V_{DD}}{\pi} \tag{3.12}$$

และเมื่อพิจารณาคุณลักษณะของ XOR ช่วงผลต่างเฟสระหว่าง $\pi$ ถึง $2\pi$ เรเดียนพบว่าแรงดันเฉลี่ยของเอาท์พุทอยู่ในช่วง 0 ถึง $V_{DD}$ โวลต์ และมีความชันเป็น $K_{PD} = -V_{DD}/\pi$

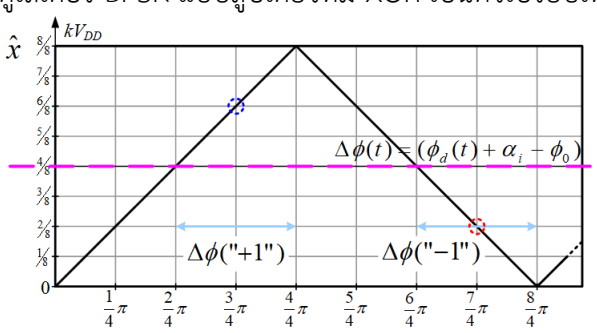
#### 3.4.2.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดี่ยว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR)

สมมติให้ symbol 1 ของสัญญาณมอดูเลต BPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่า $\Delta\phi(t) = 3\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 1 มีค่า $6V_{DD}/8$ และ symbol 0 มีผลต่างเฟส $\Delta\phi(t) = 7\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 0 มีค่า $2V_{DD}/8$ ซึ่ง

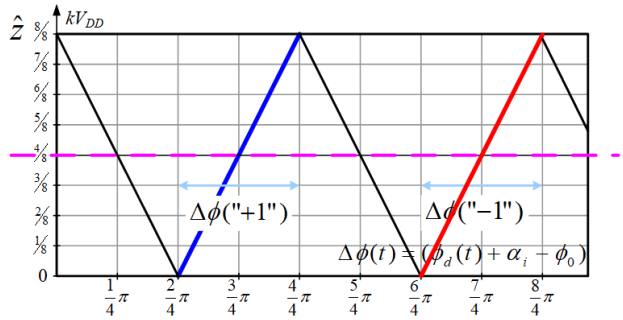
สัญญาณ symbol 1 และ symbol 0 มีผลต่างเฟสมีค่า $\Delta\phi(t) = 4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทมีค่า $4V_{DD}/8$ พิจารณาพบว่าถ้านำสัญญาณ symbol 1 และ symbol 0 ลบด้วยค่าแรงดันดีซีมีค่า $4V_{DD}/8$ ซึ่งเอาท์พุทที่เกิดของ symbol 1 มีค่า $2V_{DD}/8$ และเอาท์พุทของ symbol 0 มีค่า $-2V_{DD}/8$ จากกราฟคุณลักษณะรูปที่ 3.5 ส่งผลให้มีวงจรที่ทำให้ค่าเอาท์พุทของ symbol 1 และ symbol 0 ที่ลบด้วย $4V_{DD}/8$ มีค่าเท่ากันดังนั้นต้องนำค่าเอาท์พุททั้งสองเข้าวงจรค่าสัมบูรณ์ซึ่งผลลัพธ์ที่เกิดขึ้นจะมีแรงดันอยู่ในช่วง 0 ถึง $4V_{DD}/8$ แต่กราฟคุณลักษณะของ VCO จะต้องมีค่าแรงดันอินพุทอยู่ในช่วง 0 ถึง $8V_{DD}/8$ ดังนั้นจึงมีวงจรขยายสัญญาณที่มีอัตราขยายมีค่าสองเท่าสามารถแสดงหลักการดังกล่าวรูปที่ 3.10




(a) โครงสร้างดีมอดูเลเตอร์ BPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส




(b) กราฟคุณลักษณะของ XOR

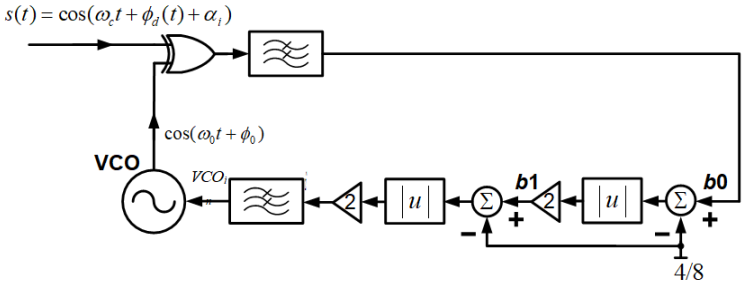



(c) กราฟคุณลักษณะของวงจร PC ที่มี XOR เป็นตัวเปรียบเทียบเฟส

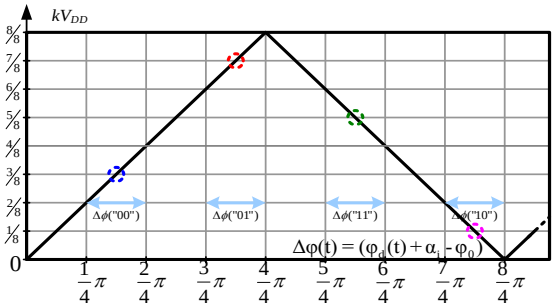
**รูปที่ 3.10** แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส

**3.4.2.2 ระบบคืนสัญญาณ คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Exclusive-OR (XOR)**

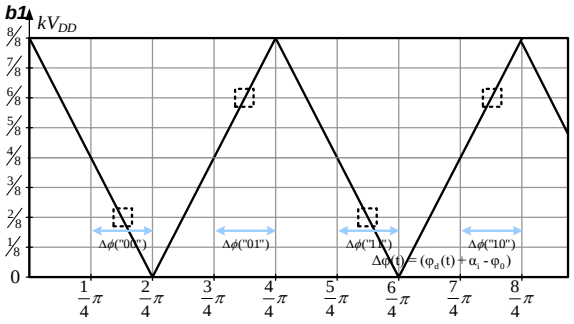
สำหรับดีมอดูเลเตอร์ QPSK สมมติ symbol 00 ของสัญญาณมอดูเลต QPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่าอยู่ในช่วง $\Delta\phi(t) = 1\pi/4$ to $2\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง $2V_{DD}/8$ to $4V_{DD}/8$ , symbol 01 มีค่าอยู่ในช่วง $\Delta\phi(t) = 3\pi/4$ to $4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $6V_{DD}/8$ to $8V_{DD}/8$, symbol 11 มีค่าอยู่ในช่วง $\Delta\phi(t) = 5\pi/4$ to $6\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง $6V_{DD}/8$ to $4V_{DD}/8$ และ symbol 10 มีค่าอยู่ในช่วง $\Delta\phi(t) = 7\pi/4$ to $8\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $2V_{DD}/8$ to 0 และเมื่อสัญญาณ symbol 00, 01, 11, และ10 ผ่านวงจร PC เหมือนรูปที่ 3.10(a) ดังนั้นระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง $4V_{DD}/8$ to 0, ระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$, ระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง $4V_{DD}/8$ to 0 และระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$ แสดงในรูปที่ 3.11(c) และทำซ้ำด้วยวงจร PC แบบเดิมอีกครั้งส่งผลให้ระบบแรงดันของ symbol 00, 01, 11 และ10 มีแรงดันเอาท์พุทมีค่าอยู่ในช่วง 0 to $8\pi/8$ แสดงในรูปที่ 3.11(d)



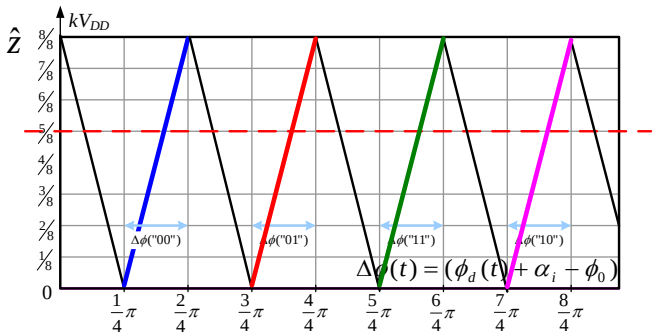

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส




**(b)** กราฟคุณลักษณะของ XOR




(c) กราฟคุณลักษณะของวงจร PC ชุดแรกที่มี XOR เป็นตัวเปรียบเทียบเฟส



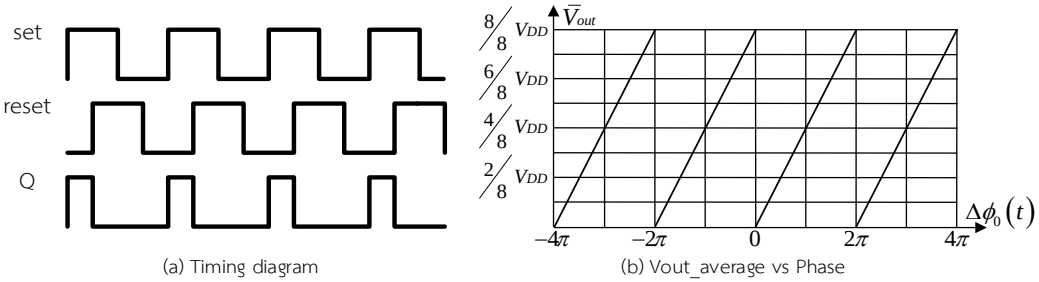

(d) กราฟคุณลักษณะของวงจร PC ชุดสองที่มี XOR เป็นตัวเปรียบเทียบเฟส

**รูปที่ 3.11** แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี XOR เป็นตัวเปรียบเทียบเฟส

**3.4.3 ระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF**

เริ่มจากพิจารณาคุณลักษณะอุดมคติของความสัมพันธ์ระหว่างผลต่างเฟสของสัญญาณอินพุทแกนนอน $\Delta\phi(t)$ ซึ่งมีค่าตั้งแต่ 0 ถึง $2\pi$ เรเดียน กับแรงดันเฉลี่ยเอาท์พุทแกนตั้ง $kV_{DD}$ โดยที่ k มีค่าระหว่าง 0 ถึง 1ของ Positive-Edge Triggered RSFF โดยคุณลักษณะเหล่านี้จะต้องทำซ้ำทุกๆ $2\pi$ เรเดียน และสามารถแสดงคุณสมบัติเหล่านี้ด้วย timing diagram แสดงดังรูปที่ 3.12 ซึ่งคุณลักษณะของ RSFF จะมีความชันดังนี้

$$K_{PD} = \frac{V_{DD}}{2\pi} \tag{3.13}$$

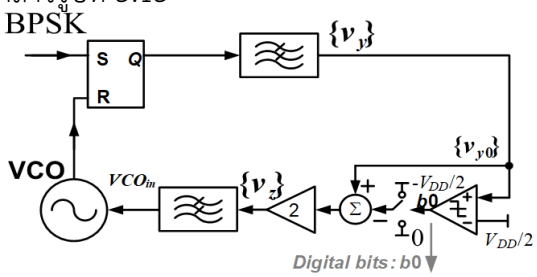



(a) Timing diagram (b) Vout_average vs Phase

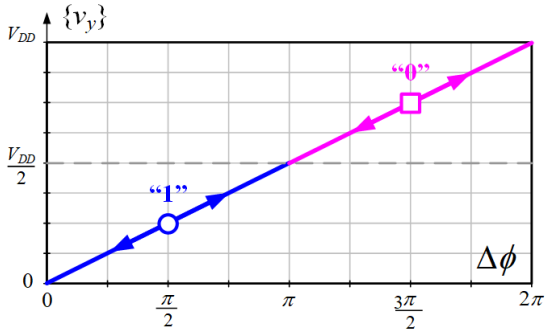
**รูปที่ 3.12** RS flip flop (rising-edge triggered)

**3.4.3.1 ระบบคืนสัญญาณ บีพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF**

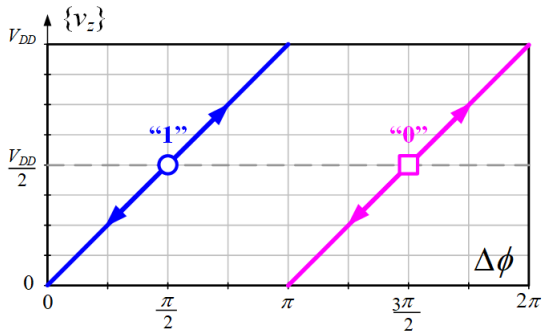
สมมติให้ symbol 0 ของสัญญาณมอดูเลต BPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่า $\Delta\phi(t) = 2\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 0 มีค่า $2V_{DD}/8$ และ symbol 1 มีผลต่างเฟส $\Delta\phi(t) = 6\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 1 มีค่า $6V_{DD}/8$ ซึ่งสัญญาณ symbol 0 และ symbol 1 มีผลต่างเฟสมีค่า $\Delta\phi(t) = 4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทมีค่า $4V_{DD}/8$ สำหรับวงจร PC จะประกอบด้วยวงจร comparator ที่มีแรงดันอ้างอิงมีค่า $4V_{DD}/8$ โดยเอาท์พุทของวงจร comparator จะทำการควบคุมสวิตซ์ที่มีแรงดันดีซี 0 และ $4V_{DD}/8$ ซึ่งแรงดันดีซีนี้จะทำการลบกับสัญญาณดีมอดูเลต BPSK ดังนั้น symbol 0 จะมีเอาท์พุทของ comparator เป็นแรงดันระดับต่ำซึ่งจะไปควบคุมสวิตซ์ที่เอาท์พุทมีค่าเป็น 0 เพื่อไปลบกับ $2V_{DD}/8$ ส่งผลให้เอาท์พุทของวงจร PC สำหรับ symbol 0 มีค่า $2V_{DD}/8$ และในทางกลับกัน symbol 1 จะมีเอาท์พุทของ comparator เป็นแรงดันระดับสูงซึ่งจะไปควบคุมสวิตซ์ที่เอาท์พุทมีค่าเป็น $4\pi/8$ เพื่อไปลบกับ $6V_{DD}/8$ ส่งผลให้เอาท์พุทของวงจร PC สำหรับ symbol 1 มีค่า $2V_{DD}/8$ แต่กราฟคุณลักษณะของ VCO จะต้องมีค่าแรงดันอินพุทอยู่ในช่วง 0 ถึง $8V_{DD}/8$ ดังนั้นจึงมีวงจรขยายสัญญาณที่มีอัตราขยายมีค่าสองเท่า สามารถแสดงหลักการดังกล่าวรูปที่ 3.13




**(a)** โครงสร้างดีมอดูเลเตอร์ BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




**(b)** กราฟคุณลักษณะของ RSFF

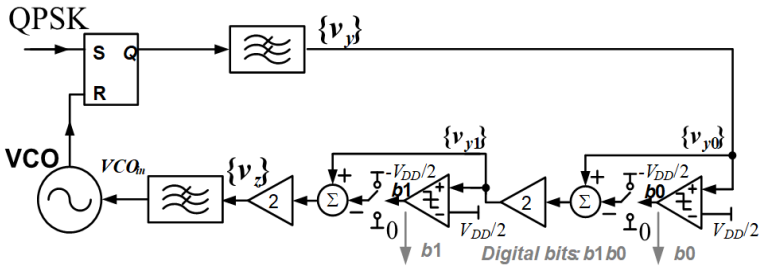



**(c)** กราฟคุณลักษณะของวงจร PC ที่มี RSFF เป็นตัวเปรียบเทียบเฟส

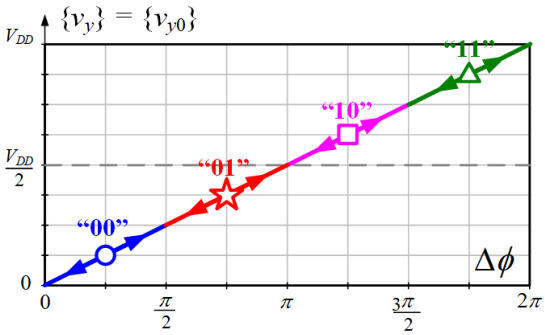
รูปที่ 3.13 แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling

**3.4.3.2 ระบบคืนสัญญาณ คิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF**

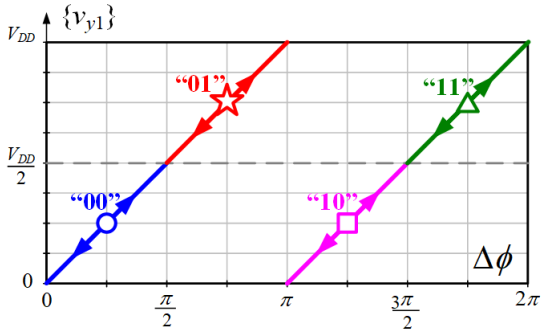
สำหรับดีมอดูเลเตอร์ QPSK สมมติ symbol 00 ของสัญญาณมอดูเลต QPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่าอยู่ในช่วง $\Delta\phi(t) = 0$ to $2\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง 0 to $2V_{DD}/8$ , symbol 01 มีค่าอยู่ในช่วง $\Delta\phi(t) = 2\pi/4$ to $4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $2V_{DD}/8$ to $4V_{DD}/8$, symbol 11 มีค่าอยู่ในช่วง $\Delta\phi(t) = 4\pi/4$ to $6\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $6V_{DD}/8$ และ symbol 10 มีค่าอยู่ในช่วง $\Delta\phi(t) = 6\pi/4$ to $8\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $6V_{DD}/8$ to $8V_{DD}/8$ และเมื่อสัญญาณ symbol 00, 01, 11, และ10 ผ่านวงจร PC เหมือนรูปที่ 3.13(a) ดังนั้นระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง 0 to $4V_{DD}/8$, ระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$, ระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง 0 to $4V_{DD}/8$ และระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$ แสดงในรูปที่ 3.13(c) และทำซ้ำด้วยวงจร PC แบบเดิมอีกครั้งส่งผลให้ระบบแรงดันของ symbol 00, 01, 11 และ10 มีแรงดันเอาท์พุทมีค่าอยู่ในช่วง 0 to $8\pi/8$ แสดงในรูปที่ 3.13(d)



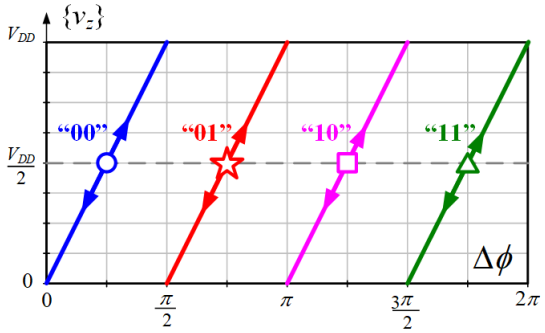

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(b) กราฟคุณลักษณะของ RSFF




(c) กราฟคุณลักษณะของวงจร PC ชุดแรกที่มี RSFF เป็นตัวเปรียบเทียบเฟส

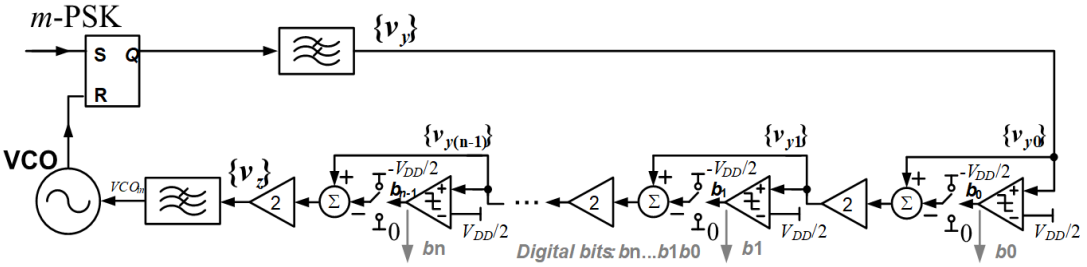



(d) กราฟคุณลักษณะของวงจร PC ชุดสองที่มี RSFF เป็นตัวเปรียบเทียบเฟส

รูปที่ 3.14 แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม 2 วงจร

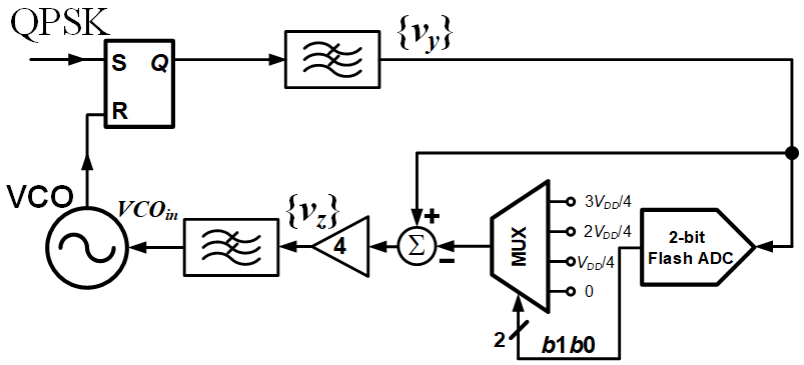
**3.4.3.3 ระบบคืนสัญญาณ เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปด้วยวงจรเปรียบเทียบเฟสแบบ Positive-Edge Triggered RSFF**

สำหรับรูปแบบทั่วไปสำหรับวงจรดีมอดูเลเตอร์ที่มี RSFF เป็นตัวเปรียบเทียบเฟสที่จำนวนบิตของข้อมูลเป็นจำนวน m บิต สามารถที่จะแสดงในรูปทั่วไปของโครงสร้างนี้ดังรูปที่ 3.15

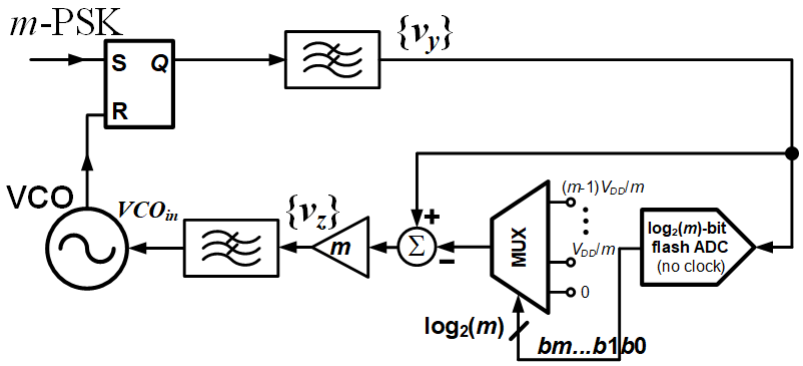



**รูปที่ 3.15** แนวคิดของดีมอดูเลชั่น m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม m วงจร

สำหรับโครงสร้างดีมอดูรูปที่ 3.15 เป็นรูปแบบทั่วไปสำหรับการดีมอดูเลต m-PSK ซึ่งเป็นการต่อแบบคาสเคด ซึ่งมีอีกทางเลือกสำหรับการดีมอดูเลตด้วยการใช้วงจร flash ADC มาใช้เป็นส่วนของวงจร PC แทนแบบเดิมเพื่อลดปัญหาของ loading ที่เกิดขึ้นจากการต่อแบบคาสเคดจะแสดงวงจรดีมอดูเลเตอร์ QPSK ที่ใช้วงจร PC แบบ 2-bit ADC และ multiplexer ดังรูปที่ 3.16




(a) โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมีวงจร 2-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC




(b) โครงสร้างดีมอดูเลเตอร์ m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมีวงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC

**รูปที่ 3.16** แนวคิดของดีมอดูเลชั่น QPSK and m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส วงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC

**3.5 สรุป**

จากหลักการของโคฮีเรนท์ดีมอดูเลชั่นภาครับจะต้องสร้างสัญญาณ $\phi_1$ เพื่อทำการซิงโครไนซ์กับสัญญาณของภาคส่ง ซึ่งระบบเฟสล็อกลูปสามารถที่จะสร้างสัญญาณซิงโครไนซ์ของภาครับกับสัญญาณภาคส่งได้โดยระบบคืนสัญญาณบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเค แบบลูปเดียว เฟสเดียวบนพื้นฐานของเฟสล็อกลูปนั้นคุณลักษณะของวงจร PC ที่กั้นระหว่างวงจรกรองความถี่ต่ำผ่าน และวงจร VCO จะต้องมีคุณลักษณะดังรูปที่ 3.5 ส่วนวงจร PC จะมีโครงสร้างอย่างไรก็ขึ้นอยู่กับคุณลักษณะของตัวเปรียบเทียบเฟสที่นำมาใช้งานนั้นเอง บทต่อไปจะเป็นการวิเคราะห์ และจำลองระบบดีมอดูเลตที่ได้นำเสนอในบทนี้

**3.6 เอกสารอ้างอิง**

[1] S. Haykin, *Digital Communication Systems*, Wiley, 2013.

[2] J. G. Proakis and M. Salehi, *Digital Communications*, 5th ed., McGraw-Hill Education, 2007.

[3] https://en.wikipedia.org/wiki/Costas_loop

# บทที่ 4
# การออกแบบระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค เอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป

## 4.1 บทนำ

จากบทที่ 3 ได้กล่าวถึงหลักการของระบบคืนสัญญาณ บีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ซึ่งบทนี้จะกล่าวถึงการออกแบบระบบด้วยหลักการพื้นฐานทางอิเล็กทรอนิกส์ เนื่องจากระบบวงจรนี้เป็นพื้นฐานบนหลักการเฟสล็อกลูปซึ่งเป็นระบบการป้อนกลับแบบลบ (Negative Feedback) ดังนั้นการออกแบบจะต้องคำนึงถึงเสถียรภาพของระบบป้อนกลับแบบลบ ซึ่งจะพิจารณาว่าตำแหน่งโพลของฟังก์ชันถ่ายโอนในระบบปิด (closed-loop system) อยู่ทางด้านซ้ายหรือไม่ ถ้าอยู่ทางด้านซ้ายหมดก็หมายความว่าระบบมีเสถียรภาพนั่นเอง ในทฤษฎีของระบบควบคุม (control theory) ที่ศึกษาคุณสมบัติของฟังก์ชันถ่ายโอนของระบบเปิด (open-loop transfer function) หรือผลตอบสนองความถี่ของระบบเปิด เพื่อทำนายเสถียรภาพของระบบปิดโดยใช้หลักการต่างๆเช่น เกณฑ์เสถียรภาพของไนควิส (Nyquist's stability criterion), ทางเดินของราก (root locus) ซึ่งเป็นหลักการพื้นฐานที่นำไปสู่การพิจารณา phase margin, gain margin โดยบทนี้จะนำเสนอขั้นตอนการออกแบบของระบบที่อยู่บนหลักการพื้นฐานของระบบป้อนกลับ

## 4.2 แบบจำลองเชิงเส้นของระบบคืนสัญญาณ บีพีเอสเค คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป

เริ่มจากการพิจารณาแบบจำลองเชิงเส้นสำหรับระบบคืนสัญญาณบีพีเอสเคแบบเฟสเดียว บนหลักการเฟสล็อกลูปในสถานะล็อกของลูป ซึ่งบล็อกไดอะแกรมของระบบจะแสดงดังรูปที่ 4.1(a) สัญญาณอินพุทถูกกำหนดโดย

$$s(t) = A\cos(\omega_c t + \phi_i(t)) \tag{4.1}$$

เมื่อ A คือขนาดแอมพลิจูดของสัญญาณบีพีเอสเคมอดูเลต, $\omega_c$ คือความถี่เชิงมุมของสัญญาณบีพีเอสเคมอดูเลต, $\phi_i(t)$ คือเฟสข้อมูล สำหรับบีพีเอสเคมอดูเลตมีค่า i={0,1} และ $\theta_i(t) = \{0, \pi\}$ ซึ่งสามารถดีมอดูเลตสัญญาณบีพีเอสเคจำเป็นต้องมีสัญญาณ $v(t) = \cos(\omega_v t + \phi_v)$ โดยที่ $\omega_c = \omega_v$ และสัญญาณเอาท์พุทของวงจรเปรียบเทียบเฟส (phase detector) ถูกกำหนดโดย

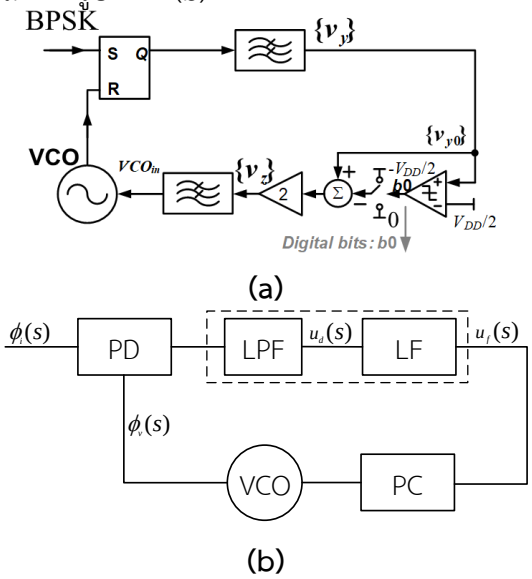
$$u_d(t) = \{PD[s(t), v(t)]\} = f(\Delta\theta_e(t)) \text{ , with } \Delta\theta_e(t) = \phi_i(t) - \phi_v \tag{4.2}$$

ในสถานะล็อกค่าผิดพลาดเฟสของตัวเปรียบเทียบเฟส $\Delta\phi_e(t)$ มีค่าน้อยมากดังนั้นสามารถเขียน $u_d(t)$ ดังแสดงที่ (4.3)

$$u_d(t) \approx f\left(\Delta\theta_e(t)\right) = K_d\theta_e \tag{4.3}$$

โดย $K_d$ เรียกว่าอัตราขยายของตัวเปรียบเทียบเฟส และสัญญาณ $u_d(t)$ ประกอบด้วยสัญญาณข้อมูลและสัญญาณคลื่นพาห์ โดยส่วนใหญ่สัญญาณข้อมูลจะมีความถี่ต่ำกว่าสัญญาณคลื่นพาห์ ดังนั้นจะส่งผ่านสัญญาณ $u_d(t)$ ไปยังวงจรกรองความถี่ต่ำผ่าน (Lowpass filter, LPF) เพื่อกู้คืนสัญญาณ

ข้อมูลกลับคืนมา ซึ่งแบบจำลองเชิงเส้นจะทำการละเลยวงจร Phase Controller (PC) ที่เป็นส่วนที่มีความไม่เป็นเชิงเส้นอย่างมากจะคิดเฉพาะส่วนของอัตรขยาย $K_{PC}$ และสัญญาณเอาท์พุทของวงจร PC จะเป็นอินพุทของวงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (VCO) เพื่อสร้างสัญญาณความถี่ VCO ที่ใช้เปรียบเทียบกับสัญญาณบีพีเอสเคมอดูเลต สำหรับแบบจำลองเชิงเส้นของระบบบีพีเอสเคจะมีส่วนประกอบด้วยกันสี่บล็อกได้แก่ วงจรเปรียบเทียบเฟส, วงจรกรองสัญญาณความถี่ต่ำ, วงจรขยายของ PC และวงจร VCO แสดงดังรูปที่ 4.1(b)

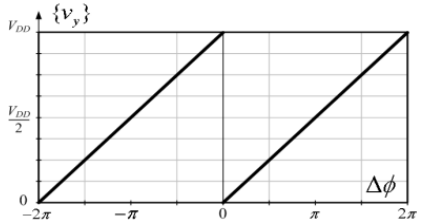



**รูปที่ 4.1 (a)** วงจรคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป **(b)** แบบจำลองเชิงเส้น

สำหรับแบบจำลองเชิงเส้นรูปที่ 4.1(b) สามารถที่จะนำไปเขียนแสดงฟังก์ชันถ่ายโอนของแต่ละบล็อกตามนี้

### 4.2.1 ตัวเปรียบเทียบเฟส (Phase Detector, PD)

สำหรับตัวเปรียบเทียบเฟสจะมีเอาท์พุทที่เปลี่ยนแปลงตามผลต่างเฟสอินพุท ซึ่งสามารถที่จะสร้างแรงดันเฉลี่ยเอาท์พุทที่เปลี่ยนแปลงตามผลต่างเฟสอินพุท โดยในหัวข้อนี้จะเป็นตัวเปรียบเทียบเฟสแบบ positive edge triggered RSFFสามารถแสดงคุณลักษณะของเอาท์พุทและอินพุทดังรูปที่ 4.2 และสามารถแสดงฟังก์ชันถ่ายโอนดังที่ (4.4)




**รูปที่ 4.2** คุณลักษณะของ positive edge triggered RSFF (average output {Vy}) [4.1]

$$H_{PD}(s) = \frac{U_d(s)}{\theta_e(s)} = K_d \tag{4.4}$$

โดยตัวเปรียบเทียบเฟสชนิดนี้จะมีค่าอัตราขยายคงที่ $K_d = V_{DD}/2\pi$

**4.2.2 วงจรกรองความถี่ต่ำผ่าน (Lowpass filter, LPF)**

วงจรกรองความถี่ต่ำผ่านจะทำการลดทอนสัญญาณความถี่สูง เนื่องจากส่วนใหญ่สัญญาณคลื่นพาห์จะมีความถี่สูงกว่าสัญญาณข้อมูลมากกว่าสองเท่า ดังนั้นจึงใช้วงจรกรองสัญญาณความถี่ต่ำผ่านลำดับหนึ่งสามารถแสดงฟังก์ชันถ่ายโอนดังที่ (4.5)

$$H_{LPF}(S) = 1/\left(1 + s/\omega_3\right) \tag{4.5}$$

**4.2.3 วงจรกรองความถี่ต่ำผ่านแบบ lag หรือ lag-lead**

วงจรกรองชนิดนี้จะเป็นการใช้ตัวควบคุมแบบสัดส่วน (Proportional: P) และตัวควบคุมปริพันธ์ (Integral: I) ซึ่งการเลือกวงจรกรองความถี่ต่ำผ่านชนิดนี้เพื่อทำการชดเชยเสถียรภาพของของระบบสามารถแสดงฟังก์ชันถ่ายโอนดังที่ (4.6)

$$H_{LF}(s) = \frac{U_f(s)}{U_d(s)} = \frac{1 + s\tau_2}{1 + s\tau_1} \tag{4.6}$$

**4.2.4 อัตราขยายคงที่ของวงจร Phase Controller (PC)**

จากหลักการของบทที่ 3 สำหรับระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล้อกลูปจะพบว่าวงจร PC จะมีอัตรขยายคงที่ $K_{PC}$=2

**4.2.5 วงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (VCO)**

สำหรับวงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันจะเป็นวงจรที่สัญญาณแรงดันอินพุทส่งต่อมาจากวงจรกรองความถี่ต่ำผ่านแบบ lag หรือ lag-lead แล้วจะทำการสร้างสัญญาณความถี่เอาท์พุทเพื่อทำการเปรียบเทียบกับสัญญาณมอดูเลต สามารถที่จะเขียนฟังก์ชันถ่ายโอนดังที่ (4.7)

$$H_{vco}(s) = \frac{\phi_v(s)}{U_f(s)} = \frac{K_{vco}}{s} \tag{4.7}$$

โดยอัตราขยายคงที่ของวงจร VCO คือ $K_{VCO}$

ดังนั้นสามารถเขียนฟังก์ชันถ่ายโอนของระบบเปิดของระบบคืนสัญญาณบีพีเอสเค เฟสเดียวลูปเดียวบนหลักการเฟสล็อกลูปที่กำหนดด้วยอัตราส่วนระหว่าง $\phi_v(s)/\phi_i(s)$ ดังที่ (4.8)

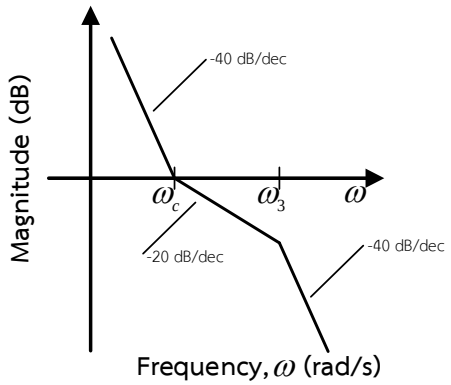
$$G_{OL}(s) = K_{so}K_d \frac{K_{vco}}{s} \frac{\left(1 + s\tau_2\right)}{\left(1 + s\tau_1\right)} \frac{1}{\left(1 + s/\omega_3\right)} \tag{4.8}$$

จากรูปที่ 4.3 จะเป็นการแสดงโบดีพล็อตทางขนาดของฟังก์ชันถ่ายโอนของระบบเปิด ($G_{OL}$) สำหรับการพล็อตคุณลักษณะที่มีความถี่เชิงมุม $\omega_c$ โดยความถี่เชิงมุมกำหนดด้วย $\omega_c = 1/\tau_2$ และอัตราขยายพารามิเตอร์ $K_{PC}$, $K_{VCO}$และ $K_d$ ที่ความถี่ต่ำโบดีพล็อตทางขนาดจะมีความชัน **-40** dB/decade และที่ความถี่เชิงมุม $\omega_c$ , ซึ่งเป็นซีโร่ของวงจรกรองความถี่ต่ำผ่านแบบ lag/lead ดังนั้นขนาดจะมีการเปลี่ยนความชันมาอยู่มีค่าเป็น **-20** dB/decade เพื่อให้ระบบเสถียรความชันของเส้นโค้งทางขนาดควรตัดที่ 0dB ที่มีความชันน้อยกว่า **-40** dB/decade โดยการออกแบบพารามิเตอร์ที่จะทำให้ระบบเสถียรภาพก็คือขนาด 0 dB อยู่ที่ความถี่เชิงมุม $\omega_c$ ซึ่งมีเฟสมาร์จิน $45^\circ$ และที่ความถี่ $\omega_3$ ของวงจรกรองความถี่ต่ำผ่านหลัง PD จะเป็นตัวแปรสำคัญในการออกแบบให้ระบบเสถียรภาพซึ่งถ้าทำการออกแบบให้ $s = \omega_3$ อยู่ที่ความถี่ต่ำกว่าความถี่เชิงมุม $\omega_c$ จะส่งผลให้ความชันทางขนาดที่ความถี่ต่ำ

จะมีค่า -60 dB/decade ทำให้ระบบมีโอกาสที่จะไม่เสถียรภาพ แต่อย่างไรก็ตาม $\omega_3$ จะออกแบบให้มีความถี่คัทออฟ (Cut off frequency) สอดคล้องกับอัตราการส่งข้อมูลที่ต้องการอัตราการส่งข้อมูลที่สูง ดังนั้นส่วนใหญ่แล้วตำแหน่งโพลของ $s = \omega_3$ จะมีค่ามากกว่าตำแหน่งซีโร่ $s = \omega_3$ ซึ่งการวางตำแหน่งโพลของ $s = \omega_3$ ต่ำกว่า 0dB ของโบดีพล็อตทางขนาดเช่นนี้แทบจะไม่มีผลกระทบใดๆกับประสิทธิภาพแบบไดนามิกของลูปสามารถที่จะละเลยได้ในการวิเคราะห์ สำหรับฟังก์ชันถ่ายโอนของระบบเปิดสามารถที่จะนำไปคำนวณฟังก์ชันถ่ายโอนของระบบปิดกำหนดโดย

$$G_{CL}(s) = \frac{\Theta_2}{\Theta_1} \tag{4.9}$$

$$G_{CL}(s) = \frac{\frac{K_{vco}K_dK_{so}}{\tau_1}\left(1+s\tau_2\right)}{s^2 + s\frac{\left(1+K_{vco}K_dK_{so}\tau_2\right)}{\tau_1} + \frac{K_{vco}K_dK_{so}}{\tau_1}} \tag{4.10}$$




**รูปที่ 4.3** โบดพล็อตทางขนาดของ $G_{OL}$

จากฟังก์ชันถ่ายโอนของระบบปิดของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียวบนพื้นฐานเฟสล็อกลูปที่แสดงใน (4.10) สามารถที่จะแสดงกับฟังก์ชันถ่ายโอนของระบบปิดในรูปแบบปกติดังแสดงใน (4.11)

$$G_{CL}(s) = \frac{2s\xi\omega_n + \omega_n^2}{s^2 + 2s\xi\omega_n + \omega_n^2} \tag{4.11}$$

ด้วยการทดแทน

$$\omega_n = \sqrt{\frac{K_{vco}K_dK_{so}}{\tau_1}} \tag{4.12}$$

และ

$$\xi = \frac{\omega_n\tau_2}{2} \tag{4.13}$$

โดยที่ $\omega_n$ คือ ความถี่ธรรมชาติ และ $\zeta$ คือ Damping Factor

**4.3 ขั้นตอนการออกแบบระบบคืนสัญญาณบีพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป [4.2]**

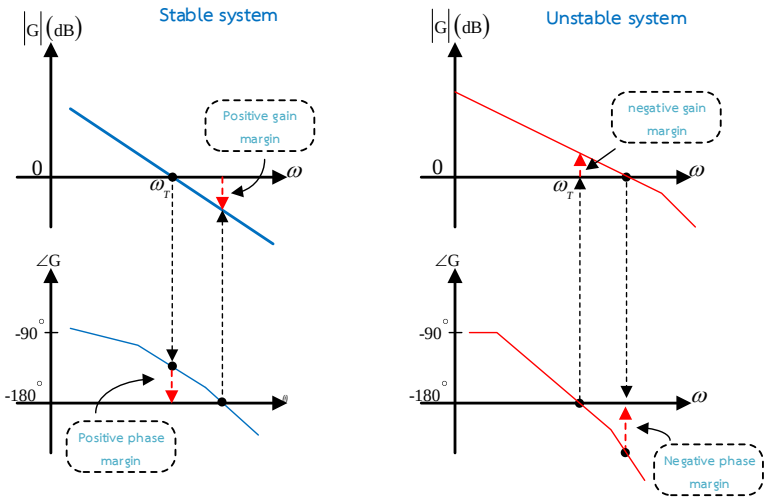
สำหรับระบบคืนสัญญาณบีพีเอสเคจะแสดงการออกแบบในหัวข้อนี้ สมมติว่าสัญญาณข้อมูลไบนารีถูกมอดูเลตด้วยสัญญาณคลื่นพาห์ ซึ่งสัญญาณคลื่นพาห์ถูกตั้งค่าไว้ที่ 100kHz ดังนั้นระบบคืนสัญญาณบีพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s สมมติอัตราการส่งข้อมูล $f_s = 10$ kbit/s สำหรับค่าพารามิเตอร์ของลูปจะมีค่าดังนี้ $K_d = 1/2\pi$, $K_{PC} = 2$, $K_{vco} = 125,663$ rad/s/Vสำหรับระบบคืนสัญญาณบีพีเอสเคนี้จะเป็นระบบอันดับสามประกอบด้วยวงจรกรองสัญญาณความถี่ต่ำผ่านแบบลำดับที่หนึ่งหลังวงจรเปรียบเทียบเฟสที่มีค่าคงที่เวลา $\tau_3$, วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ lead-lag ก่อนเข้าอินพุทวงจร VCO ที่มีค่าคงที่เวลา $\tau_1$ และ $\tau_2$ ฟังก์ชันถ่ายโอนระบบเปิดของระบบนี้สามารถแสดงใน (4.14)

$$G_{OL}(s) = K_{so}K_d \frac{K_{vco}}{s} \frac{(1+s\tau_2)}{(1+s\tau_1)} \frac{1}{(1+s\tau_3)} \tag{4.14}$$

**4.3.1 การออกแบบเสถียรภาพของระบบด้วยวิธีพล็อตโบด**

ต่อไปจะทำการวิเคราะห์เสถียรภาพด้วยการพล็อตโบดของฟังก์ชันถ่ายโอนระบบเปิด $G_{OL}(s)$ โดยทำการแทน $s$ ด้วย $j\omega$ เพื่อทำการพล็อตทางขนาดและทางเฟสของ $G_{OL}(s)$เทียบกับ $\omega$ ก่อนที่จะทำการออกแบบค่าพารามิเตอร์ของ $\tau_1$, $\tau_2$ และ $\tau_3$ ของวงจรกรองสัญญาณความถี่ต่ำผ่านจะเริ่มทำการพิจารณาด้วยความเข้าใจระบบการพล็อตทางขนาดและทางเฟสจะประกอบด้วยสามความถี่เชิงมุมนั้นคือ $\omega_1 = 1/\tau_1, \omega_2 = 1/\tau_2$ และ $\omega_3 = 1/\tau_3$ โดยความถี่เชิงมุมที่ $\omega_1$ และ $\omega_3$ จะสร้างโพลของฟังก์ชันถ่ายโอน $G_{OL}(s)$และความถี่เชิงมุมที่ $\omega_2$ จะสร้างซีโร่ของฟังก์ชันถ่ายโอน $G_{OL}(s)$ ที่ความถี่ต่ำจะมีเทอมหลักของ $1/s$ ที่เกิดจากฟังก์ชันถ่ายโอนของวงจร VCO ซึ่งเมื่อทำการพล็อตทางขนาดจะเปลี่ยนอยู่ในเทอมของ $1/j\omega$ ส่งผลให้ความชันเป็น -20 dB/decade และมีมุมเฟสเป็นค่าคงที่เท่ากับ $-90^\circ$ ต่อไปพิจารณาตำแหน่งของความถี่เชิงมุมของวงจรกรองสัญญาณความถี่ต่ำผ่านซึ่งความถี่เชิงมุมของ $\omega_1$ ที่เป็นส่วนที่ทำให้เกิดโพลของฟังก์ชันถ่ายโอนของ lead-lag จะต้องมีค่าน้อยกว่าความถี่เชิงมุมของ $\omega_2$ ที่เป็นส่วนที่ทำให้เกิดซีโร่ของฟังก์ชันถ่ายโอนของ lead-lag และความถี่เชิงมุมของ $\omega_3$ ซึ่งเป็นส่วนสำหรับการขจัดสัญญาณคลื่นพาห์ที่มีความถี่สูงเพื่อที่จะทำการกู้คืนสัญญาณข้อมูลกลับคืนมา โดยที่ส่วนใหญ่สัญญาณข้อมูลจะมีอัตราการส่งข้อมูลไม่ต่ำกว่าหนึ่งในสี่ของสัญญาณคลื่นพาห์ ดังนั้น $\omega_3$ ควรจะมีค่ามากว่า $\omega_1$ ซึ่งเป็นส่วนที่ทำการขจัดสัญญาณเอซีเพื่อสร้างสัญญาณดีซีสำหรับอินพุท VCO จึงสรุปว่า $\omega_1 < \omega_2$ และ $\omega_2 < \omega_3$ ส่งผลให้การพล็อตทางขนาดที่ความถี่เชิงมุมที่ $\omega_1$ มีความชันเป็น $-40$ dB/decade และการพล็อตทางเฟสที่ความถี่ต่ำจะเริ่มต้นที่ $-90^\circ$ ซึ่งที่ความถี่เชิงมุม $\omega_1$ จะมีแนวโน้มเบนลงไปยัง $-180^\circ$ ซึ่งในกรณีนี้จะมีโอกาสที่จะทำให้ระบบไม่เสถียรภาพดังนั้นจึง

ต้องทำการเลือกค่าความถี่เชิงมุมของ $\omega_2$ มีค่าน้อยกว่าความถี่เชิงมุมของ $\omega_3$ ส่งผลให้ส่งผลให้การพล็อตทางขนาดที่ความถี่เชิงมุมที่ $\omega_2$ มีความชันเป็น $-20$ dB/decade และการพล็อตทางเฟสจะมีแนวโน้มไปยัง $-90^\circ$ และที่ความถี่เชิงมุม $\omega_3$ จะมีความชันเป็น $-40$ dB/decade และมีมุมเฟสแนวโน้มไปยัง $-180^\circ$ อีกครั้ง สำหรับการพล็อตทางขนาดที่ค่า 0dB ที่ความถี่เชิงมุมนั้นเรียกว่า ความถี่ทรานซิสชั่น (transition frequency, $\omega_T$) ที่ความถี่ทรานซิสชั่นอัตราขยายลูปเปิดมีค่าเป็น 1 ระบบจะมีเสถียรภาพเมื่อเฟสของ $G_{OL}(s)$ มีค่ามากกว่า $-180^\circ$ สำหรับการพล็อตทางเฟสที่จุดนั้นคือ $\varphi(\omega_T)$ และค่าผลลัพธ์ที่เกิดจาก $180^o + \varphi(\omega_T)$ เรียกว่าเฟสมาร์จิน $\varphi_m$ หรือจะกล่าวอีกนัยหนึ่งระบบจะมีเสถียรภาพเมื่อเฟสมาร์จินมีค่าเป็นบวก ในวิชาวิศวกรรมควบคุมจะพยายามรักษาเฟสมาร์จินอยู่ระหว่าง $30^\circ$ ถึง $60^\circ$ สำหรับกรณีที่เฟสของ $\varphi(\omega_{\varphi=180})$ มีค่าเป็น $-180^\circ$ ระบบจะมีเสถียรภาพเมื่อการพล็อตทางขนาด $G_{OL}(\omega_{\varphi=180})$ ที่ความถี่นั้นมีค่าน้อยกว่า ค่า 0dB และผลลัพธ์ที่เกิดจาก $0 - G_{OL}(\omega_{\varphi=180})$ dB เรียกว่าเกนมาร์จิน $G_m$ หรือจะกล่าวอีกนัยหนึ่งระบบจะมีเสถียรภาพเมื่อเกนมาร์จินมีค่าเป็นบวก ซึ่งจะแสดงรูปของเกนมาร์จิน และเฟสมาร์จินของระบบที่มีเสถียรภาพกับระบบที่ไม่มีเสถียรภาพดังรูปที่ 4.4




**รูปที่ 4.4** เกนมาร์จิน และเฟสมาร์จิน

จากการวิเคราะห์ก่อนหน้านี้ด้วยความเข้าใจของการพล็อตโบด จึงสรุปว่าระบบควรจะมีความถี่เชิงมุมดังนี้ $\omega_1 < \omega_2 < \omega_3$ โดยความถี่เชิงมุม $\omega_1$ และ $\omega_3$ จะสร้างโพลของระบบ และความถี่เชิงมุมของ $\omega_2$ จะสร้างซีโร่ของระบบซึ่งการวางตำแหน่งจะมีความถี่ทรานซิสชั่นเป็นความถี่อ้างอิงเพื่อใช้สำหรับการออกแบบค่าพารามิเตอร์เหล่านี้ สำหรับการออกแบบลูปของระบบจะเริ่มต้นจากค่า $\omega_{3dB}$ ซึ่งส่วนใหญ่จะมีค่า $(0.05...0.1) \times \omega_c$ [4.2] และต่อไปจะทำการกำหนดค่า $\omega_T = \omega_{3dB}/1.33$ ซึ่งสามารถที่จะทำการออกแบบตามขั้นตอนต่อไปนี้

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05 \times \omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB}/1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^\circ$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^\circ$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times 2\pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 10 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 2 เท่าของอัตราการส่งข้อมูล $\omega_3 = 2 \times 2\pi \times 10,000 = 125,663.7$ rad/s

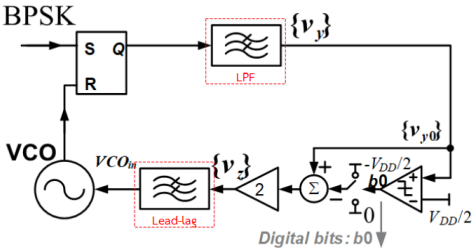
**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.14) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (4.15)

$$G_{OL}(\omega_2) = 1 \approx \frac{K_{so} K_d K_{vco}}{\omega_2^2 \tau_1} \tag{4.15}$$

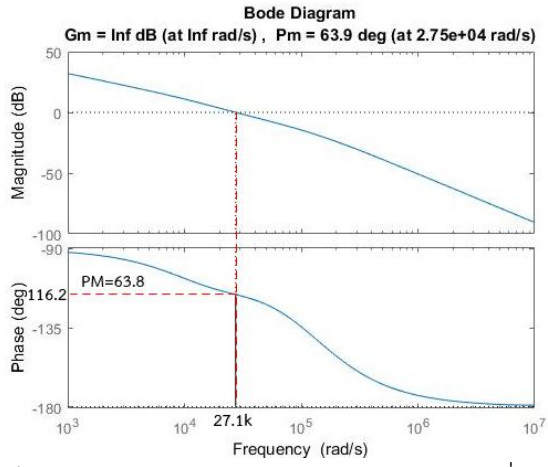
จากสมการที่ (4.15) ทำให้เกิดผลลัพธ์ของ $\tau_1 = 71.7\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,621$ rad/s และมีค่า $\xi = 0.47$

จากขั้นตอนการออกแบบเสถียรภาพของลูปด้วยการออกแบบค่าพารามิเตอร์วงจรกรองความถี่ต่ำผ่านแบบ $H_{LPF}(S) = 1/(1 + s\tau_3)$ และ $H_{LF}(s) = 1 + s\tau_2 / 1 + s\tau_1$ สามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (4.16) ไปพล็อตของโบดทางขนาดและเฟสในโปรแกรม Matlab แสดงผลดังรูปที่ 4.5

$$G_{OL}(s) = \frac{2.94\times10^9 s + 70\times10^{12}}{s^3 + 0.137\times10^6 s^2 + 1.75\times10^9 s} \tag{4.16}$$




(a) โครงสร้างดีมอดูเลเตอร์ BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(b) ผลการพล็อตโบดทางขนาด และเฟสของโครงสร้างรูปที่ 4.5(a) จากหัวข้อ 4.3.1

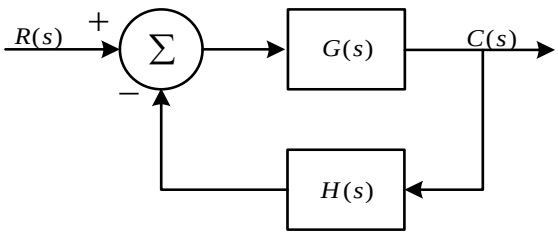
**รูปที่ 4.5** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 63.8^o$ ที่ความถี่ $27.1$ krad/s

จากการพล็อตโบดทางขนาด และเฟสของรูปที่ 4.5 โดยระบบมีเสถียรภาพมีเฟสมาร์จิน $P_m = 63.8^o$ ซึ่งค่าเฟสมาร์จินมีค่ามากกว่า $45^\circ$ เพื่อชดเชยค่าโหลดคาปาซิเตอร์ในระบบ แต่เนื่องจากบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปมีความต้องการของสัญญาณข้อมูลหลังวงจรกรองความถี่ต่ำผ่าน $H_{LPF}(S) = 1/(1 + s\tau_3)$ ที่มีการลดทอนสัญญาณความถี่สูงอย่างมากเพื่อลดความผิดพลาดของการทำงานของ Phase controller ดังแสดงในรูปที่ 4.1(a) ดังนั้นจะทำการลดความถี่เชิงมุมของ $\omega_3 = 1.5 \times 2\pi \times 10,000 = 94,247.78$ rad/s โดยความถี่เชิงมุม $\omega_3 > \omega_2$ ดังนั้นระบบยังมีเสถียรภาพ อีกวิธีสำหรับการออกเสถียรภาพของระบบป้อนกลับแบบลบสามารถที่จะตรวจสอบด้วยการใช้วิธีโลกัสของราก (Root locus)

**4.3.2 การออกแบบเสถียรภาพของระบบด้วยวิธีของโลกัสของราก [4.3]**

วิธีโลกัสของรากสามารถทำนายผลกระทบที่มีต่อตำแหน่งของโพลระบบปิดของการเปลี่ยนแปลงค่าเกน หรือการเพิ่มโพลและซีโร่ของระบบเปิด ดังนั้นจึงมีความต้องการที่นักออกแบบจะต้องมีความเข้าใจอย่างดีของวิธีโลกัสของรากระบบปิด สำหรับการพล็อตโลกัสของรากจะพิจารณาเงื่อนไขของขนาดและมุมเฟสเริ่มพิจารณาจากระบบป้อนกลับแบบลบแสดงดังรูปที่ 4.6 และฟังก์ชันถ่ายโอนของระบบปิดแสดงใน (4.17)

$$\frac{C(s)}{R(s)} = \frac{G(s)}{1+G(s)H(s)} \qquad (4.17)$$




**รูปที่ 4.6** ระบบป้อนกลับแบบลบ

สมการคุณลักษณะสำหรับระบบปิดนี้ได้ด้วยการตั้งค่าตัวส่วนของสมการที่ (4.17) เท่ากับศูนย์นั่น แสดงใน (4.18)

$$1+G(s)H(s)=0$$

$$G(s)H(s)=-1 \tag{4.18}$$

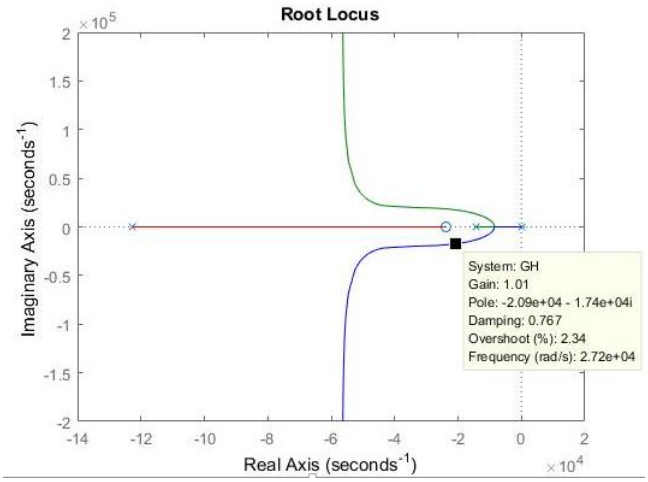
จากสมการที่ (4.18) สามารถแบ่งออกเป็นสองสมการนั้นคือมุมเฟส และขนาดแสดงใน (4.19) และแสดงใน (4.20) ตามลำดับ

$$\angle G(s)H(s)=\pm 180(2k+1) \qquad k=(0,1,2,...) \tag{4.19}$$

$$\left|G(s)H(s)\right|=1 \tag{4.20}$$

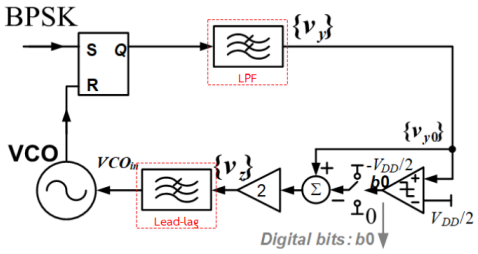
สำหรับหัวข้อนี้จะทำการพล็อตโลกัสของรากของฟังก์ชันถ่ายโอนระบบเปิดของระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปดังสมการใน (4.16) แต่เนื่องจากมีความต้องการค่าพารามิเตอร์ $\omega_3 = 1.5\times 2\pi \times 10,000 = 94,247.78$ rad/s ดังนั้นสามารถเขียนฟังก์ชันถ่ายโอน $G_{OL}(s)$ แสดงใน (4.21) และพล็อตโลกัสของรากแสดงผลดังรูปที่ 4.7

$$G_{OL}(s)=\frac{2.288\times 10^{9}\left(s+23.809\times 10^{3}\right)}{s^{3}+0.108\times 10^{6}s^{2}+1.316\times 10^{9}s} \tag{4.21}$$

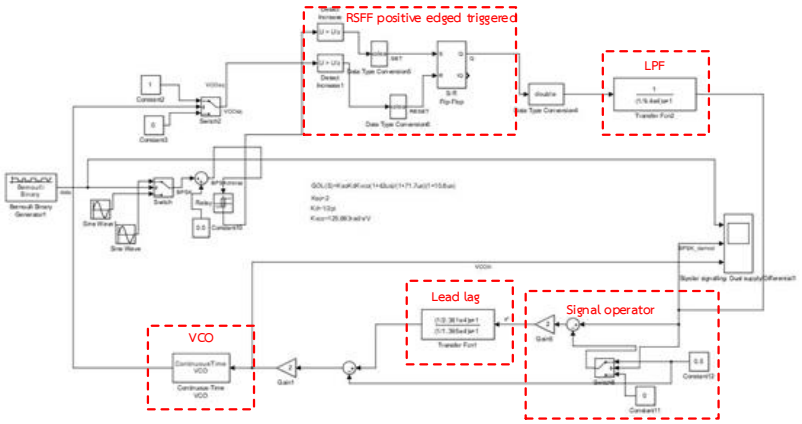



**รูปที่ 4.7** ผลการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล-2.1e+04-1.74e+04i ของโครงสร้างรูปที่ 4.5(a)

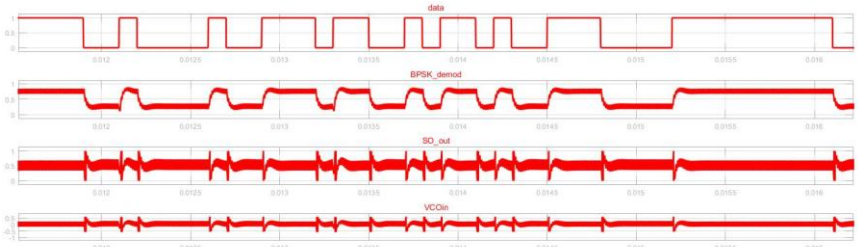
จากการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล -2.1e+04-1.74e+04i และ Damping Factor 0.768 ซึ่งจะพบว่าการออกแบบฟังก์ชันถ่ายโอนวงเปิดของระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปดังใน (4.21) ระบบมีเสียรภาพ จากการออกแบบเสถียรภาพด้วยวิธีของโบด และวิธีโลกัสของรากในหัวข้อ 4.3.1 และ 4.3.2 ตามลำดับสามารถนำผลการออกแบบไปจำลองระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ด้วยโปรแกรม Simulink Matlab แสดงดังรูปที่ 4.8



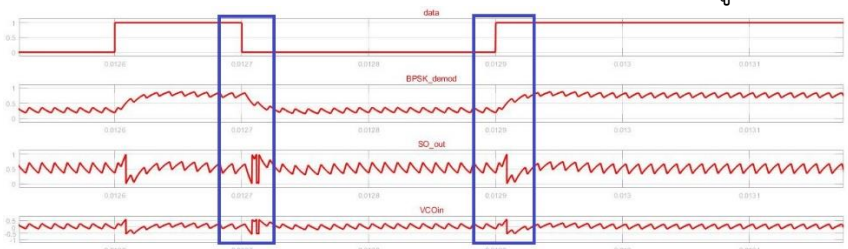

**(a)** วงจรคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป




**(b)** บล็อกโครงสร้างระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab




**(c)** ผลการจำลองบล็อกโครงสร้างระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s




**(d)** ผลการจำลองบล็อกโครงสร้างระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s ที่ขยายเพื่อดู dynamic ของระบบ

**รูปที่ 4.8** การจำลองระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.3.1 และ 4.3.2

สำหรับผลการจำลองระบบที 4.8(b) บน Simulink Matlab สามารถกู้คืนสัญญาณข้อมูลที่อัตราการส่งข้อมูล 10kbit/s ที่ความถี่คลื่นพาห์ช่วงระหว่าง 99.2kHz ถึง 100.8kHz เมื่อพิจารณาลูป dynamic ที่ทำการออกแบบให้มี $\xi$=0.768 ซึ่งเป็น underdamped โดยเป็นการประมาณในระบบ second order แต่ระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป มีมากกว่า 2 order เมื่อพิจารณาจากรูปที่ 4.8(d) ในช่องสี่เหลี่ยมจะพบว่าการเข้าสู่สถานะคงที่อาจจะใช้เวลาที่มากเกินไป ส่งผลให้การกู้สัญญาณข้อมูลมีอัตราการส่งที่ 0.1 เท่าของสัญญาณคลื่นพาห์ และการทำงานของวงจร PC จะมีการตัดสินใจที่ผิดพลาดในช่วงนี้ด้วย (สีเหลี่ยมในรูปที่ 4.8(d)) แต่อย่างไรก็ตามการลดเวลาจะไม่สามารถลดได้ต่ำมากเนื่องจากจะทำให้มีค่า overshoot ที่สูงเกินไป และถ้าลดมากอาจจะทำให้ระบบเป็น undamped

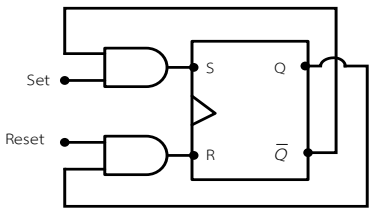
**4.4 วงจรดิสครีตของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป**

สำหรับวงจรดิสครีตของระบบคืนสัญญาณบีพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ประกอบด้วยไอซี 74HCT4046A (Phase Lock Loop with VCO) , LM339 (Single Supply Quad Comparators) , LM324N (Quad-Operational Amplifiers) , และ MC14051B (Analog Multiplexers/DeMultiplexers ก่อนที่จะทำการออกแบบเสถียรภาพของระบบจำเป็นต้องทราบค่าพารามิเตอร์ $K_d$ , $K_{VCO}$, $K_{PC}$ และระบบคืนสัญญาณบีพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2\times 2\pi \times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s = 40$ kbit/s ส่วนของพารามิเตอร์ที่กล่าวมาจะแสดงวิธีการออกแบบ และได้มาของค่าพารามิเตอร์เหล่านี้ตามหัวข้อดังนี้

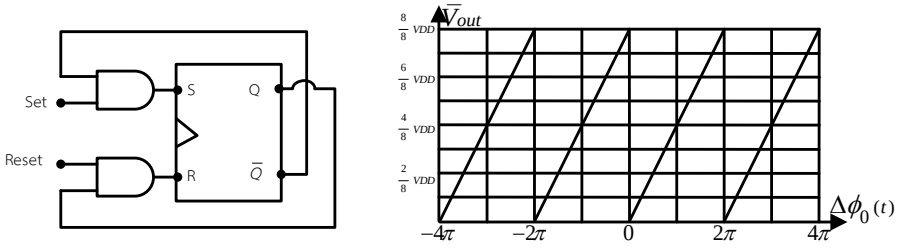
**4.4.1 ตัวเปรียบเทียบเฟส RSFF positive edge-triggered**

วงจรตัวเปรียบเทียบเฟส RSFF positive edge-triggered เป็นส่วนที่อยู่ในไอซี 74HCT4046A แสดงดังรูปที่ 4.9(a) โดยสามารถที่จะทำการทดสอบฟังก์ชันการทำงานของตัวเปรียบเทียบเฟสนี้ด้วยการป้อนสัญญาณความถี่กลาง $\omega_c$ ที่มีผลต่างเฟสต่างกันตั้งแต่ **0** ถึง $2\pi$ เรเดียนไปยังขา $SIG_{IN}$(set) และขา $COMP_{IN}$(reset) แล้วทำการวัดค่าแรงดันเฉลี่ยเอาท์พุทของตัวเปรียบเทียบเฟสนี้ที่ขา $PC3_{out}$(Q) แสดงดังรูปที่ 4.9(b) สามารถหาค่าพารามิเตอร์ $K_d$ ดังที่ (4.4) ไฟเลี้ยงที่ป้อนให้กับไอซี 74HCT4046A มีค่า $V_{DD}$ = 5 V ดังนั้นค่าพารามิเตอร์ $K_d$ สามารถแสดงดังใน (4.22)

$$K_d = \frac{VDD}{2\pi} \tag{4.22}$$




**(a)** วงจร RSFF edge triggered **[4.5]**



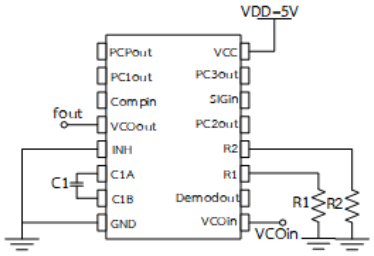

**(b)** การทดสอบ RSFF edge triggered

**รูปที่ 4.9** วงจร และการทดสอบ RSFF edge triggered ในไอซี 74HCT4046A

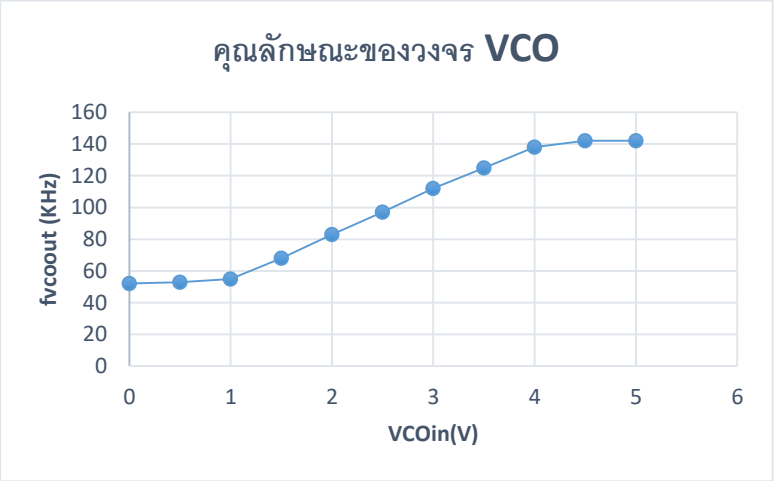
### 4.4.2 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Control Oscillator , VCO)

สำหรับวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO) เป็นส่วนที่อยู่ในไอซี 74HCT4046A แสดงดังรูปที่ 4.10(a) โดยความถี่ต่ำสุดที่ต้องการมีค่า $f_{min} = 52$ kHz , ความถี่กลางที่ต้องการมีค่า $f_0 = 97$ kHz และความถี่สูงสุดที่ต้องการ $f_{max} = 142$ kHz สำหรับค่าพารามิเตอร์ของตัวเก็บประจุ $C_1 = 171$ pF และตัวต้านทาน $R_1 = 56\,k\Omega$ และตัวต้านทาน $R_2 = 150\,k\Omega$ สำหรับที่มาของความถี่ และค่าพารามิเตอร์ตัวเก็บประจุ และตัวต้านทานสามารถที่จะดูจากเอกสาร (Data sheet acquired from Harris Semiconductor. SCHS204J) สามารถแสดงกราฟคุณลักษณะของ VCO ดังรูปที่ 4.10(b) สำหรับค่าอัตราขยายคงที่ของ VCO ($K_{VCO}$) สามารถหาได้ดังที่ (4.7) โดยจะแสดงค่า $K_{VCO}$ของวงจร VCO ที่ได้ออกแบบดังที่ (4.23)

$$K_{VCO} = 2\pi \frac{142,000 - 97,000}{4.5 - 2.5} = 141,372 \text{ rad/s/V} \qquad (4.23)$$




(a) วงจร VCO [4.5]

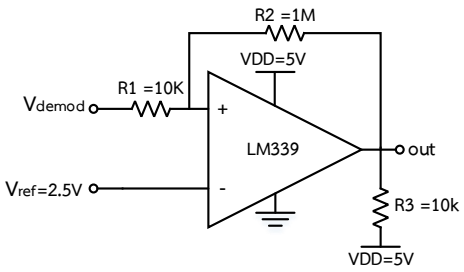



**(b)** คุณลักษณะของวงจร VCO ที่ได้ทำการออกแบบในหัวข้อที่ 4.4.2

**รูปที่ 4.10** การออกแบบและกราฟคุณลักษณะของวงจร VCO

### 4.4.3 วงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator)

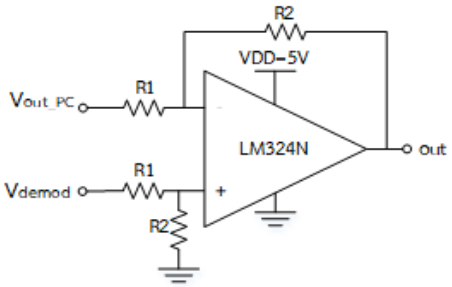
สำหรับวงจรเปรียบเทียบสัญญาณแรงดันจะใช้ไอซี LM339 Quad Single Supply Comparators โดยวงจรนี้จะมีหน้าที่เปรียบสัญญาณแรงดันอินพุท กับสัญญาณแรงดันอ้างอิง เมื่อสัญญาณแรงดันอินพุทมีค่ามากกว่าสัญญาณแรงดันอ้างอิง $V_{in} > V_{ref}$ สัญญาณเอาท์พุทของวงจรเปรียบเทียบแรงดันจะมีค่าเป็น $V_{DD}$ และในทางตรงกันข้ามเมื่อสัญญาณแรงดันอินพุทมีค่าน้อยกว่าสัญญาณแรงดันอ้างอิง $V_{in} < V_{ref}$ สัญญาณเอาท์พุทของวงจรเปรียบเทียบแรงดันจะมีค่าเป็น 0 แสดงวงจรเปรียบเทียบแรงดันของ LM339 ที่ใช้ในระบบคืนสัญญาณบีพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ดังรูปที่ 4.11




**รูปที่ 4.11** Noninverting Comparator with Hysteresis [4.6]

### 4.4.4 วงจรขยายผลต่างโดยใช้ออปแอมป์ (Difference Amplifier)

วงจรขยายผลต่างเป็นวงจรที่สัญญาณเอาท์พุทเป็นผลลบของสัญญาณอินพุททั้งสองขาของออปแอมป์ และเป็นวงจรที่มีกระบวนการป้อนกลับแบบลบเพื่อควบคุมอัตราขยายเป็นไปตามต้องการ โดยวงจรขยายผลต่างนี้จะใช้ออปแอมป์ไอซี LM324N และมีอัตราขยายสองเท่าสำหรับความสัมพันธ์ระหว่างเอาท์พุทและอินพุทของวงจรขยายผลต่างดังที่ (4.24) และสามารถแสดงวงจรขยายผลต่างดังรูปที่ 4.12

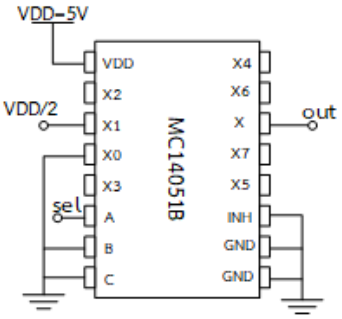



**รูปที่ 4.12** วงจรขยายผลต่างโดยใช้ออปแอมป์ LM324N [4.7]

$$V_{out} = \left(V_2 - V_1\right)\left(R_2 / R_1\right) \tag{4.24}$$

**4.4.5 อนาล็อคมัลติเพล็กซ์เซอร์ และดีมัลติเพล็กซ์เซอร์**

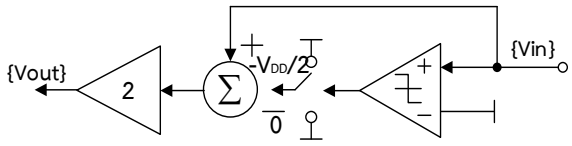
สำหรับวงจรอนาล็อคมัลติเพล็กซ์เซอร์จะใช้ไอซี MC14051B โดยวงจรนี้จะใช้สำหรับเป็นวงจรที่เลือกค่าแรงดันดีซี 0 หรือ $V_{DD}/2$ เพื่อไปลบกับสัญญาณแรงดันดีมอดดูเลตบีพีเอสเคดังรูปที่ 4.1(a) โดยการเชื่อมต่อวงจรอนาล็อคมัลติเพล็กซ์เซอร์เพื่อให้ทำหน้าที่ตามหลักการคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูปแสดงดังรูปที่ 4.13



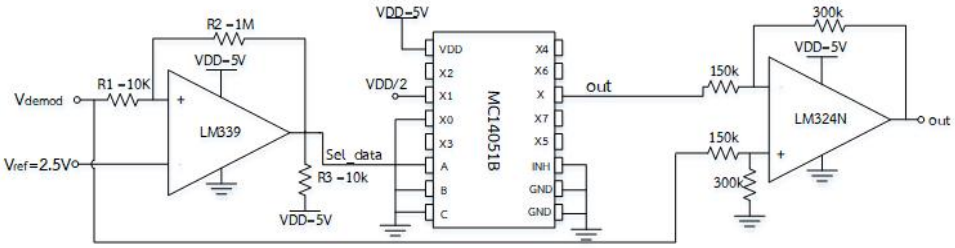

**รูปที่ 4.13** การเชื่อมต่อวงจรอนาล็อคมัลติเพล็กซ์เซอร์ [4.8]

**4.4.6 วงจร Phase Controller (PC)**

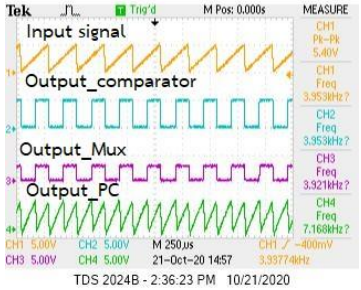
สำหรับวงจรดิสครีตของวงจร Phase Controller (PC) จะประกอบด้วยวงจรเปรียบเทียบสัญญาณแรงดัน , วงจรขยายผลต่างโดยใช้ออปแอมป์ และวงจรอนาล็อคมัลติเพล็กซ์เซอร์ ซึ่งหลักการเชื่อมต่อวงจร PC จะเป็นดังรูปที่ 4.14(b) แสดงวงจรดิสครีตของวงจร PC ดังรูปที่ 4.14 สำหรับการทดสอบวงจร PC รูปที่ 4.14(b) ด้วยการป้อนสัญญาณทดสอบสีเหลืองดังรูปที่ 4.14(b) ,สัญญาณสีฟ้าเป็นเอาท์พุทของวงจรเปรียบเทียบสัญญาณแรงดัน ,สัญญาณสีชมพูเป็นสัญญาณเอาท์พุทของวงจรอนาล็อคมัลติเพล็กซ์เซอร์ และสัญญาณสีเขียวเป็นเอาท์พุทของวงจร PC



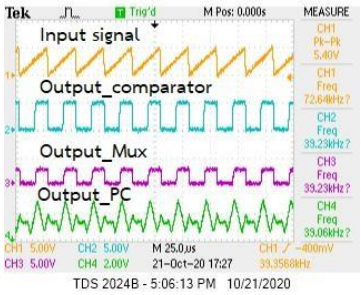

**(a)** บล็อกไดอะแกรมของวงจร PC ของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป




**(b)** วงจร PC ของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป




**(c)** การทดสอบวงจร PC ที่อัตราการส่งข้อมูล 4kbit/s

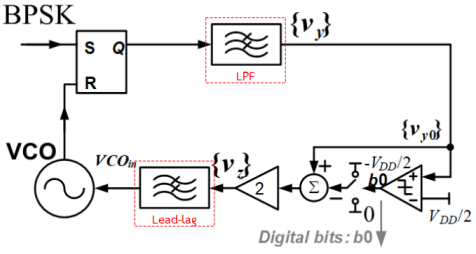



**(d)** การทดสอบวงจร PC ที่อัตราการส่งข้อมูล 40kbit/s

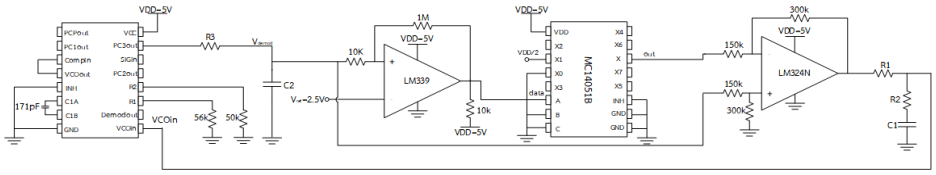
**รูปที่ 4.14** วงจร และการทดสอบวงจร PC ของระบบคืนสัญญาณบีพีเอสเค

สำหรับการทดสอบวงจร PC ของรูปที่ 4.14(b) และรูปที่ 4.14(c) เป็นการทดสอบตามหลักที่กล่าวมาในรูปที่ 3.13 สำหรับการทดสอบวงจร PC จะพบว่าเมื่อความถี่ของสัญญาณอินพุทสีเหลืองมีค่ามากขึ้น วงจร PC จะมีการทำงานได้ไม่ดี ซึ่งวงจร PC มีส่วนเกี่ยวข้องกับความถี่ของสัญญาณข้อมูลสามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (4.25) และแสดงผลการพล็อตโบดดังรูปที่ 4.15

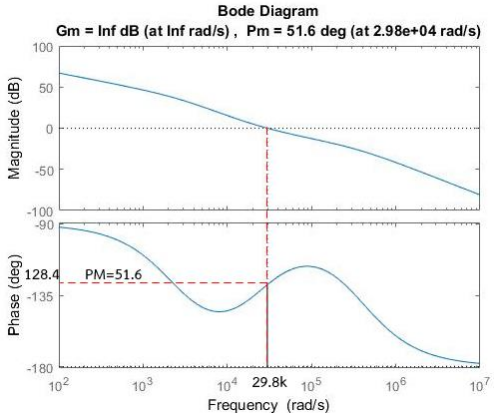
$$G_{OL}(s) = \frac{9.45s + 2.25\times10^{5}}{1.07\times10^{-9}s^{3} + 4.056\times10^{-4}s^{2} + s} \tag{4.25}$$




**(a)** วงจรคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป



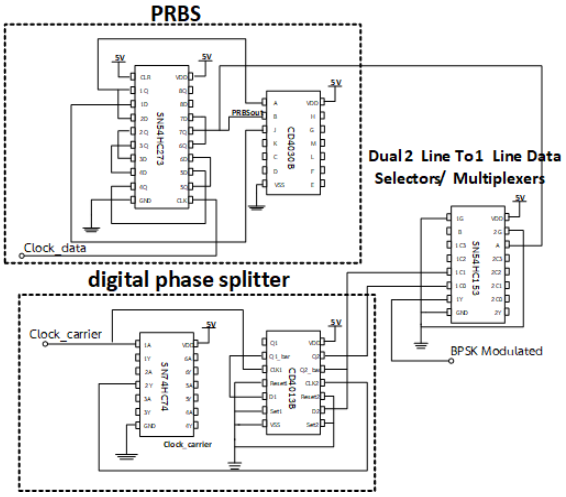

**(b)** วงจรดิสครีตของคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป



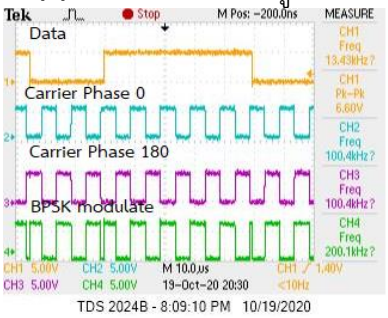

**(c)** ผลการพล็อตโบดทางขนาด และเฟสของโครงสร้างรูปที่ 4.15(a) จากหัวข้อ 4.4.7

**รูปที่ 4.15** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 51.6^{\circ}$ ที่ความถี่ 29.8 krad/s

จากขั้นตอนการออกแบบข้างต้นสามารถที่จะนำค่าที่ได้จากกการออกแบบมาทำการหาค่าอิมพีแดนซ์และค่าตัวเก็บประจุของวงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter , LPF) ของวงจรกรองหลังวงจรเปรียบเทียบเฟส (PD) และวงจรกรองหลังวงจร PC ก่อนเข้าเป็นอินพุทวงจร VCO จากรูปที่ 4.15 เป็นวงจรคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียวบนหลักการเฟสล็อกลูป ซึ่งมีค่าพารามิเตอร์ของวงจรกรองดังนี้ $R_3 = 2.65\,\mathrm{k}\Omega$ , $C_2 = 1\,\mathrm{nF}$ และ $R_1 = 3.6\,\mathrm{k}\Omega$ , $R_2 = 420\ \Omega$ และ $C_1 = 100\,\mathrm{nF}$ ก่อนจะทำการทดสอบระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป จำเป็นต้องการสร้างวงจรบีพีเอสเคมอดูเลอเตอร์ เพื่อเป็นสัญญาณอินพุทของการทดสอบระบบ โดยที่วงจรมอดูเลเตอร์จะประกอบด้วย Pseudorandom binary sequence (PRBS) เพื่อสร้างสัญญาณข้อมูล , วงจร Digital Phase Splitter เพื่อสร้างสัญญาณคลื่นพาห์ที่มีเฟส 0 , 90 ,180 และ 270 องศา โดยที่สัญญาณเอาท์พุทจะมีความถี่น้อยกว่าความถี่อินพุทสองเท่า และวงจร Dual 4 Line to 1 Line Data selectors เพื่อเป็นส่วนในการมอดูเลตบีพีเอสเค สมมติสัญญาณข้อมูลบิต 0 เลือกสัญญาณคลื่นพาห์เฟส 0 องศา และสัญญาณข้อมูลบิต 1 เลือกสัญญาณคลื่นพาห์เฟส 180 องศา แสดงดังรูปที่ 4.16



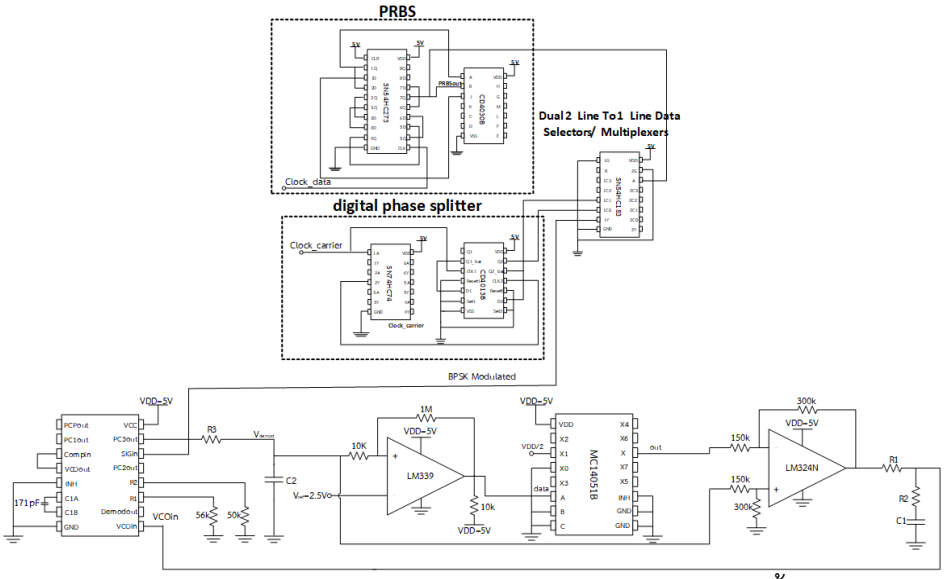

(a) วงจรบีพีเอสเคมอดูเลเตอร์



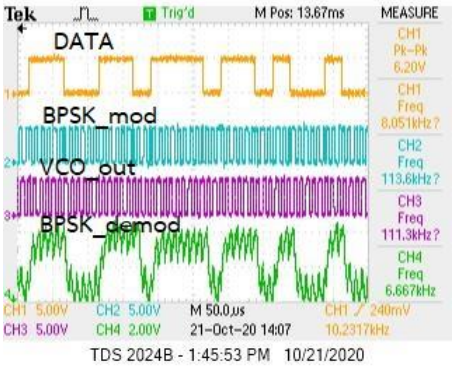

(b) ผลการวัดวงจรบีพีเอสเคมอดูเลเตอร์

**รูปที่ 4.16** วงจร และผลการวัดวงจรบีพีเอสเคมอดูเลเตอร์

สำหรับการทดสอบจะแสดงดังรูปที่ 4.17 โดยจากการทดสอบค่าพารามิเตอร์ของอิมพีแดนซ์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD จะมีค่าที่เปลี่ยนไปบ้างเพื่อความเหมาะสมของอัตราการส่งข้อมูล โดยค่าพารามิเตอร์ที่ใช้ในวงจรกรองนี้ที่เปลี่ยนไปนั้นในทางอุดมคติผลกระทบของเสถียรภาพของระบบคืนสัญญาณบีพีเอสจะมีผลกระทบน้อยมากค่าพารามิเตอร์ที่ใช้ในการทดสอบ $R_3 = 5.4\,\mathrm{k}\Omega$, $C_2 = 1\,\mathrm{nF}$ และ $R_1 = 3.6\,\mathrm{k}\Omega$, $R_2 = 420\ \Omega$ และ $C_1 = 100\,\mathrm{nF}$



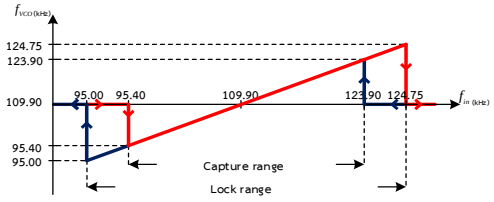

**(a)** วงจรทดสอบระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป



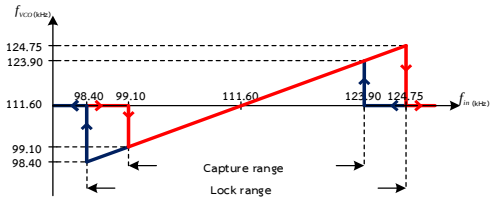

**(b)** ผลการวัดรูปที่ 4.17 (a) ที่อัตราส่งข้อมูล 40kbit/s และสัญญาณคลื่นพาห์ 113.25kHz

**รูปที่ 4.17** วงจร และผลการวัดระบบคืนสัญญาณบีพีเอสเค

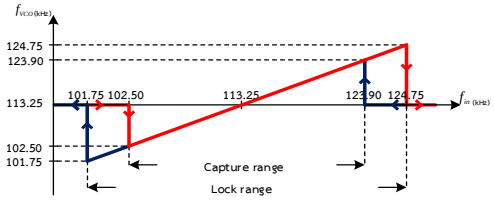
จากการออกแบบเสถียรภาพของระบบคืนสัญญาณบีพีเอสเคข้างต้นด้วยพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD และวงจรกรองความถี่ต่ำผ่านหลังวงจร PC นอกความเสถียรภาพของระบบคืนสัญญาณ , อัตราการส่งสัญญาณข้อมูล , Bit error rate แล้วสิ่งสำคัญอีกอย่างของประสิทธิภาพนั้นคือช่วงของการล็อกความถี่ของระบบคืนสัญญาณ (Lock range) และช่วงการเข้าล็อกความถี่หลังจากที่หลุดล็อกของระบบคืนสัญญาณ (Capture range) โดยจะทำการพล็อตคุณลักษณะของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ซึ่งจะทำการวัดผลที่อัตราการส่งข้อมูล 5kbit/s , 20kbit/s และ 40kbit/s แสดงดังรูปที่ 4.18




**(a)** อัตราการส่งข้อมูล 5kbit/s




(b) อัตราการส่งข้อมูล 20kbit/s




(c) อัตราการส่งข้อมูล 40kbit/s

**รูปที่ 4.18** คุณลักษณะของระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นบานเฟสล็อกลูป

สำหรับผลการวัดคุณลักษณะของระบบคืนสัญญาณบีพีเอสเครูปที่ 4.18 พบว่าเมื่อเพิ่มอัตราการส่งข้อมูลช่วงการล็อกความถี่ (Lock range) ช่วงการเข้าล็อกความถี่ (Capture range) ที่อัตราการส่งข้อมูล 40kbit/s จะมีช่วง lock range และ capture range ที่แคบกว่าที่อัตราการส่งข้อมูล 5kbit/s และ 20kbit/s ส่วนหัวข้อถัดไปหัวข้อที่ 4.5 ซึ่งเป็นการพัฒนาเป็นระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

## 4.5 ขั้นตอนการออกแบบระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป [4.2]

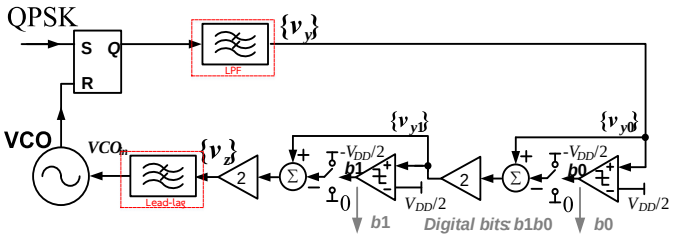
สำหรับระบบคืนสัญญาณคิวพีเอสเคจะแสดงการออกแบบในหัวข้อนี้ สมมติว่าสัญญาณข้อมูลถูกมอดูเลตด้วยสัญญาณคลื่นพาห์ ซึ่งสัญญาณคลื่นพาห์ถูกตั้งค่าไว้ที่ 100kHz ดังนั้นระบบคืนสัญญาณคิวพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2\times\pi\times100,000 = 628,318.5$ rad/s สมมติอัตราการส่งข้อมูล $f_s = 10$ kbit/s สำหรับค่าพารามิเตอร์ของลูปจะมีค่าดังนี้ $K_d = 1/2\pi$, $K_{so} = 4$, $K_{vco} = 125,663$ rad/s/V สำหรับระบบคืนสัญญาณคิวพีเอสเคนี้จะเป็นระบบอันดับสามประกอบด้วยวงจรกรองสัญญาณความถี่ต่ำผ่านแบบลำดับที่หนึ่งหลังวงจรเปรียบเทียบเฟสที่มีค่าคงที่เวลา $\tau_3$, วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ lead-lag ก่อนเข้าอินพุทวงจร VCO ที่มีค่าคงที่เวลา $\tau_1$ และ $\tau_2$ ฟังก์ชันถ่ายโอนระบบเปิดของระบบนี้สามารถแสดงใน (4.26)

$$G_{OL}(s) = K_{so}K_d\frac{K_{vco}}{s}\frac{(1+s\tau_2)}{(1+s\tau_1)}\frac{1}{(1+s\tau_3)} \qquad (4.26)$$

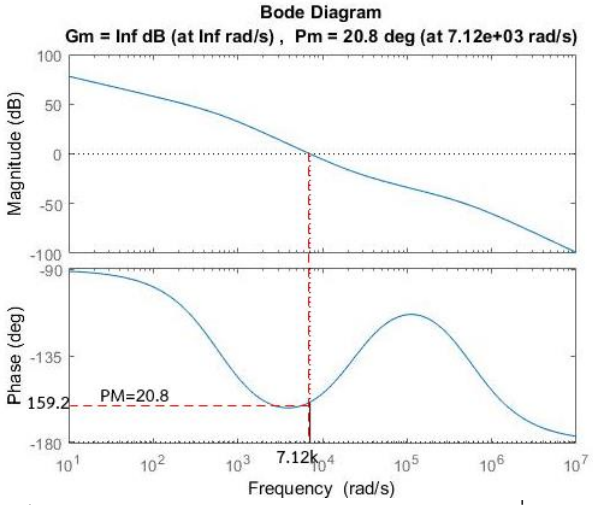
### 4.5.1 การออกแบบเสถียรภาพของระบบด้วยวิธีของพล็อตโบด

สำหรับการออกแบบเสถียรภาพของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป จะมีขั้นตอนเหมือนหัวข้อที่ 4.3.1 เพียงอัตราขยายของ $K_{so} = 4$ สามารถแสดงฟังก์ชันถ่ายโอนดังที่ (4.27) และผลการพล็อตโบดทางขนาด และเฟสของฟังก์ชันถ่ายโอนดังรูปที่ 4.19

$$G_{OL}(s) = \frac{1.106\times10^9 s + 26.3\times10^{12}}{s^3 + 0.54\times10^6 s^2 + 0.33\times10^9 s} \qquad (4.27)$$




(a) โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(b) ผลการพล็อตโบดทางขนาด และเฟสของโครงสร้างรูปที่ 4.20(a) จากหัวข้อ 4.5.1

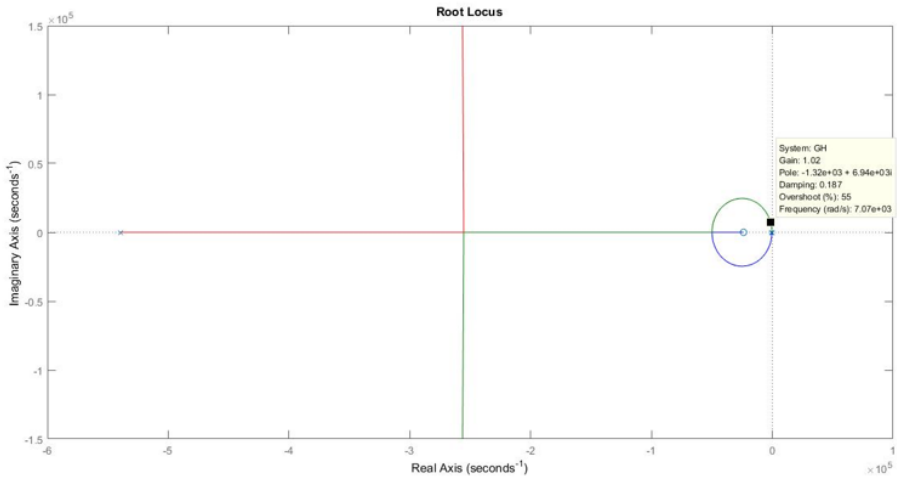
**รูปที่ 4.19** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 20.8^o$ ที่ความถี่ 7.12 krad/s

จากการพล็อตโบดทางขนาด และเฟสของรูปที่ 4.19 โดยระบบมีเสถียรภาพมีเฟสมาร์จิน $P_m = 20.8^o$ ซึ่งค่าเฟสมาร์จินมีค่าน้อยกว่า $P_m = 45^o$ ซึ่งเป็นค่าเฟสมาร์จินที่ต่ำมากในทางปฏิบัติเมื่อเจอค่าคาปาซิเตอร์ในระบบจะส่งผลให้มีโอกาสที่เฟสมาร์จินจะมีค่าติดลบนั้นคือส่งผลให้ระบบไม่มีเสถียรภาพ ดังนั้นจะต้องมีการชดเชยด้วยการเพิ่มซีโร่เข้าไปในระบบเพื่อชดเชยเฟสมาร์จินให้มีค่าสูงขึ้นโดยจะกล่าวถึงการชดเชยเฟสมาร์จินด้วยการเพิ่มซีโร่ในหัวข้อถัดไปและอีกวิธีสำหรับการออกเสถียรภาพของระบบป้อนกลับแบบลบสามารถที่จะตรวจสอบด้วยการใช้วิธีโลกัสของราก (Root locus)

**4.5.2 การออกแบบเสถียรภาพของระบบด้วยวิธีของโลกัสของราก [4.3]**

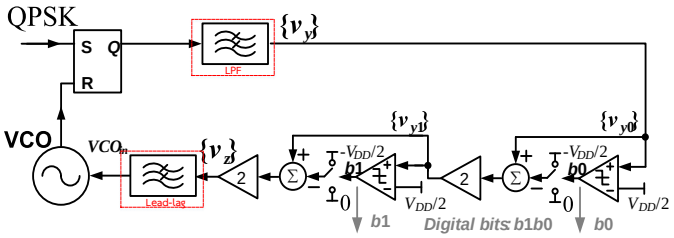
สำหรับการออกแบบเสถียรภาพของระบบด้วยวิธีของโลกัสของรากได้มีการอธิบายหลักการในหัวข้อ 4.3.2 ในหัวข้อนี้จะทำการพล็อตโลกัสของรากจากฟังก์ชันถ่ายโอนของระบบเปิดดังใน (4.28) และแสดงผลการพล็อตโลกัสของรากดังรูปที่ 4.20

$$G_{OL}(s) = 1.106 \times 10^9 \frac{s + 0.238 \times 10^6}{s^3 + 0.54 \times 10^6 s^2 + 0.33 \times 10^9 s} \qquad (4.28)$$

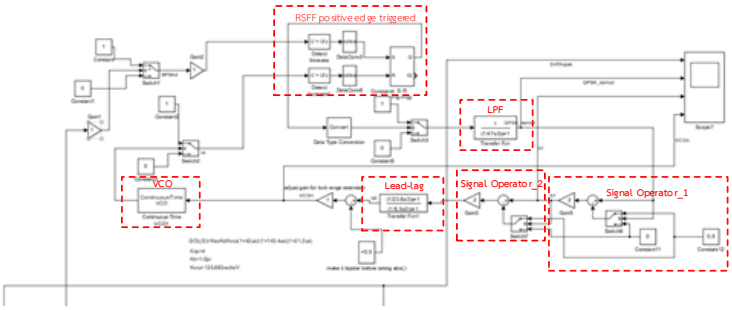



**รูปที่ 4.20** ผลการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล-1.32e+03+6.94e+03i และมี $\xi = 0.187$ ของโครงสร้างรูปที่ 4.19(a)

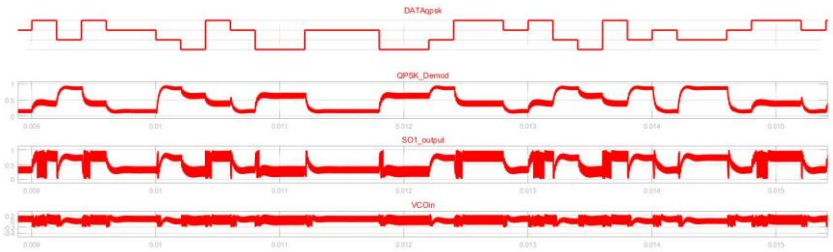
สำหรับผลการพล็อตโลกัสของรากของ $G_{OL}(s)$ โดยที่เกน 1 โพล-1.32e+03+6.94e+03i จะพบว่าระบบมีเสถียรภาพ แต่มีโอกาสที่จะไม่เสถียรภาพสูงมากจากการทดสอบในหัวข้อ 4.5.1 และหัวข้อ 4.52 สามารถนำวงจรกรองสัญญาณกรองความถี่ต่ำผ่านนี้ไปทำการจำลองลงบน Simulink Matlab แสดงดังรูปที่ 4.21



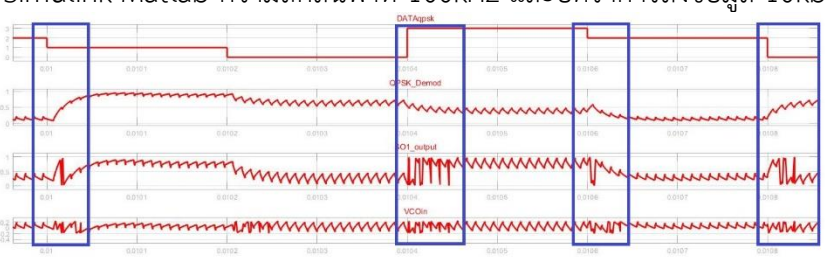

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




**(b)** บล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab




**(c)** ผลการจำลองบล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป บน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s




**(d)** ผลการจำลองบล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป บน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s ที่ขยายเพื่อดู dynamic ของระบบ

**รูปที่ 4.21** การจำลองระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.5.1 และ4.5.2

สำหรับผลการจำลองรูปที่ 4.21 ระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป บน Simulink Matlab สามารถที่จะทำการกู้คืนสัญญาณข้อมูลที่อัตราการส่งข้อมูล 10kbit/s ที่ความถี่คลื่นพาห์ช่วงระหว่าง 99.2kHz ถึง 100.2kHz ต่อไปจะนำหลักการออกแบบในหัวข้อที่ 4.5.3 เป็นการชดเชยเฟสมาร์จินของระบบให้มีค่ามากกว่า $P_m = 45^o$ ด้วยการเพิ่มซีโร่เข้าไปในวงจรกรองสัญญาณความถี่ต่ำผ่านหลังวงจรตัวเปรียบเทียบเฟส RSFF positive edge-triggered สำหรับ dynamic ของระบบดังรูปสี่เหลี่ยมของรูปที่ 4.21(d) จากการออกแบบจะมี $\xi = 0.187$ ซึ่งเป็น underdamped ตามต้องการ แต่จะเห็นว่าเป็นระบบที่มีเฟสมาร์จินที่ต่ำน้อยกว่า $P_m = 45^o$

### 4.5.3 การชดเชยเสถียรภาพของระบบด้วยการเพิ่มเฟสมาร์จิน [4.4]

สำหรับหัวข้อ 4.5.1 และหัวข้อ 4.5.2 แสดงให้เห็นว่าระบบมีเฟสมาร์จิน $P_m = 20.8^o$ ซึ่งเป็นค่าที่ต่ำมาก ดังนั้นมีโอกาสที่ระบบจะไม่เสถียรภาพจากโหลดคาปาซิเตอร์ในระบบความต้องการให้มีเฟสมาร์จิน $P_m = 45^o$ ซึ่งจะต้องมีการชดเชยเพื่อให้ได้ตามความต้องการ โดยเริ่มจากพิจารณาฟังก์ชันถ่ายโอนของระบบเปิดใน (4.27) และผลตอบสนองเชิงความถี่ดังรูปที่ 4.19 สำหรับการชดเชยเฟสมาร์จินจะใช้วิธีการชดเชยแบบมุมนำ (Lead Compensation) โดยสมการทั่วไปของการชดเชยแบบมุมนำดังใน (4.29)

$$D_c(s) = \frac{T_D s + 1}{\alpha T_D s + 1}, \quad \alpha < 1 \tag{4.29}$$

**ขั้นตอนการออกแบบการชดเชยแบบมุมนำมีขั้นตอนดังนี้**

**ขั้นตอนที่1**เริ่มจากการกำหนดเฟสนำเป้าหมายที่จะทำการชดเชย $50^{o}$ - $20.8^{o}$ = $29.2^{o}$ โดยที่ความถี่ทรานซิสชั่น หรือที่ความถี่ที่มีขนาดของฟังก์ชันถ่ายโอนระบบเปิดมีค่า 0 dB มีค่ามากกว่าความถี่ทรานซิสชั่นก่อนที่จะทำการชดเชยแบบมุมนำเพราะจะต้องทำการเพิ่มเฟสมาร์จิน

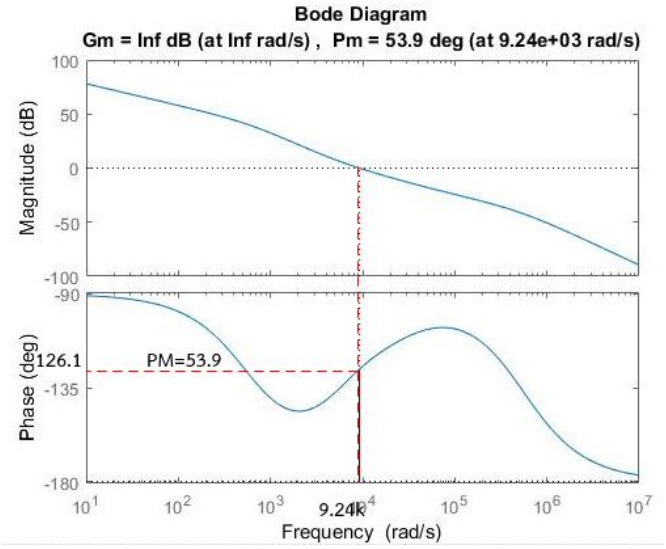
**ขั้นตอนที่ 2** สำหรับขั้นตอนนี้จะเป็นการเลือกค่า $\alpha$ เพื่อให้ทำเฟสระหว่างโพล และซีโร่เพิ่มขึ้นประมาณ $30^{o}$ เพื่อทำการชดเชยจาก [4.4] ค่าของ $\alpha = 1/3$ จะให้เฟสเพิ่มขึ้น $30^{o}$

**ขั้นตอนที่ 3** สำหรับขั้นตอนนี้จะเลือกตำแหน่งของซีโร่ที่ความถี่ 6krad/s $\left(T_D = 1/6k\right)$และโพลที่ความถี่ 18krad/s $\left(\alpha T_D = 1/18k\right)$ ดังนั้นฟังก์ชันถ่ายโอนของการชดเชยแบบมุมนำดังใน (4.30)

$$D_c(s) = \frac{s/6k + 1}{s/18k + 1} = \frac{1}{0.333}\frac{s+6k}{s+18k} \tag{4.30}$$

จาก (4.30) และ (4.27) สามารถนำไปเขียนฟังก์ชันถ่ายโอนของระบบเปิดที่มีการชดเชยแบบมุมนำแสดงดังที่ (4.31) ไปพล็อตโบดทางขนาดและเฟสในโปรแกรม Matlab แสดงผลดังรูปที่ 4.22

$$G_{OL}(s) = 1.106\times10^{9}\,\frac{s+0.238\times10^{6}}{s^{3}+0.54\times10^{6}s^{2}+0.33\times10^{9}s}\,\frac{1}{0.333}\,\frac{s+6k}{s+18k} \tag{4.31}$$

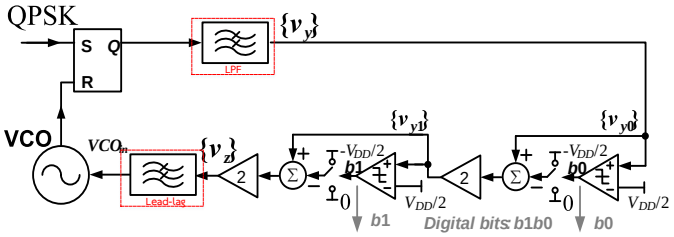



**รูปที่ 4.22** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ ที่มีการชดเชยแบบมุมนำโดยที่ $P_m$ = $53.9^{o}$ ที่ความถี่ 9.24krad/s

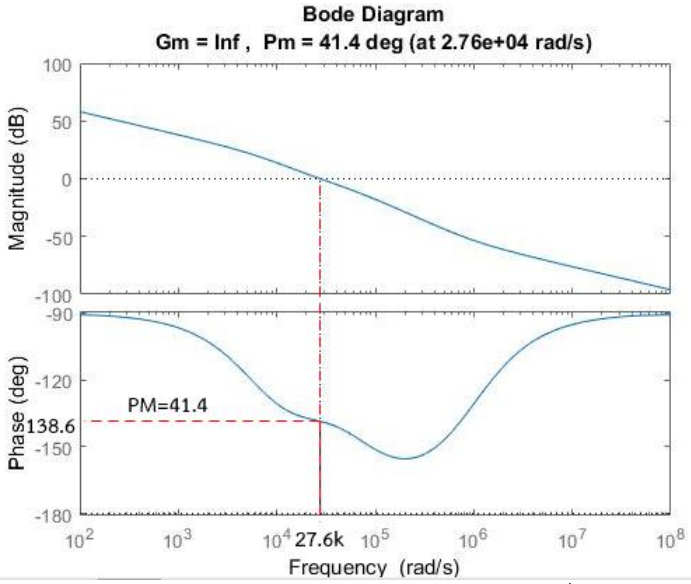
สำหรับการชดเชยแบบมุมนำใน (4.30) ทำให้ผลตอบสนองเชิงความถี่ของฟังก์ชันถ่ายโอนของระบบเปิดใน (4.31) มีเฟสมาร์จิน $P_m$ = $53.9^{o}$ ที่ความถี่ 9.24krad/s แต่อย่างไรก็ตามเนื่องจากการใช้การชดเชยแบบมุมนำสามารถเพิ่มเฟสมาร์จินได้ตามต้องการ แต่เนื่องจากระบบคืนสัญญาณคิวพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ประกอบด้วยวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจรเปรียบเทียบเฟส และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนอินพุทของ VCO ซึ่งเมื่อเพิ่มส่วนของฟังก์ชันถ่ายโอนของการชดเชยแบบมุมนำส่งผลให้ระบบกู้คืนสัญญาณไม่สามารถที่จะกู้คืนสัญญาณข้อมูลออกมาได้ ดังนั้นจะย้อนกลับไปทำการออกแบบฟังก์ชันถ่ายโอนของวงจรกรอง

ความถี่ต่ำผ่านในหัวข้อ 4.5.1 ด้วยการเพิ่มซีโร่ไปยังวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทของวงจรเปรียบเทียบเฟสสามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (4.32) ไปพล็อตโบดทางขนาดและเฟสในโปรแกรม Matlab แสดงผลดังรูปที่ 4.23

$$G_{OL}(s) = \frac{3.56\times10^{-6}s^2 + 3.45s + 8\times10^4}{2.28\times10^{-9}s^3 + 0.159\times10^{-3}s^2 + s} \qquad (4.32)$$



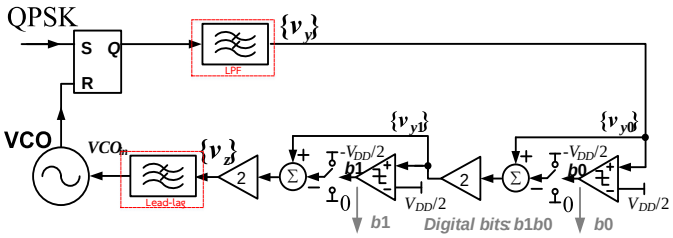

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส ที่มีการชดเชยเฟสมาร์จินด้วยการเพิ่มซีโร่ที่ LPF หลังตัวเปรียบเทียบเฟส



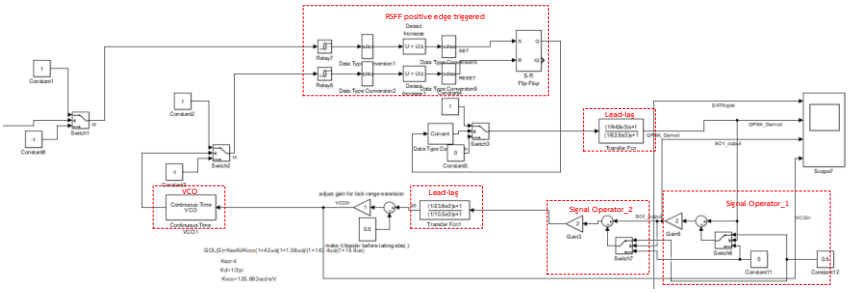

**(b)** ผลการพล็อตโบดทางขนาด และเฟสของโครงสร้างรูปที่ 4.24(a) จากหัวข้อ 4.5.3.1

**รูปที่ 4.23** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ ที่มีการเพิ่มซีโร่ไปยังวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทของวงจรเปรียบเทียบเฟสโดยที่ $P_m = 41.4^o$ ที่ความถี่ 27.6krad/s

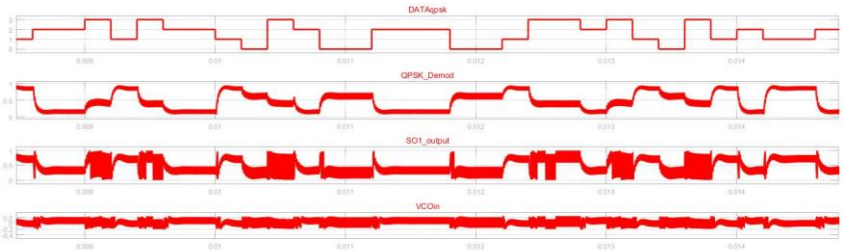
สำหรับการชดเชยเฟสมาร์จินของระบบคืนสัญญาณคิวพีเอส แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ด้วยการเพิ่มซีโร่ไปยังวงจรกรองสัญญาณความถี่ต่ำผ่านหลังวงจรเปรียบเทียบเฟสนั้น มีการเพิ่มขึ้นของเฟสมาร์จินไม่มากเท่ากับการขยับตำแหน่งของ $\omega_3$ ให้มีค่ามากขึ้น แต่อย่างไรก็ตามเนื่องการที่กู้คืนสัญญาณข้อมูลที่มีระดับแรงดัน 4 ระดับซึ่งต้องการลดทอนสัญญาณความถี่สูงที่มากขึ้นเพื่อลดความผิดพลาดของการทำงานของวงจร PC ดังนั้นการเพิ่มซีโร่ก็จะช่วยในการเพิ่มเฟสมาร์จินเพื่อให้ระบบมีเสถียรภาพมากขึ้นกว่าการที่ไม่มีการเพิ่มซีโร่ไปยังระบบ และไปทำการจำลองลงบน Simulink Matlab แสดงดังรูปที่ 4.24



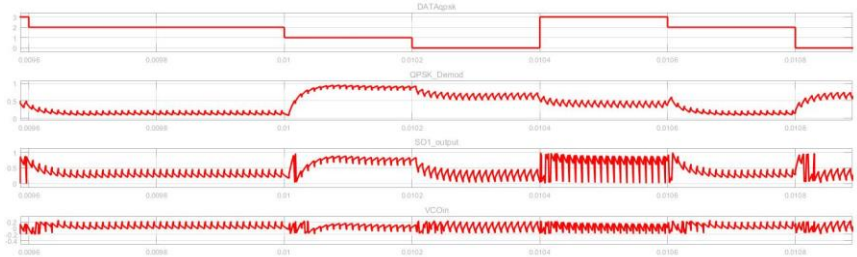

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส ที่มีการชดเชยเฟสมาร์จินด้วยการเพิ่มซีโร่ที่ LPF หลังตัวเปรียบเทียบเฟส




**(b)** บล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab




**(c)** ผลการจำลองบล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s



**(d)** ผลการจำลองบล็อกโครงสร้างระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ความถี่คลื่นพาห์ 100kHz และอัตราการส่งข้อมูล 10kbit/s ที่ขยายเพื่อดู dynamic ของระบบ

**รูปที่ 4.24** การจำลองระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูปบน Simulink Matlab ตามการออกแบบเสถียรภาพของระบบในหัวข้อ 4.5.3.1

สำหรับผลการจำลองรูปที่ 4.24 ระบบบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป บน Simulink Matlab สามารถที่จะทำการกู้คืนสัญญาณข้อมูลที่อัตราการส่งข้อมูล 10kbit/s ที่ความถี่คลื่นพาห์ช่วงระหว่าง 99.6kHz ถึง 100.5kHz ต่อไปจะนำหลักการออกแบบในหัวข้อที่ 4.5.3.1 ไปช่วย

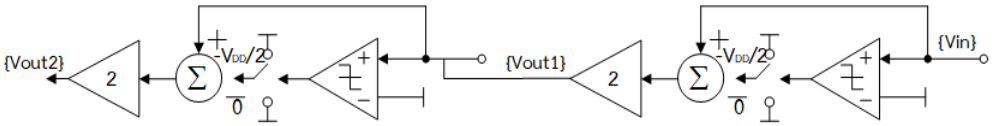
ในการออกแบบในส่วนของวงจรดิสครีต (Discrete Circuit) ของระบบคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป สำหรับ dynamic ของระบบดังรูปสี่เหลี่ยมของรูปที่ 4.24(d) จากการออกแบบจะมี $\xi = 0.5$ ซึ่งเป็น underdamped ตามต้องการ แต่จะเห็นว่าเป็นระบบที่มีเฟสมาร์จินใกล้เคียงกับ $45^{\circ}$

## 4.6 วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป

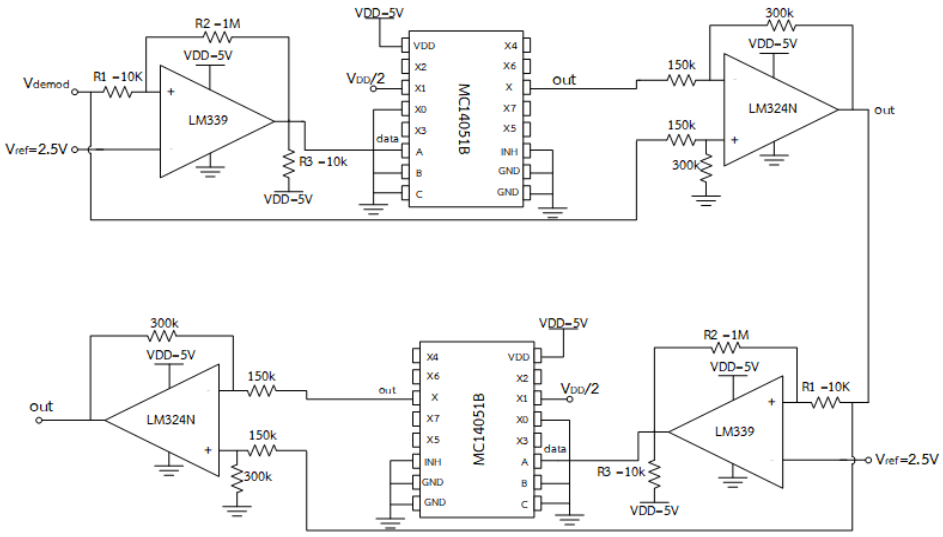
วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ซึ่งจะประกอบด้วยวงจรในหัวข้อที่ 4.4.1-4.4.5 โดยที่ระบบคืนสัญญาณคิวพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s$ = 40 kbit/s และส่วนของวงจรที่เรียกว่า Phase Controller (PC) จะเสมือนนำวงจรในหัวข้อ 4.4.6 มาทำการต่อซ้ำกันแบบคาดเคสโดยจะกล่าวถึงวงจร PC ของระบบนี้ในหัวข้อที่ 4.6.1

### 4.6.1 วงจร Phase Controller (PC)

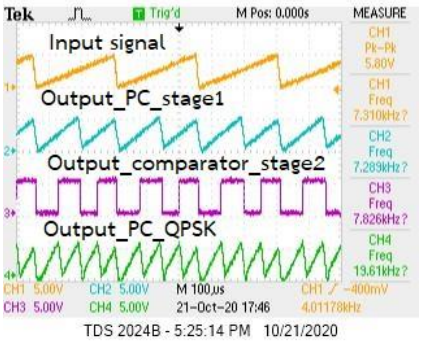
สำหรับวงจรดิสครีตของวงจร Phase Controller (PC) จะประกอบด้วยวงจรเปรียบเทียบสัญญาณแรงดัน , วงจรขยายผลต่างโดยใช้ออปแอมป์ และวงจรอนาล็อคมัลติเพล็กซ์เซอร์ ซึ่งหลักการเชื่อมต่อวงจรดิสครีตของวงจร PC ดังรูปที่ 4.25 สำหรับการทดสอบวงจร PC รูปที่ 4.25(a) ด้วยการป้อนสัญญาณทดสอบสีเหลืองดังรูปที่ 4.25(b) , สัญญาณสีฟ้าเป็นเอาท์พุทของวงจร PC สเตจแรก , สัญญาณสีชมพูเป็นสัญญาณเอาท์พุทของวงจรเปรียบเทียบแรงดัน และสัญญาณสีเขียวเป็นเอาท์พุทของวงจร PC สเตจสอง



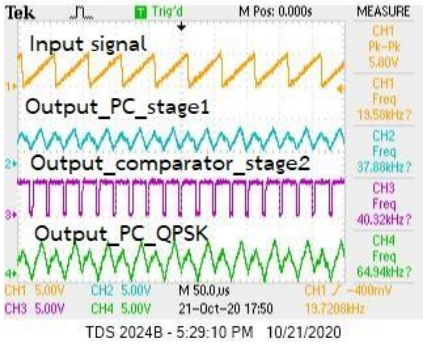

**(a)** บล็อกไดอะแกรมของวงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป




**(b)** วงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป




**(c)** การทดสอบวงจร PC ที่อัตราการส่งข้อมูล 4kbit/s



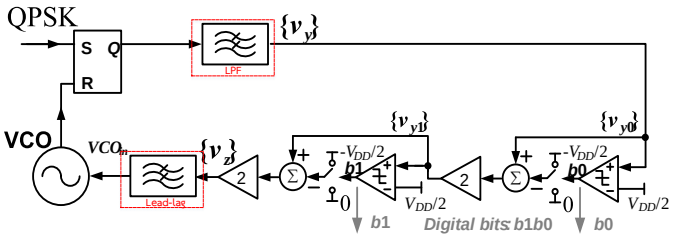

**(d)** การทดสอบวงจร PC ที่อัตราการส่งข้อมูล 20kbit/s

**รูปที่ 4.25** วงจร และการทดสอบวงจร PC ของระบบคืนสัญญาณคิวพีเอสเค

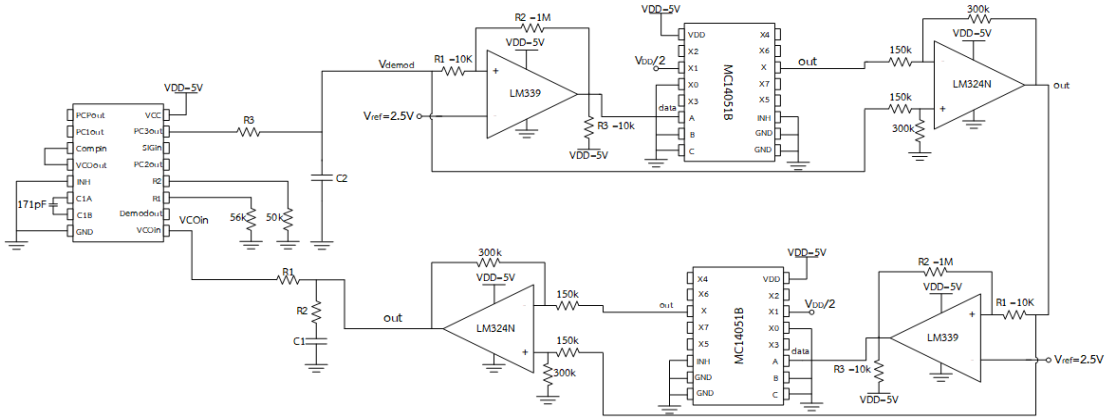
สำหรับผลวัดการทดสอบวงจร PC ของระบบคืนสัญญาณคิวพีเอสเค เมื่ออัตราการส่งข้อมูล 5kbit/s สัญญาณเอาท์พุทสีเขียวของรูปที่ 4.25(b) จะเป็นไปตามหลักการที่กล่าวมาในหัวข้อ 3.4.3.2 และเมื่อเพิ่มอัตราการส่งข้อมูล 20kbit/s จะพบว่าสัญญาณเอาท์พุทสีเขียวรูปที่ 4.25(c) ที่ลักษณะสัญญาณที่ค่อนข้างแย่อาจจะส่งผลกระทบต่อการกู้คืนสัญญาณคิวพีเอสเค โดยอาจจะมีวิธีการแก้ไขด้วยการปรับค่าแรงดันเปรียบเทียบของวงจรเปรียบเทียบแรงดันจากค่า 2.5 V ไปเป็นค่าที่น้อยกว่าตามความเหมาะสม สามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (4.33) และแสดงผลการพล็อตโบดดังรูปที่ 4.26

$$G_{OL}(s) = \frac{9.45s + 4.5\times10^{5}}{4.274\times10^{-9}s^{3} + 8.118\times10^{-4}s^{2} + s} \tag{4.33}$$

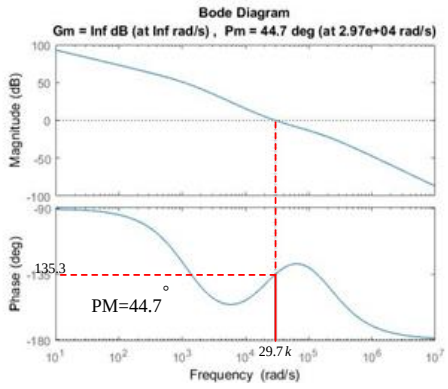
จากขั้นตอนการออกแบบข้างต้นสามารถที่จะนำค่าที่ได้จากกการออกแบบมาทำการหาค่าอิมพีแดนซ์และค่าตัวเก็บประจุของวงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter , LPF) ของวงจรกรองหลังวงจรเปรียบเทียบเฟส (PD) และวงจรกรองหลังวงจร PC ก่อนเข้าเป็นอินพุทวงจร VCO จากรูปที่ 4.26 เป็นวงจรคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนหลักการเฟสล็อกลูป ซึ่งมีค่าพารามิเตอร์ของวงจรกรองดังนี้ $R_3 = 5.3\,\mathrm{k}\Omega$ , $C_2 = 1\,\mathrm{nF}$ และ $R_1 = 7.6\,\mathrm{k}\Omega$ , $R_2 = 420\ \Omega$ และ $C_1 = 100\,\mathrm{nF}$




(a) โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(b) โครงสร้างดิสครีตดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟสของโครงสร้างรูปที่ 4.28(a)

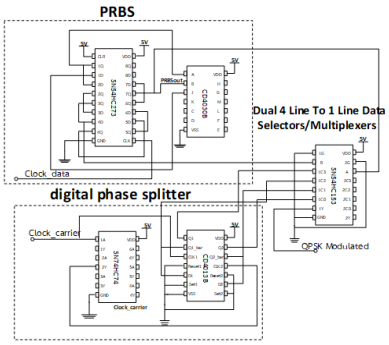



(c) ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 44.7^o$ ที่ความถี่ 29.7 krad/s

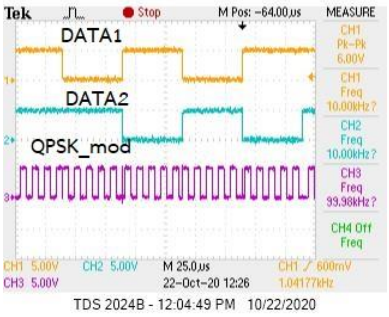
**รูปที่ 4.26** วงจรดิสครีตคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

ก่อนจะทำการทดสอบระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป จำเป็นต้องการสร้างวงจรบีพีเอสเคมอดูเลอเตอร์ เพื่อเป็นสัญญาณอินพุทของการทดสอบระบบ โดยที่วงจรมอดูเลเตอร์จะประกอบด้วย Pseudorandom binary sequence (PRBS) เพื่อสร้างสัญญาณข้อมูล , วงจร Digital Phase Splitter เพื่อสร้างสัญญาณคลื่นพาห์ที่มีเฟส 0 , 90 ,180 และ 270 องศา โดยที่สัญญาณเอาท์พุทจะมีความถี่น้อยกว่าความถี่อินพุทสองเท่า และวงจร Dual 4 Line to 1 Line Data selectors เพื่อเป็นส่วนในการมอดูเลตบีพีเอสเค สมมติสัญญาณข้อมูลบิต 00 เลือกสัญญาณคลื่นพาห์เฟส 0 องศา , สัญญาณข้อมูลบิต 01 เลือกสัญญาณคลื่นพาห์เฟส 90 องศา ,

สัญญาณข้อมูลบิต 10 เลือกสัญญาณคลื่นพาห์เฟส 180 องศา และสัญญาณข้อมูลบิต 11 เลือกสัญญาณคลื่นพาห์เฟส 270 องศา แสดงดังรูปที่ 4.27



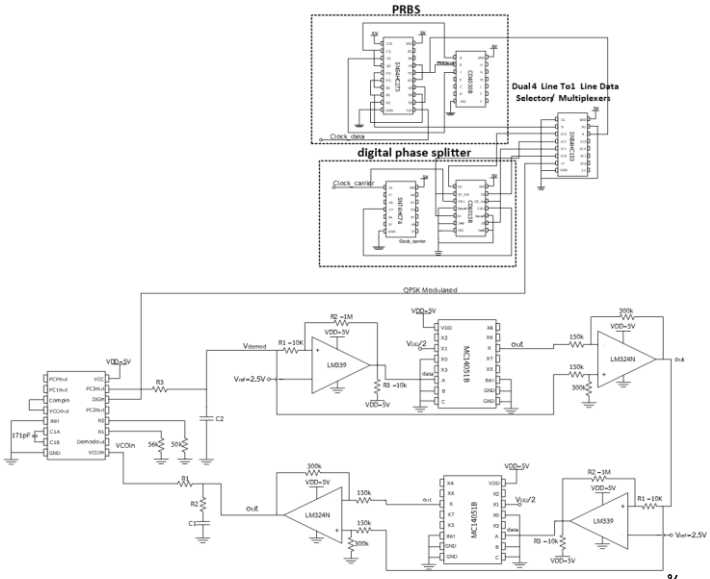

(a) วงจรคิวพีเอสเคมอดูเลเตอร์



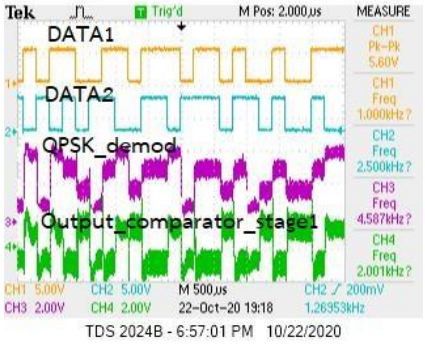

(b) ผลการวัดวงจรคิวพีเอสเคมอดูเลเตอร์

**รูปที่ 4.27** วงจร และผลการวัดวงจรคิวพีเอสเคมอดูเลเตอร์

สำหรับการทดสอบจะแสดงดังรูปที่ 4.28 โดยจากการทดสอบค่าพารามิเตอร์ของอิมพีแดนซ์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD จะมีค่าที่เปลี่ยนไปบ้างเพื่อความเหมาะสมของอัตราการส่งข้อมูล โดยค่าพารามิเตอร์ที่ใช้ในวงจรกรองนี้ที่เปลี่ยนไปนั้นในทางอุดมคติผลกระทบของเสถียรภาพของระบบคืนสัญญาณคิวพีเอสจะมีผลกระทบน้อยมากค่าพารามิเตอร์ที่ใช้ในการทดสอบ $R_3 = 10\,k\Omega$, $C_2 = 1\,nF$ และ $R_1 = 10\,k\Omega$, $R_2 = 470\ \Omega$ และ $C_1 = 100\,nF$



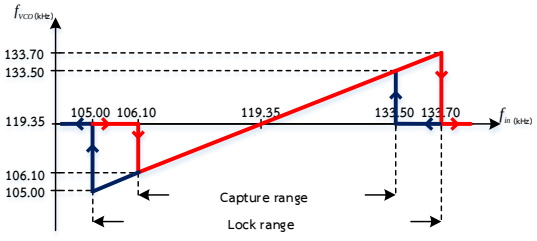

**(a)** วงจรทดสอบระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป



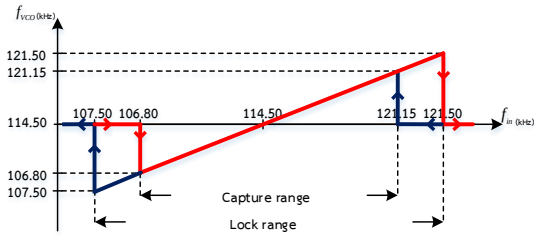

**(b)** ผลการวัดรูปที่ 4.28(a) ที่อัตราส่งข้อมูล 5ksymbols/s และสัญญาณคลื่นพาห์ 116kHz

**รูปที่ 4.28** วงจร และผลการวัดระบบคืนสัญญาณคิวพีเอสเค

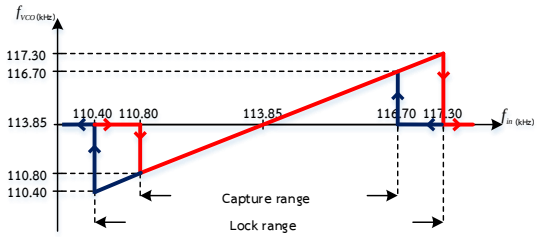
จากการออกแบบเสถียรภาพของระบบคืนสัญญาณคิวพีเอสเคข้างต้นด้วยพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD และวงจรกรองความถี่ต่ำผ่านหลังวงจร PC วัดประสิทธิภาพนั้นคือช่วงของการล็อกความถี่ของระบบคืนสัญญาณ (Lock range) และช่วงการเข้าล็อกความถี่หลังจากที่หลุดล็อกของระบบคืนสัญญาณ (Capture range) โดยจะทำการพล็อตคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ซึ่งจะทำการวัดผลที่อัตราการส่งข้อมูล 2.5ksymbols/s , 10ksymbols/s และ 20ksymbols/s แสดงดังรูปที่ 4.29




**(a)** อัตราการส่งข้อมูล 2.5ksymbols/s




(b) อัตราการส่งข้อมูล 5ksymbols/s




(c) อัตราการส่งข้อมูล 20ksymbols/s

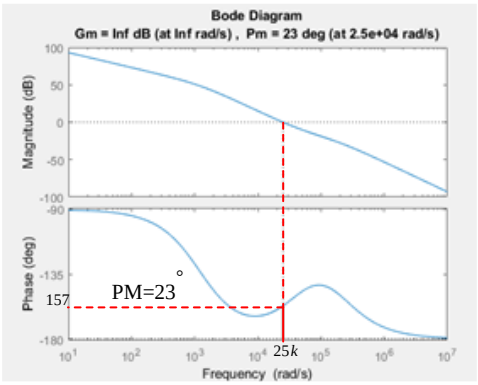
**รูปที่ 4.29** คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

สำหรับคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเครูปที่ 4.29 จะพบว่าเมื่อสัญญาณข้อมูลมีอัตราการส่งข้อมูลที่สูงขึ้นช่วงล็อก และช่องเข้าล็อกจะมีค่าลดน้อยลงอย่างมากเมื่อเปรียบเทียบกับคุณลักษณะของระบบคืนสัญญาณบีพีเอสเครูปที่ 4.19 เมื่อพิจารณารูปที่ 4.25 (d) ซึ่งมีอัตราการส่งสัญญาณข้อมูล 20 ksymbols/s พบว่าสัญญาณเอาท์พุทสีเขียวมีลักษณะที่ไม่ได้ตามต้องการของหลักการคืนสัญญาณคิวพีเอสเค เมื่อเปรียบเทียบสัญญาณเอาท์พุทสีเขียวรูปที่ 4.25 (c) ซึ่งมีอัตราการส่งสัญญาณข้อมูล 4 ksymbols/s

### 4.6.2 ปัญหาของการออกแบบวงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป ที่มีเฟสมาร์จินต่ำ

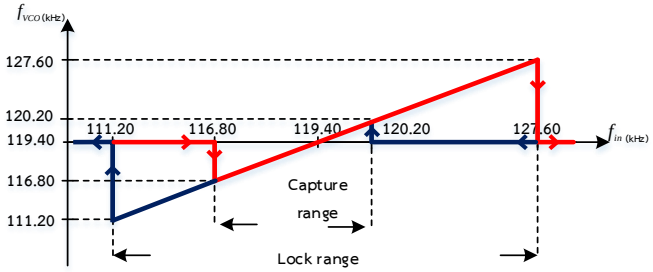
สำหรับปัญหาที่เกิดขึ้นในกรณีที่ผู้ออกแบบไม่เข้าใจในหลักการออกแบบที่เพียงพอส่งผลให้ระบบมีเฟสมาร์จินที่ต่ำยกตัวอย่างเช่นหัวข้อที่ 4.6.2 ผู้ออกแบบทำการลดค่า $\tau_2 = 42\mu s$ มาครึ่งหนึ่งเหลือเพียงค่า $\tau_1 = 42\mu s$ โดยค่าพารามิเตอร์อื่นๆยังคงเดิมส่งผลให้เฟสมาร์จินมีค่าลดลงจากเดิม และค่า $\xi$ ลดลงมาครึ่งหนึ่งส่งผลให้แสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (4.34) และพล็อตโบดดังแสดงรูปที่ 4.30

$$G_{OL}(s) = \frac{18.9s + 4.5\times10^{5}}{4.278\times10^{-9}s^{3} + 8.118\times10^{-4}s^{2} + s} \qquad (4.34)$$




**รูปที่ 4.30** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 23^o$ ที่ความถี่25krad/s

จากผลการพล็อตจะพบว่าเฟสมาร์จินลดลงมาครึ่งหนึ่งของค่าเดิม ซึ่งเสถียรภาพของระบบจะมีโอกาสที่จะกลายเป็นไม่เสถียรภาพเมื่อเจอค่าโหลดของตัวเก็บประจุเกิดขึ้นในวงจร และระบบ โดยสามารถที่จะแสดงคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเคที่มีเฟสมาร์จินต่ำดังแสดงรูปที่ 4.31




**รูปที่ 4.31** คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่มี $P_m = 23^o$ และอัตราการส่งข้อมูล 2.5symbols/s

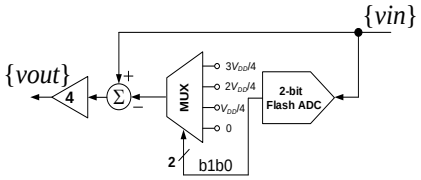
ต่อไปจะกล่าวถึงหัวข้อที่ 4.7 เป็นวงจรคืนสัญญาณคิวพีเอสเคเหมือนหัวข้อที่ 4.6 เพียงวงจร PC เป็นโครงสร้างที่แตกต่างออกไป

**4.7 วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC**

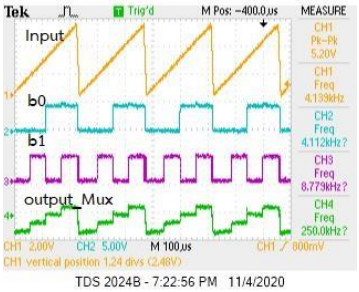
วงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ซึ่งจะประกอบด้วยวงจรในหัวข้อที่ 4.4.1-4.4.5 โดยที่ระบบคืนสัญญาณคิวพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s = 40$ kbit/s และส่วนของวงจรที่เรียกว่า Phase Controller (PC) จะแสดงในหัวข้อที่ 4.7.1.

**4.7.1 วงจร Phase Controller (PC)**

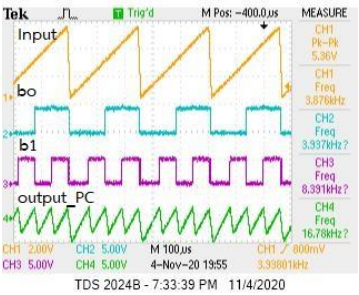
สำหรับวงจรดิสครีตของวงจร Phase Controller (PC) จะประกอบด้วยวงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator) 3 วงจร , วงจรขยายผลต่างโดยใช้ออปแอมป์ที่มีอัตราขยาย 4 เท่า, วงจร Digital Encoding และวงจรอนาล็อคมัลติเพล็กซ์เซอร์ ซึ่งหลักการเชื่อมต่อวงจรดิสครีตของวงจร PC ดังรูปที่ 4.32



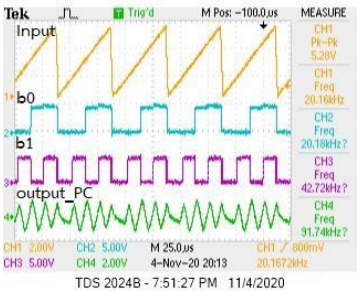

**(a)** บล็อกไดอะแกรมของวงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC




**(b)** สัญญาณ b0 , b1 และ output_Mux ของวงจรรูปที่ 4.32 (a)




**(c)** สัญญาณ b0 , b1 และ output_PC ของวงจรรูปที่ 4.32 (a) ที่ความถี่ 4kHz



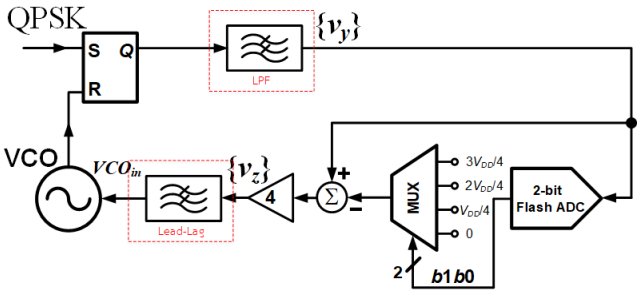

**(d)** สัญญาณ b0 , b1 และ output_PC ของวงจรรูปที่ 4.32 (a) ที่ความถี่ 20kHz

**รูปที่ 4.32** วงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC

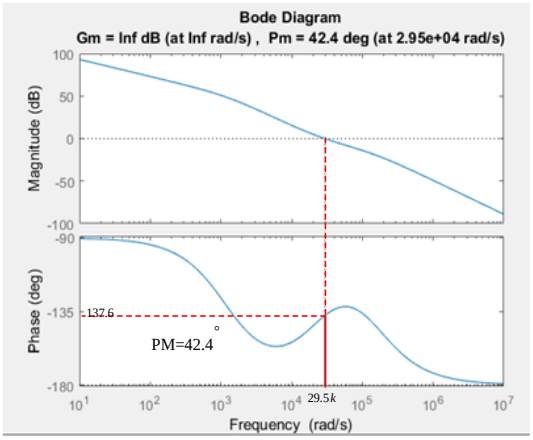
สามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (4.35) และแสดงผลการพล็อตโบดดังรูปที่ 4.33

$$G_{OL}(s) = \frac{18.9s + 4.5\times10^{5}}{5.347\times10^{-9}s^{3} + 8.131\times10^{-4}s^{2} + s} \qquad (4.35)$$

จากขั้นตอนการออกแบบข้างต้นสามารถที่จะนำค่าที่ได้จากกการออกแบบมาทำการหาค่าอิมพีแดนซ์และค่าตัวเก็บประจุของวงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter , LPF) ของวงจรกรองหลังวงจรเปรียบเทียบเฟส (PD) และวงจรกรองหลังวงจร PC ก่อนเข้าเป็นอินพุทวงจร VCO จากรูปที่ 4.33 เป็นวงจรคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียวบนหลักการเฟสล็อกลูป ซึ่งมีค่าพารามิเตอร์ของวงจรกรองดังนี้ $R_3 = 6.6\,\text{k}\Omega$ , $C_2 = 1\,\text{nF}$ และ $R_1 = 7.6\,\text{k}\Omega$ , $R_2 = 420\ \Omega$ และ $C_1 = 100\,\text{nF}$



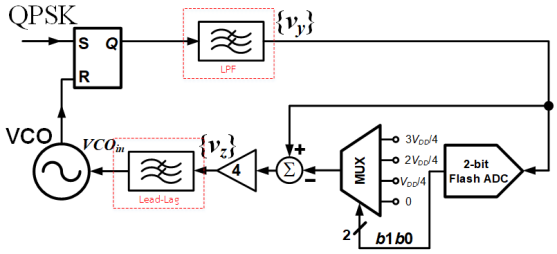

**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมีวงจร 2-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC



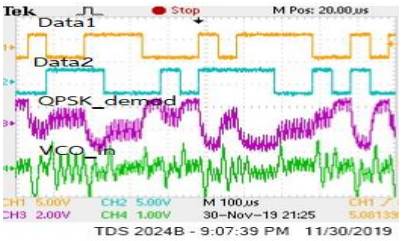

**(b)** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 42.4^o$ ที่ความถี่ 29.5krad/s

**รูปที่ 4.33** วงจรคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC

สำหรับการทดสอบจะแสดงดังรูปที่ 4.34 โดยจากการทดสอบค่าพารามิเตอร์ของอิมพีแดนซ์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD จะมีค่าที่เปลี่ยนไปบ้างเพื่อความเหมาะสมของอัตราการส่งข้อมูล โดยค่าพารามิเตอร์ที่ใช้ในวงจรกรองนี้ที่เปลี่ยนไปนั้นในทางอุดมคติผลกระทบของเสถียรภาพของระบบคืนสัญญาณคิวพีเอสจะมีผลกระทบน้อยมากค่าพารามิเตอร์ที่ใช้ในการทดสอบ $R_3 = 12\,\text{k}\Omega$ , $C_2 = 1\,\text{nF}$ และ $R_1 = 10\,\text{k}\Omega$ , $R_2 = 470\ \Omega$ และ $C_1 = 100\,\text{nF}$



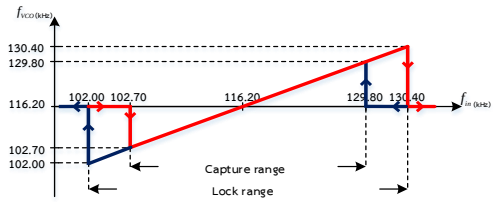

**(a)** วงจรทดสอบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC



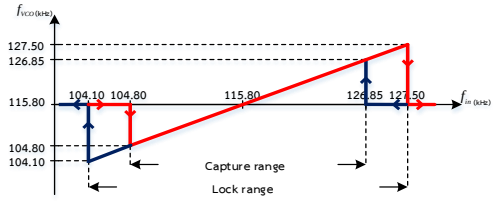

**(b)** ผลการวัดรูปที่ 4.34(a) ที่อัตราส่งข้อมูล 20ksymbols/s และสัญญาณคลื่นพาห์ 116kHz

**รูปที่ 4.34** วงจร และผลการวัดระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC

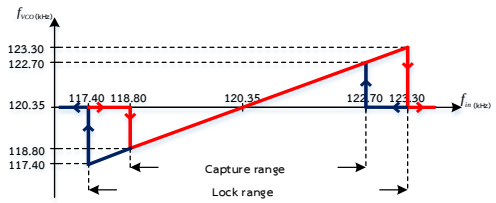
จากการออกแบบเสถียรภาพของระบบคืนสัญญาณคิวพีเอสเคข้างต้นด้วยพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD และวงจรกรองความถี่ต่ำผ่านหลังวงจร PC วัดประสิทธิภาพนั้นคือช่วงของการล็อกความถี่ของระบบคืนสัญญาณ (Lock range) และช่วงการเข้าล็อกความถี่หลังจากที่หลุดล็อกของระบบคืนสัญญาณ (Capture range) โดยจะทำการพล็อตคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC ซึ่งจะทำการวัดผลที่อัตราการส่งข้อมูล 2.5ksymbols/s , 10ksymbols/s และ 20ksymbols/s แสดงดังรูปที่ 4.35




**(a)** อัตราการส่งข้อมูล 2.5ksymbols/s




**(b)** อัตราการส่งข้อมูล 5ksymbols/s




**(c)** อัตราการส่งข้อมูล 20ksymbols/s

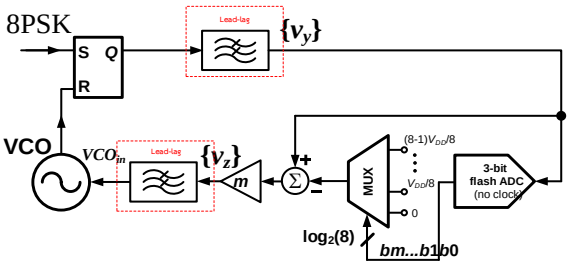
**รูปที่ 4.35** คุณลักษณะของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC

สำหรับคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเครูปที่ 4.35 จะพบว่าเมื่อสัญญาณข้อมูลมีอัตราการส่งข้อมูลที่สูงขึ้นช่วงล็อก และช่องเข้าล็อกจะมีค่าลดน้อยลงแต่ช่วงล็อก และเข้าล็อกเมื่อเปรียบเทียบกับคุณลักษณะของระบบคืนสัญญาณคิวพีเอสเคในรูปที่ 4.32 จะพบว่ามีการลดลงที่น้อยกว่าเมื่ออัตราการส่งข้อมูลเพิ่มขึ้นที่ 5ksymbols/s และ20ksymbols/s หัวข้อต่อไปจะเป็นระบบคืนสัญญาณ8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC

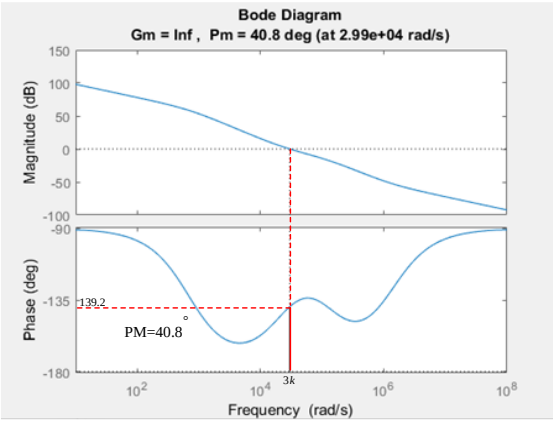
## 4.8 ขั้นตอนการออกแบบระบบคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC

ระบบคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC สำหรับระบบนี้จะมีส่วนที่คล้ายคลึงกับหัวข้อที่ 4.7 เพียงแค่วงจร PC มีการเพิ่มจำนวนตามจำนวนบิตที่เพิ่มขึ้นมาเป็น 3 บิต สมมติว่าสัญญาณข้อมูลถูกมอดูเลตด้วยสัญญาณคลื่นพาห์ ซึ่งสัญญาณคลื่นพาห์ถูกตั้งค่าไว้ที่ 100kHz ดังนั้นระบบคืนสัญญาณ 8-psk จะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5\,\text{rad/s}$ สมมติอัตราการส่งข้อมูล $f_s = 10\,\text{kbit/s}$ สำหรับค่าพารามิเตอร์ของลูปจะมีค่าดังนี้ $K_d = 1/2\pi$, $K_{so} = 8$, $K_{vco} = 125,663\,\text{rad/s/V}$ สำหรับระบบคืนสัญญาณ 8-psk จะเป็นระบบอันดับสามประกอบด้วยวงจรกรองสัญญาณความถี่ต่ำผ่านแบบลำดับที่หนึ่งหลังวงจรเปรียบเทียบเฟสที่มีค่าคงที่เวลา $\tau_3$, วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ lead-lag ก่อนเข้าอินพุทวงจร VCO ที่มีค่าคงที่เวลา $\tau_1$ และ $\tau_2$ ฟังก์ชันถ่ายโอนระบบเปิดของระบบนี้ดังแสดงใน (4.26) สามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (4.36) ไปพล็อตโบดทางขนาดและเฟสในโปรแกรม Matlab แสดงผลดังรูปที่ 4.36 จากขั้นตอนการออกแบบข้างต้นสามารถที่จะนำค่าที่ได้จากกการออกแบบมาทำการหาค่าอิมพีแดนซ์ และค่าตัวเก็บประจุของวงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter , LPF) ของวงจรกรองหลังวงจรเปรียบเทียบเฟส (PD) และวงจรกรองหลังวงจร PC ก่อนเข้าเป็นอินพุทวงจร VCO เป็นวงจรคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียวบนหลักการเฟสล็อกลูป ซึ่งมีค่าพารามิเตอร์ของวงจรกรองดังนี้ $R_3 = 7.2\,\text{k}\Omega$, $R_4 = 795\,\Omega$, $C_2 = 1$ nF และ $R_1 = 13.5\,\text{k}\Omega$, $R_2 = 420\,\Omega$ และ $C_1 = 100\,\text{nF}$

$$G_{OL}(s) = \frac{2.67s^2 + 34.24s + 8\times10^5}{11.13\times10^{-9}s^3 + 1.4\times10^{-3}s^2 + s} \qquad (4.36)$$



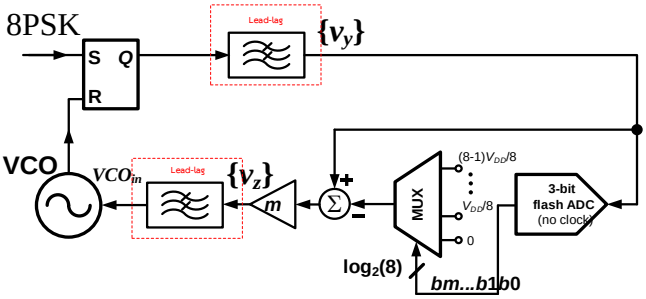

(a) บล็อกไดอะแกรมของวงจร PC ของระบบคืนสัญญาณออกเทลพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC



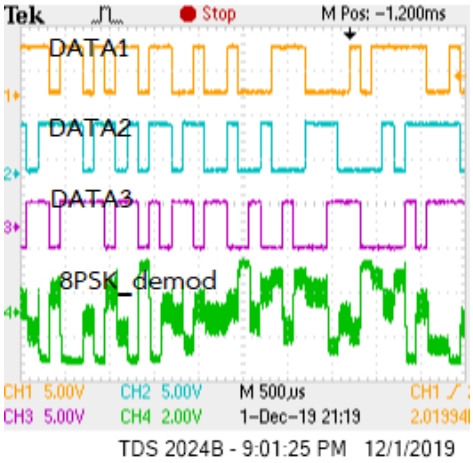

(b) ผลการพล็อตโบดทางขนาด และเฟสของโครงสร้างรูปที่ 4.36(a)

**รูปที่ 4.36** ผลการพล็อตโบดทางขนาด และเฟสของ $G_{OL}(s)$ โดยที่ $P_m = 40.8^o$ ที่ความถี่ 3krad/s

สำหรับการทดสอบจะแสดงดังรูปที่ 4.37 โดยจากการทดสอบค่าพารามิเตอร์ของอิมพีแดนซ์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD จะมีค่าที่เปลี่ยนไปบ้างเพื่อความเหมาะสมของอัตราการส่งข้อมูล โดยค่าพารามิเตอร์ที่ใช้ในวงจรกรองนี้ที่เปลี่ยนไปนั้นในทางอุดมคติผลกระทบของเสถียรภาพของระบบคืนสัญญาณคิวพีเอสจะมีผลกระทบน้อยมากค่าพารามิเตอร์ที่ใช้ในการทดสอบ $R_3 = 12\,k\Omega$, $R_4 = 720\ \Omega$, $C_2 = 1\,nF$ และ $R_1 = 13.5\,k\Omega$, $R_2 = 420\ \Omega$ และ $C_1 = 100\,nF$



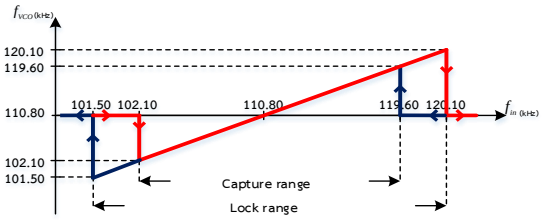

(a) วงจรทดสอบคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC



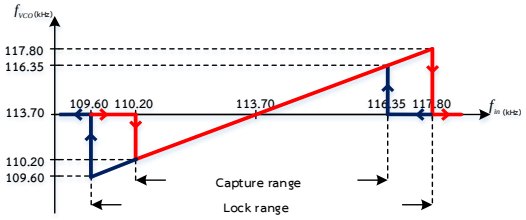

**(b)** ผลการวัดรูปที่ 4.37(a) ที่อัตราส่งข้อมูล 8ksymbols/s และสัญญาณคลื่นพาห์ 117kHz

**รูปที่ 4.37** วงจร และผลการวัดระบบคืนสัญญาณ8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC

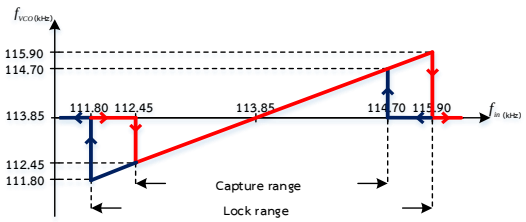
จากการออกแบบเสถียรภาพของระบบคืนสัญญาณ8-psk ข้างต้นด้วยพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่านหลังวงจร PD และวงจรกรองความถี่ต่ำผ่านหลังวงจร PC วัดประสิทธิภาพนั้นคือช่วงของการล็อกความถี่ของระบบคืนสัญญาณ (Lock range) และช่วงการเข้าล็อกความถี่หลังจากที่หลุดล็อกของระบบคืนสัญญาณ (Capture range) โดยจะทำการพล็อตคุณลักษณะของระบบคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC ซึ่งจะทำการวัดผลที่อัตราการส่งข้อมูล 1.25ksymbols/s , 8ksymbols/s และ 15ksymbols/s แสดงดังรูปที่ 4.38




**(a)** อัตราการส่งข้อมูล 1.25ksymbols/s




**(b)** อัตราการส่งข้อมูล 8ksymbols/s

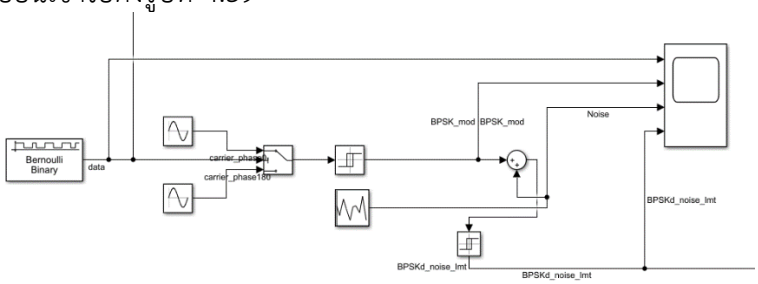



**(c)** อัตราการส่งข้อมูล 15ksymbols/s

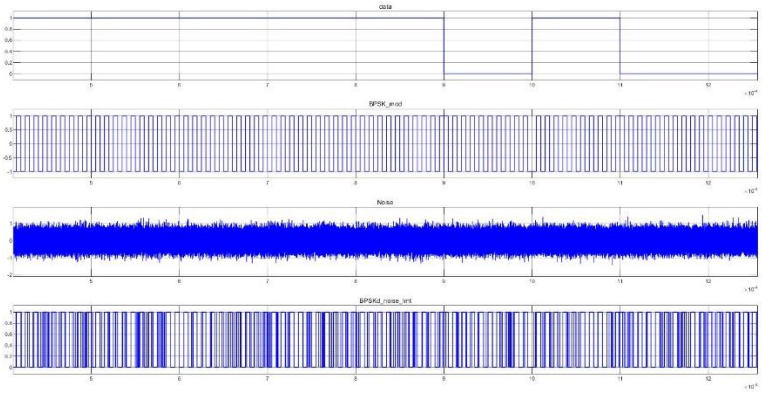
**รูปที่ 4.38** คุณลักษณะของระบบคืนสัญญาณ 8-psk เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC

**4.9 จำลองระบบวัด Bit error rate ของระบบคืนสัญญาณบีพีเอสเค , คิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ด้วยโปรแกรม Matlab Simulink**

สำหรับระบบการสื่อสารประสิทธิภาพที่สำคัญที่ควรจะมีการทดสอบนั้นก็คือการวัด Bit error rate ยิ่งระบบมีประสิทธิภาพสูง ค่า SNR ต่ำ และมีค่า BER ต่ำ โดยค่า SNR เป็นอัตราส่วนของสัญญาณที่ต้องการส่วนด้วยสัญญาณรบกวน ในโปรแกรมMatlab Simulink จะทำการเพิ่มสัญญาณรบกวนด้วยบล็อก Random Source ทำการบวกเพิ่มกับสัญญาณบีพีเอสเคมอสด้วยบล็อก Sum สามารถแสดงสัญญาณ SNR ที่ป้อนเข้าไปดังรูปที่ 4.39




**(a)** การเพิ่มสัญญาณ random noise ไปยังสัญญาณ BPSK modulate บน Matlab Simulink

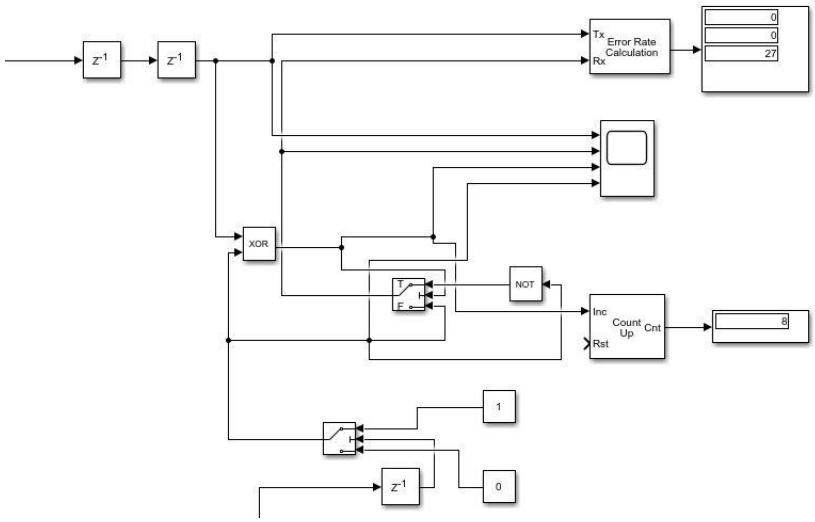



**(b)** ผลการทดสอบสัญญาณที่ SNR 8 dB

**รูปที่ 4.39** การเพิ่มสัญญาณ random noise และการทดสอบ

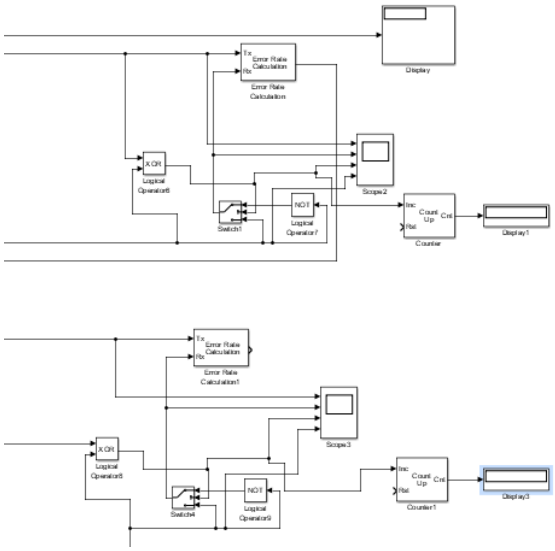
ส่วนต่อไปจะเป็นการสร้างบล็อก Simulink เพื่อทำการวัด BER โดยเริ่มจากสัญญาณข้อมูลเดิมจะมีการ Sampling ด้วยค่าความถี่เดียวกับสัญญาณข้อมูลเดิม (PRBS) และดีเลย์เวลาด้วยค่าเดียวกับระยะห่างของดีเลย์ระหว่างสัญญาณข้อมูลเดิมกับสัญญาณข้อมูลที่ได้จากการดีมอดูเลตจากระบบ และนำสัญญาณข้อมูลดีมอดูเลต Sampling ด้วยค่าความถี่เดียวกับสัญญาณข้อมูลเดิม (PRBS) ต่อไปนำ

สัญญาณข้อมูลเดิม (PRBS) ที่ผ่านการจัดการเข้าไปยัง TX ของบล็อก Error Rate Calculation ส่วนของสัญญาณเข้า RX มาจากการนำสัญญาณเอาท์พุท XOR ที่มีอินพุทจากสัญญาณข้อมูลเดิม และสัญญาณข้อมูลดีมอดูเลตที่ผ่านการ Sampling และดีเลย์เวลา และนำสัญญาณเอาท์พุท XOR ไปยังวงจรสวิตซ์สองอินพุทที่มีอินพุทสัญญาณข้อมูลมอดูเลต กับสัญญาณอินเวอร์เตอร์สัญญาณข้อมูลมอดูเลต



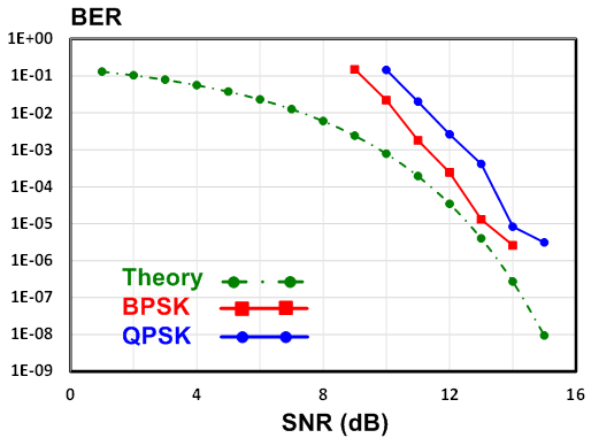

**รูปที่ 4.40** บล็อกการทดสอบ Bit error rate ของระบบคืนสัญญาณบีพีเอสเค เฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป

สำหรับการทดสอบ BER ของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป จะเหมือนกับรูปที่ 4.40 เพียงแต่สัญญาณข้อมูลดีมอดูเลตของคิวพีเอสประกอบด้วยสองบิต ดังนั้นจะทำการสร้างบล็อกการทอสอบแบบบีพีเอสเคดีมอดูเลตสองบล็อกดังแสดงรูปที่ 4.41



**รูปที่ 4.41** บล็อกการทดสอบ Bit error rate ของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป

เมื่อสามารถสร้างบล็อก Simulink เพื่อทดสอบ BER ทั้งบีพีเอสเค และคิวพีเอสเค ส่วนต่อไปจะเป็นการพล็อตกราฟความสัมพันธ์ระหว่าง SNR และ BER เปรียบเทียบกับในอุดมคติสามารถแสดงดังรูปที่ 4.42




**รูปที่ 4.42** กราฟความสัมพันธ์ระหว่าง SNR และ BER

## 4.10 สรุป

หัวข้อนี้จะเป็นการสรุปประสิทธิภาพของโดยรวมของระบบชนิดต่างๆทั้งแบบบีพีเอสเค ,คิวพีเอสเค และ8-PSK ซึ่งจะแสดงตารางที่มีช่วงการล็อกของการกู้คืนสัญญาณ ,ช่วงการเข้าล็อกของการกู้คืนสัญญาณ ,อัตราการส่งข้อมูลสูงสุด และกำลังงานที่ใช้งานในระบบ

| | BPSK | QPSK | | 8-PSK |
|---|---|---|---|---|
| | With 1 stage of 1-bit sub-ranging step | With 2 stages of 1-bit sub-ranging step | With 1 stage of 2-bit flash sub-ranging step | With 1 stage of 3-bit flash sub-ranging step |
| Carrier freq.:<br>+Tuning (Lock) range<br>+Capture range | 101.75-124.75kHz<br>102.50-123.90kHz | 110.40-117.30kHz<br>110.80-116.70kHz | 117.40-123.30kHz<br>118.80-122.70kHz | 111.80-115.90kHz<br>112.45-114.70kHz |
| Max. data rate | 40kbps | 20ksymb/s = 40kbps | 20ksymb/s = 40kbps | 13ksymb/s = 39kbps |
| Power cons. | 140mW | 156mW | 160mW | 192mW |

**ตารางที่ 4-1** สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค และ8-PSK ที่ไฟเลี้ยง 5 V

**4.11 เอกสารอ้างอิง**

[1] Thomas H. Lee , The Design Of CMOS Radio-frequency Integrated Circuits , 2nd ed

[2] E. Roland, Best, phase-locked loops, design, simulation, and applications, 6th edn. (McGraw-Hill, New York, 2007)

[3] F.M. Gardner, in Phaselock Techniques, 3rd edn. (Wiley, New York, 2005)

[4] R.E. Best, N.V. Kuznetsov, G.A. Leonov, M.V. Yuldashev, R.V. Yuldashev, in Tutorial on Dynamic Analysis of the Costas Loop, Annual Reviews in Control, vol. 42 (Elsevier, 2016), pp. 27–49

[5] Texas Instruments CD54HCT4046AF3A High Speed CMOS Logic Phase-Locked-Loop with VCO (https://datasheetspdf.com/pdf-file/1425294/etcTI/CD54HCT4046A/1)

[6] Single Supply Quad Comparators (https://www.alldatasheet.com/datasheet-pdf/pdf/172041/ONSEMI/LM339.html)

[7] Low-Power, Quad-Operational Amplifiers (https://www.ti.com/lit/ds/symlink/lm324)

[8] Analog Multiplexers (https://www.onsemi.com/pub/Collateral/MC14051B-D.PDF)

# บทที่ 5
# การออกแบบวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป

สำหรับหลักการและระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูปได้ทำการศึกษาในบทที่ 3 และการทดลองด้วยวงจรดิสครีตในบทที่ 4 สำหรับบทนี้จะทำการออกแบบวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยจะแสดงโครงสร้างของวงจรรวม และอธิบายวงจรของแต่ละส่วนของวงจรรวม

## 5.1 ข้อกำหนดการออกแบบ

ในการออกแบบวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูปข้อกำหนดในการออกแบบได้กำหนดไว้เบื้องต้นแสดงในตารางที่5-1โดยมีอัตราการส่งสัญญาณข้อมูล , ช่วงการล็อกลูป และกำลังไฟที่ใช้ไปของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ซึ่งค่าพารามิเตอร์ควรจะมีประสิทธิภาพตามมาตรฐานหรือสูงกว่า โดยเทคโนโลยีซีมอสสำหรับการออกแบบวงจรรวมคือ umc 180nm

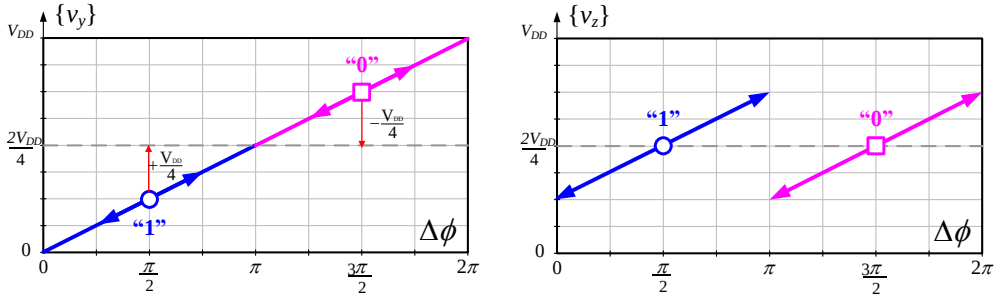
| Parameters | BPSK | QPSK |
|---|---|---|
| อัตราการส่งข้อมูล | 200Mbit/s | 100Msymbol/s |
| ช่วงการล็อกลูป | 5MHz | 2-3MHz |
| กำลังไฟที่ใช้ไป | <7mW | <7mW |

**ตารางที่ 5-1** ข้อกำหนดในการออกแบบระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

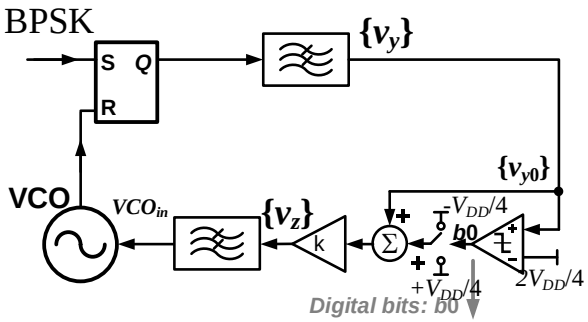
## 5.2 ระบบสถาปัตยกรรมของวงจรรวมของระบบคืนสัญญาณ บีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

รูปที่ 5.1(c) แสดงสถาปัตยกรรมวงจรรวมของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป โดยระบบประกอบด้วยวงจร RSFF positive edge triggered, วงจรเปรียบเทียบแรงดัน (Voltage Comparator), วงจรปรับระดับแรงดัน และวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Controlled Oscillator) ซึ่งวงจร RSFF positive edge triggered ทำหน้าที่เป็นส่วนของตัวเปรียบเทียบเฟสของระบบที่ความถี่ระหว่าง 300M-600 MHz ที่ไฟเลี้ยง 1.8 V โดยสัญญาณแรงดันเอาท์พุทจะเปลี่ยนแปลงตามผลต่างเฟสของอินพุททั้งสองดังสมการที่ 4.22 และส่งต่อไปยังวงจรกรองสัญญาณความถี่ต่ำผ่าน (Low-pass filter) ที่เป็นส่วนอยู่นอกวงจรรวม (off-chip LPF) เพื่อกู้สัญญาณข้อมูลกลับคืนมาซึ่งมีสองระดับสำหรับระบบคืนสัญญาณบีพีเอสเค ซึ่งสัญญาณที่ได้จากวงจรกรองสัญญาณความถี่ต่ำผ่านนี้จะเป็นอินพุทของวงจรเปรียบเทียบแรงดัน และวงจรปรับระดับแรงดัน สำหรับวงจรเปรียบเทียบแรงดันจะมีแรงดันอ้างอิงที่ $V_{DD}/2$ โดยวงจรจะต้องมีการออกแบบฮิสเทอรีซิสอย่างเหมาะสมซึ่งช่วงการทำงานของวงจรจะต้องตอบสนองอัตราการส่ง

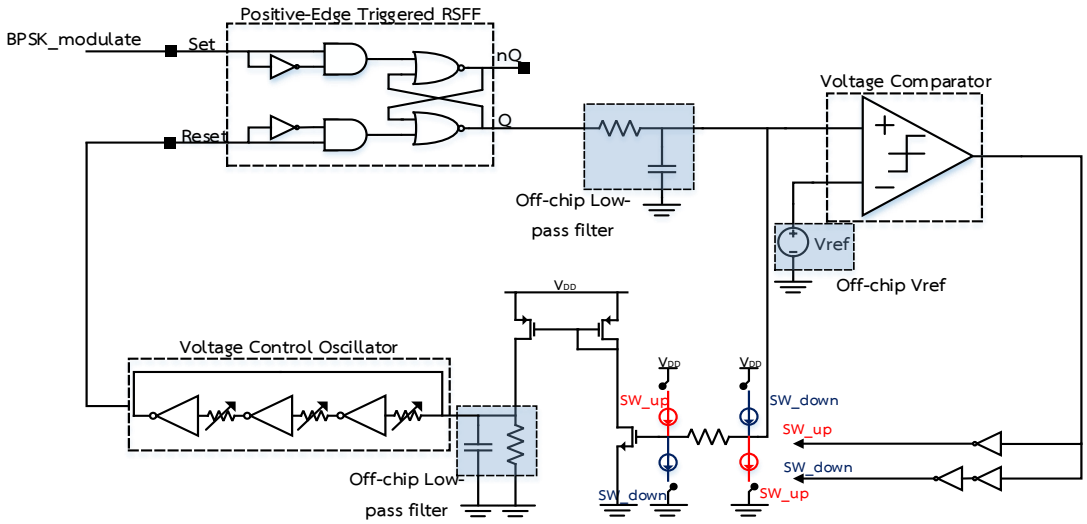
ข้อมูลที่ 100-200Mbit/s ส่วนวงจรปรับระดับแรงดันทำหน้าที่ปรับแรงดันของสัญญาณบีพีเอสเคที่มีค่าต่างกันให้อยู่ในระดับเดียวกันเพื่อเป็นอินพุทของวงจรออสซิสเลเตอร์ควบคุมด้วยแรงดัน เนื่องจากอินพุทของวงจรออสซิสเลเตอร์ควบคุมด้วยแรงดันต้องการแรงดันดีซีดังนั้นจะต้องมีวงจรกรองสัญญาณความถี่ต่ำผ่านกั้นระหว่างเอาท์พุทของวงจรปรับระดับแรงดัน และวงจรออสซิสเลเตอร์ควบคุมด้วยแรงดัน ที่เป็นส่วนอยู่นอกวงจรรวม (off-chip LPF)และสุดท้ายวงจรออสซิสเลเตอร์ที่ควบคุมด้วยแรงดันที่สร้างความถี่ได้ในช่วง 250M-650MHz สำหรับบทนี้เทคนิคของการดึงขึ้นลงของแรงดัน $V_y$ จะใช้การเปรียบเทียบแรงดัน $V_y$ กับระดับแรงดันอ้างอิง $2V_{DD}/4$ และถ้าวงจรเปรียบเทียบแรงดันเอาท์พุทให้ค่าลอจิกเป็น 0 แรงดันอินพุท VCO หรือ $V_z = k\{V_y+(V_{DD}/4)\}$ และถ้าวงจรเปรียบเทียบแรงดันเอาท์พุทให้ลอจิก 1 แรงดันอินพุท VCO หรือ $V_z = k\{V_y+(-V_{DD}/4)\}$ สามารถแสดงแนวคิดการดึงขึ้นลงของสัญญาณ $V_y$ และสัญญาณ $V_z$ ดังรูปที่ 5.1(a) และบล็อกไดอะแกรมของวงจรการกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปดังรูปที่ 5.1(b)




(a) แนวคิดการดึงขึ้นลงแรงดัน $V_y$ และสัญญาณ $V_z$ ที่มีค่า K=1



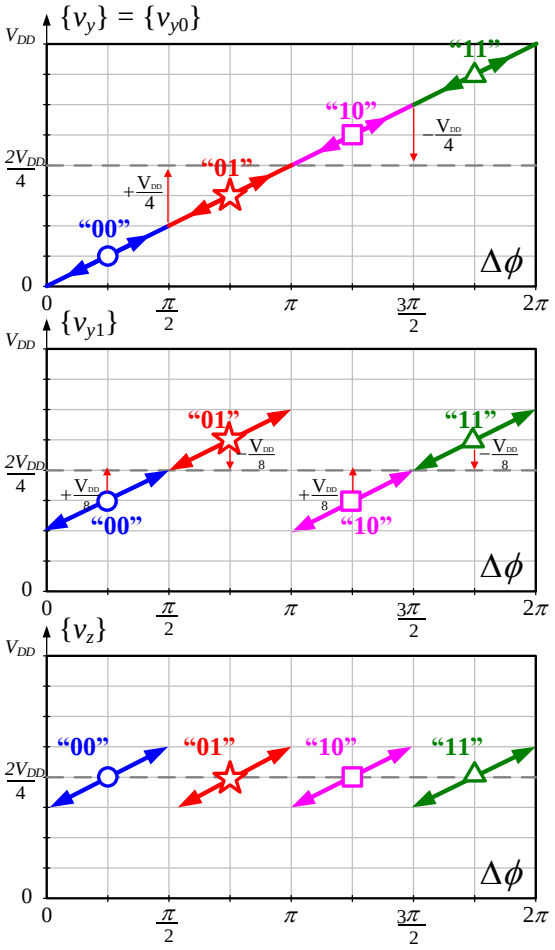

(b) วงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป



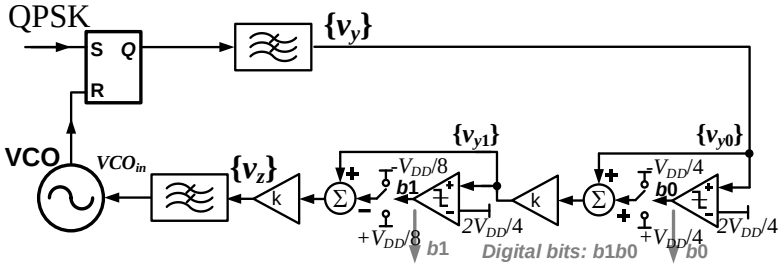

**(c)** สถาปัตยกรรมอย่างง่ายของวงจรรวมระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

**รูปที่ 5.1** ระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

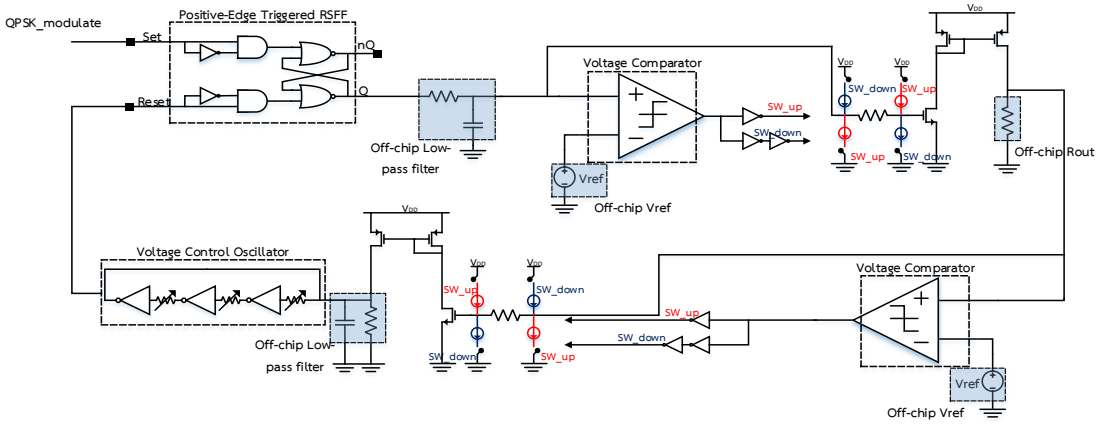
สำหรับสถาปัตยกรรมวงจรรวมของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป จะแสดงดังรูปที่ 5.2(c) วงจรรวมจะเพิ่มวงจรเปรียบเทียบแรงดัน (Voltage Comparator) และวงจรปรับค่าแรงดันอย่างละหนึ่งวงจร โดยทั่วไปสามารถที่จะใช้วงจรรวมที่ได้ออกแบบของวงจรเปรียบเทียบแรงดัน และวงจรปรับค่าแรงดันจากระบบคืนสัญญาณบีพีเอสเค ดังนั้นแนวคิดนี้จึงมีความสะดวกในการเพิ่มจำนวนบิตของข้อมูล สำหรับรูปที่ 5.2(a) สัญญาณ $V_{y0}$ เปรียบเทียบกับแรงดันอ้างอิง $2V_{DD}/4$ เมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 0 แรงดัน $V_{y1} = k\{(V_{y0}+(V_{DD}/4)\}$ และเมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 1 แรงดัน $V_{y1} = k\{(V_{y0}+(-V_{DD}/4)\}$ และกระบวนการต่อไปนำสัญญาณ $V_{y1}$ เปรียบเทียบกับแรงดันอ้างอิง $2V_{DD}/4$ เมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 0 แรงดัน $V_z = k\{(V_{y1}+(V_{DD}/8)\}$ และเมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 1 แรงดัน $V_z = k\{(V_{y1}+(-V_{DD}/8)\}$ โดยแรงดัน $V_z$ จะมีเพียงระดับแรงดันเดียวซึ่งจะเป็นแรงดันอินพุทของ VCO สามารถแสดงแนวคิดของสัญญาณแรงดัน $V_{y0}$, สัญญาณแรงดัน $V_{y1}$ และสัญญาณแรงดัน $V_z$ แสดงดังรูปที่ 5.2(a) และบล็อกไดอะแกรมของวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป




(a) แนวคิดการดึงขึ้นลงแรงดัน $V_{y0}$, $V_{y1}$ และสัญญาณ $V_z$ ที่มีค่า K=1




(b) วงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป




**(c)** สถาปัตยกรรมอย่างง่ายของวงจรรวมระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

**รูปที่ 5.2** ระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

ต่อไปจะเป็นการอธิบายการออกแบบของวงจรส่วนต่างของสถาปัตยกรรมของวงจรรวมระบบคืนสัญญาณบีพีเอสเค และระบบคืนสัญญาณคิวพีเอสเค

## 5.3 การออกแบบวงจร

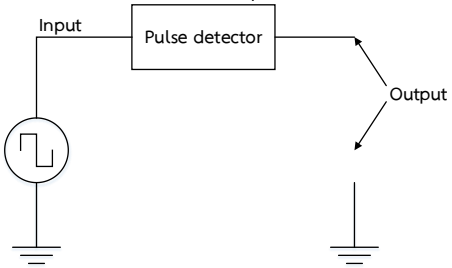
การออกแบบวงจรรวมของระบบคืนสัญญาณบีพีเอสเค และระบบคิวพีเอสเค จากรูปที่ 5.1(c) และรูปที่ 5.2(c) ซึ่งวงจรรวมแต่ละบล็อคจะต้องทำการออกแบบตามความถี่ที่ใช้งาน กำลังการใช้งานที่ต่ำ และมีประสิทธิภาพเหมาะสมตามมาตรฐานหรือสูงกว่าของผู้ออกแบบก่อนหน้า

### 5.3.1 Positive Edge Triggered RS Flip Flop

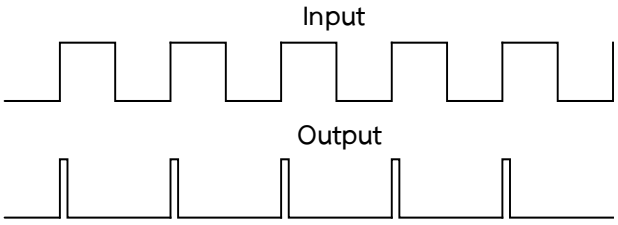
จากบทที่ก่อนหน้าวงจร positive edge triggered rsff ได้มาจากไอซีเฟสล็อกลูปเบอร์ CD4046 ส่วนหัวข้อนี้เป็นการสร้างมาจากวงจรมาจากระดับทรานซิสเตอร์เทคโนโลยีซีมอส ซึ่งคุณลักษณะของวงจรจะต้องเหมือนบทก่อนหน้า และความถี่ที่จะทำการออกแบบจะเป็นช่วงการทำงานได้ถึง 600MHz สำหรับวงจร positive edge triggered rsff จะประกอบด้วยวงจรย่อยสองวงจรคือ วงจร S-R latch และวงจร pulse detector

#### 5.3.1.1 pulse detector

แนวคิดต้องการสัญญาณเอาท์พุทพัลส์ที่มีค่าเป็น $V_{DD}$ เพียงช่วงเวลาสั้นในคาบของสัญญาณอินพุทพัลส์ เพื่อสัญญาณเอาท์พุทจะไปทำการเปิดใช้งานวงจร S-R latch โดยวงจร pulse detector จะมีค่าเป็น $V_{DD}$ เริ่มจากขอบขาขึ้นของสัญญาณพัลส์อินพุท สามารถแสดงแนวคิดของวงจรดังรูปที่ 5.3



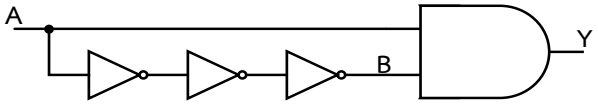

**(a)** บล็อกฟังก์ชันวงจร pulse detector



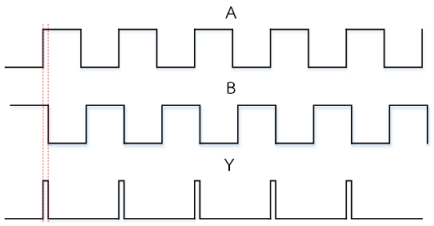

**(b)** Time domain ของวงจร pulse detector

**รูปที่ 5.3** แนวคิดของวงจร pulse detector

ส่วนต่อไปจะทำการสร้างวงจรที่มีแนวคิดดังรูปที่ 5.3 (b) เมื่อพิจารณาสัญญาณพัลส์อินพุทและสัญญาณพัลส์เอาท์พุท วงจรที่จะทำการออกแบบจะต้องแบ่งสัญญาณอินพุทเป็นสองเส้นทาง โดยเส้นทางแรกเป็นสัญญาณอินพุทเข้าไปยังวงจรลอจิกแอนด์เกต (AND Gate) ส่วนอีกเส้นทางจะต้องมีการดีเลย์และสัญญาณจะต้องกลับเฟส 180 องศากับสัญญาณเส้นทางแรก ซึ่งวงจรลอจิกน๊อตเกต (NOT Gate) สามารถแสดงแนวคิดของวงจร pulse detector ในระดับลอจิกเกตดังรูปที่ 5.4




**(a)** วงจร pulse detector



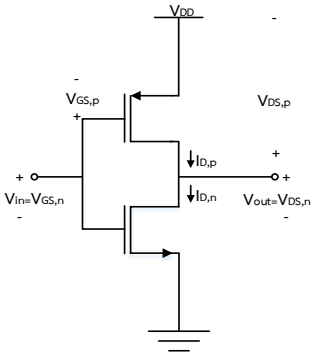

**(b)** time domain ของวงจร pulse detector

**รูปที่ 5.4** วงจร pulse detector

จากรูปที่ 5.4 (a) เป็นวงจร pulse detector ที่ประกอบด้วยวงจรแอนด์เกต และน๊อตเกต หรือวงจรอินเวอร์เตอร์ โดยส่วนต่อไปจะเป็นการสร้างวงจรลอจิกเกตจากทรานซิสเตอร์ซีมอส โดยจะเป็นขั้นตอนการออกแบบที่คำนึงถึงประสิทธิภาพที่ใช้งานอย่างเหมาะสม

- **ซีมอสอินเวอร์เตอร์**

วงจรซีมอสอินเวอร์เตอร์เมื่อสัญญาณอินพุทมีขนาดใหญ่ทรานซิสเตอร์เอ็นมอส (nmos) ดึงลงโหนดเอาท์พุทในขณะที่ทรานซิสเตอร์พีมอส (pmos) ทำหน้าที่เป็นโหลด และสัญญาณอินพุทมีขนาดต่ำทรานซิสเตอร์พีมอส (pmos) ดึงขึ้นโหนดเอาท์พุทในขณะที่ทรานซิสเตอร์เอ็นมอส (nmos) ทำหน้าที่เป็นโหลด โดยวงจรอินเวอร์เตอร์จะเป็นวงจรที่ไม่มีการสูญเสียของพลังงานเนื่องจากกระแสเอาท์พุทมีค่าเป็น 0 A แต่อย่างไรก็ตามในทางปฏิบัติมีกระแสรั่วไหลจึงทำให้มีการสูญเสียพลังงาน สามารถแสดงวงจรอินเวอร์เตอร์ดังรูปที่ 5.5




**รูปที่ 5.5** วงจรซีมอสอินเวอร์เตอร์

จากรูปที่ 5.5 อินพุทเชื่อมต่อขาเกตของซีมอสเอ็นมอส และซีมอสพีมอส ดังนั้นทรานซิสเตอร์ทั้งสองขับเคลื่อนโดยตรงจากสัญญาณอินพุท โดยขาบอดี (body) ของเอ็นมอสเชื่อมต่อกับกราวนด์ และขาบอดี (body) ของพีมอสเชื่อมต่อกับไฟเลี้ยง เนื่องจากของทั้งสองอุปกรณ์ $V_{SB}$=0 V ทำให้ไม่มีผลกระทบต่อการไบอัสค่าแรงดันอินพุท และเอาท์พุทของเอ็นมอสของวงจรอินเวอร์เตอร์รูปที่ 5.5 แสดงดัง

$$V_{GS,n} = V_{in} \tag{5.1}$$

$$V_{DS,n} = V_{out} \tag{5.2}$$

และค่าแรงดันอินพุท และเอาท์พุทของพีมอสของวงจรอินเวอร์เตอร์รูปที่ 5.5 แสดงดัง

$$V_{GS,p} = -\left(V_{DD} - V_{in}\right) \tag{5.3}$$

$$V_{DS,p} = -\left(V_{DD} - V_{out}\right) \tag{5.4}$$

พิจารณาการทำงานของวงจรซีมอสอินเวอร์เตอร์มีสองกรณี เมื่อสัญญาณอินพุทมีขนาดเล็ก $V_{in} < V_{th,n}$ ทรานซิสเตอร์เอ็นมอสจะไม่ทำงาน (cut-off) และทรานซิสเตอร์พีมอสจะทำงาน (on) ในทางตรงกันข้ามเมื่อสัญญาณอินพุทมีขนาดใหญ่ $V_{in} > V_{th,p}$ ทรานซิสเตอร์เอ็นมอสจะทำงาน (on) และทรานซิสเตอร์พีมอสจะไม่ทำงาน (cut-off) ทั้งสองกรณีกระแสเดรนจะประมาณมีค่าเป็นศูนย์

$$I_{D,n} = I_{D,p} = 0 \tag{5.5}$$

- **ออกแบบวงจรซีมอสอินเวอร์เตอร์ด้วยการคำนวณ**

สำหรับการออกแบบวงจรซีมอสอินเวอร์เตอร์จำทำการพิจาณาค่าพารามิเตอร์ที่สำคัญได้แก่ ขนาดแรงดันอินพุทที่ทำให้วงจรอินเวอร์เตอร์ทำงาน, แรงดันขีดเริ่มของวงจรซีมอสอินเวอร์เตอร์, ขนาดของดีเลย์จากอินพุทไปยังเอาท์พุท และดีเลย์เอาท์พุทจากสัญญาญขนาดใหญ่ ($V_{DD}$) ไปยังสัญญาณขนาดเล็ก (0 V) และจากสัญญาณขนาดเล็ก (0 V) ไปยังสัญญาณขนาดใหญ่ ($V_{DD}$) และส่วนสำคัญอีกอย่างหนึ่งกำลังงานที่ใช้ของวงจรซีมอสอินเวอร์เตอร์ สามารถแสดงฟังก์ชันของแรงดันอินพุทที่ต่ำอย่างน้อยที่สุด ($V_{IL}$) ที่วงจรซีมอสอินเวอร์เตอร์เริ่มทำงาน, ฟังก์ชันของแรงดันอินพุทที่สูงอย่างน้อยที่สุดที่ ($V_{IH}$) ที่วงจรซีมอสอินเวอร์เตอร์เริ่มทำงาน และแรงดันขีดเริ่ม ($V_{th}$) ของวงจรซีมอสอินเวอร์เตอร์ดังตารางที่ 5-2

| | |
|---|---|
| Calculation of $V_{IL}$ | $V_{IL} = \dfrac{2V_{out} + V_{th,p} - V_{DD} + k_R V_{th,n}}{1 + k_R}$ |

| | |
|---|---|
| Calculation of $V_{IH}$ | $V_{IH} = \frac{V_{DD} + V_{th,p} + k_R\left(2V_{out} + V_{th,n}\right)}{1 + k_R}$ |
| Calculation of $V_{th}$ | $V_{th} = \frac{V_{th,n} + \sqrt{\frac{1}{k_R}}\left(V_{DD} + V_{th,p}\right)}{\left(1 + \sqrt{\frac{1}{k_R}}\right)}$ |

**ตารางที่ 5-2** สมการฟังก์ของ $V_{IL}$, $V_{IH}$, และ $V_{th}$ [5.1]

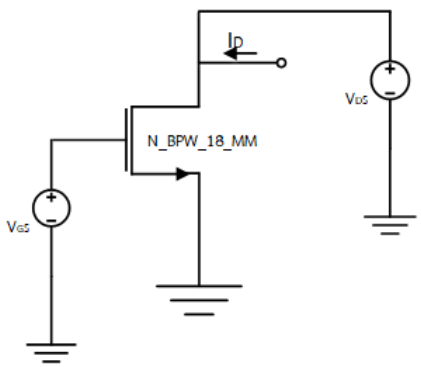
โดยที่

$$k_R = \frac{k_n}{k_p} = \frac{u_n C_{ox} \cdot \left(\frac{W}{L}\right)_n}{u_p C_{ox} \cdot \left(\frac{W}{L}\right)_p} \tag{5.6}$$

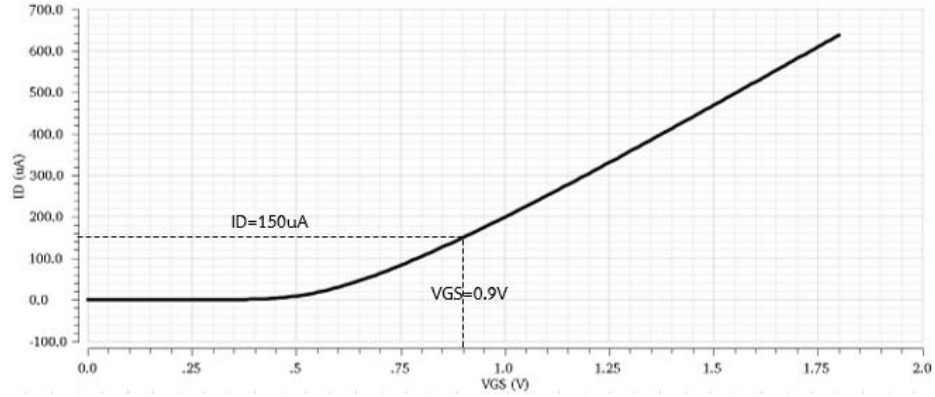
สำหรับการออกแบบวงจรซีมอสอินเวอร์เตอร์จะต้องมีความสมมาตร ซึ่งสามารถกำหนดด้วยอัตรส่วนระหว่างเอ็นมอส และพีมอส หรือกล่าวอีกในหนึ่งก็คือค่าของ $k_R$=1 ส่งผลให้ค่าแรงดันขีดเริ่มของเอ็นมอสมีค่าเท่ากับค่าสมบูรณ์ของแรงดันขีดเริ่มของพีมอสสามารถแสดงดังสมการที่

$$V_{th,n} = \left|V_{th,p}\right| \tag{5.7}$$

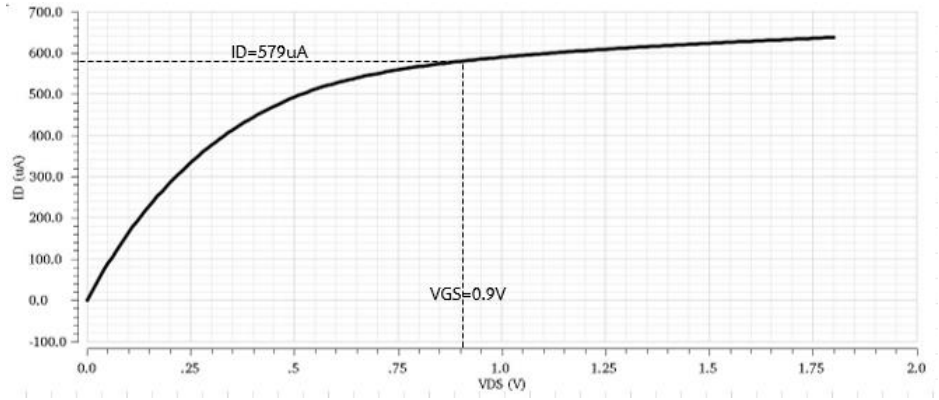
จากสมการที่ (5.6) ต้องการทำให้ $k_R$=1 ดังนั้นจะต้องทำการจำลองทรานซิสเตอร์ในเทคโนโลยีซีมอส umc180nm โดยทรานซิสเอตร์เอ็นมอสจะใช้ N_BPW_18_MM และทรานซิสเตอร์พีมอสจะใช้ P_18_MM เริ่มจากการทดสอบความสัมพันธ์ของกระแส และแรงดันของทรานซิสเตอร์เอ็นมอส การจำลองจะวัดกระแสเดรน $I_D$ โดยให้แรงดันเดรน-ซอส VDS=1.8V และทำการปรับเปลี่ยนค่าแรงดันเกท-ซอส VGS จากแรงดัน 0 V ถึง 1.8 V และจำลองกระแสเดรน $I_D$ โดยให้แรงดันเกท-ซอสVGS=1.8V และทำการปรับเปลี่ยนค่าแรงดันเดรน-ซอส VDS จากแรงดัน 0 V ถึง 1.8 V โดยทรานซิสเตอร์ N_BPW_18_MM มี W=1uM และ L=0.180uM สามารถแสดงดังรูปที่ 5.6



**(a)** Schematic ของการทดสอบความสัมพันธ์ของ $I_D$ และ VGS และควาสัมพันธ์ของ $I_D$ และ $V_{DS}$ ของทรานซิสเตอร์เอ็นมอส



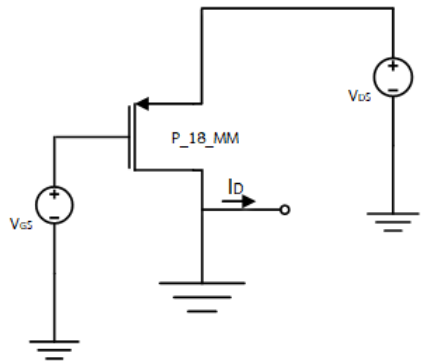

**(b)** กราฟความสัมพันธ์ $I_D$ และ $V_{GS}$



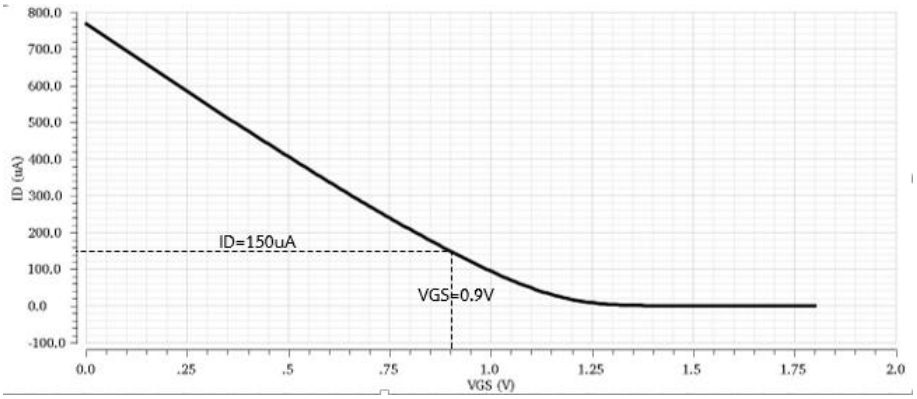

**(c)** กราฟความสัมพันธ์ $I_D$ และ $V_{DS}$

**รูปที่ 5.6** การจำลอง และผลการจำลองของ N_BPW_18_MM

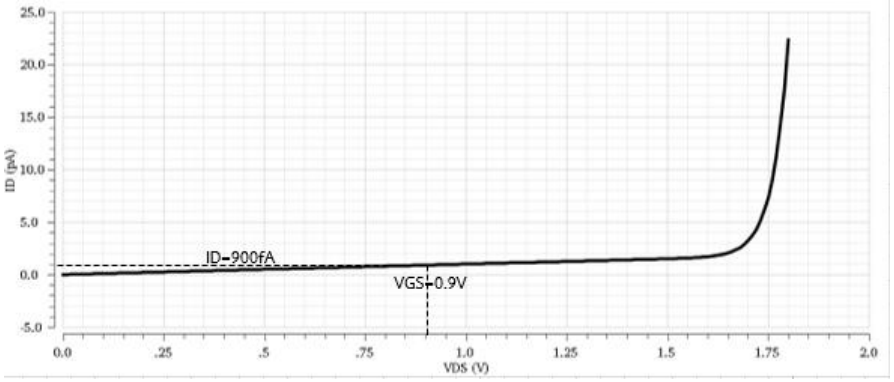
ต่อไปจำทำการหาค่า W ของทรานซิสเตอร์พีมอส P_18_MM เพื่อทำให้ค่า $k_R$=1 ซึ่งสามารถที่จะทำได้ด้วยการจำลอง P_18_MM เพื่อหาค่ากระแสเดรน $I_D$ กับความสัมพันธ์แรงดันเกท-ซอส $V_{GS}$ และกระแสเดรน $I_D$ กับความสัมพันธ์แรงดันเดรน-ซอส $V_{DS}$ สามารถแสดงดังรูปที่ 5.7




**(a)** Schematic ของการทดสอบความสัมพันธ์ของ $I_D$ และ VGS และควาสัมพันธ์ของ $I_D$ และ $V_{DS}$ ของทรานซิสเตอร์พีมอส



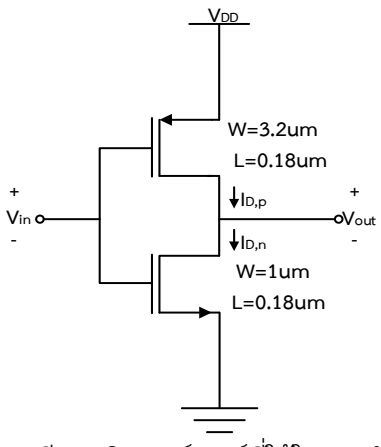

**(b)** กราฟความสัมพันธ์ $I_D$ และ $V_{GS}$



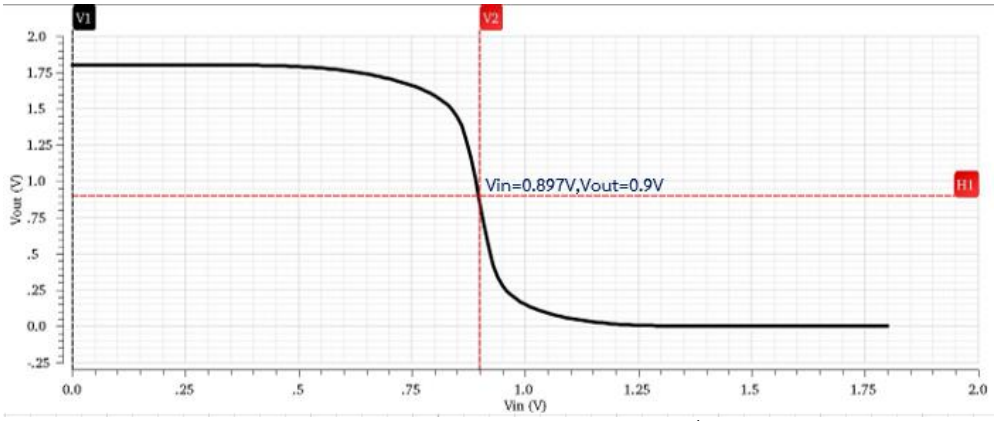

**(c)** กราฟความสัมพันธ์ $I_D$ และ $V_{DS}$

**รูปที่ 5.7** การจำลอง และผลการจำลองของ P_18_MM

จากการจำลองทรานซิสเตอร์เอ็นมอส N_BPW_18_MM ที่ขนาด w =1um และ L =0.18um ที่แรงดันเกทซอสมีค่า 0.9V และไฟเลี้ยงแรงดันเดรนซอสมีค่า 1.8V จะได้กระแสเดรนประมาณ 150uA และที่ทรานซิสเตอร์พีมอส P_18_MM ที่ขนาด w = 3.2uA และ L=0.18um ที่แรงดันเกทซอสมีค่า 0.9V และไฟเลี้ยงแรงดันเดรนซอสมีค่า 1.8V จะได้กระแสเดรนประมาณ 150uA จะพบว่าขนาดของเอ็นมอส และพีมอสค่านี้จะส่งผลให้ค่า $k_R$=1 ต่อไปจะทำการจำลองวงจรอินเวอร์เตอร์รูปที่ 5.5 โดยใช้ขนาดเอ็นมอส และพีมอสตามที่กล่าวมาก่อนหน้านี้แสดงดังรูปที่ 5.8




**(a)** วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการจำลอง



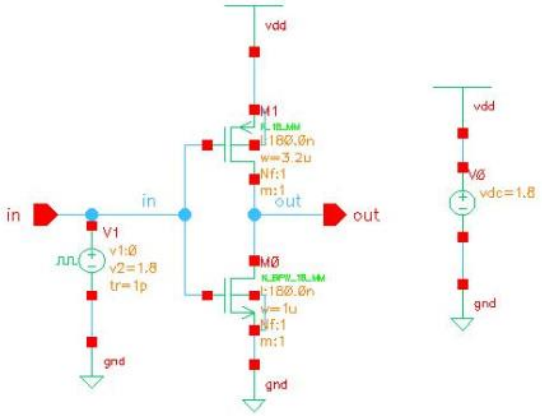

**(b)** ผลจำลองดีซีของวงจรอนเวอร์เตอร์รูปที่ 5.8(a)

**รูปที่ 5.8** วงจรอินเวอร์เตอร์ และการจำลอง

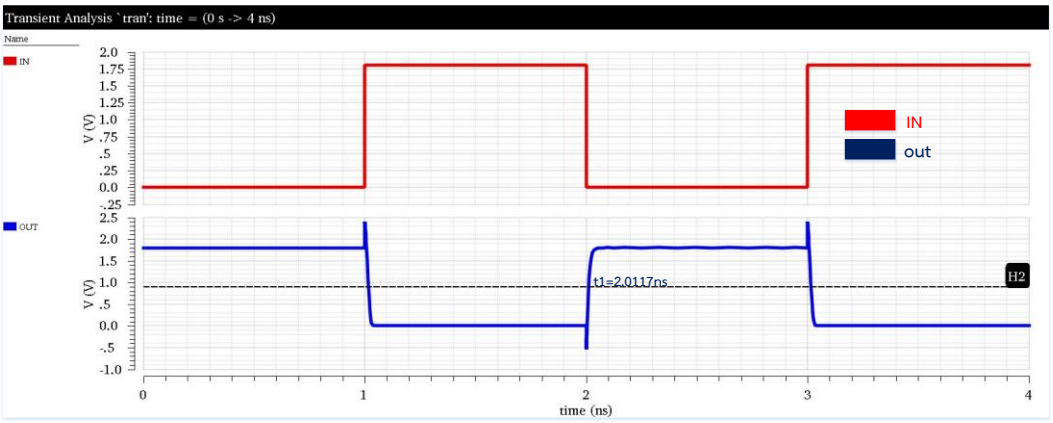
จากการจำลองวงจรอินเวอร์เตอร์พบว่าแรงดันอินพุทดีซีมีค่า 0.9V จะมีแรงดันเอาท์พุทดีซีมีค่า 0.85V ซึ่งเป็นค่าทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอสมีค่า $k_R$ ใกล้เคียงกับ 1 ดังนั้นจึงสามารถเขียนความสัมพันธ์ระหว่างทรานซิสเตอรีเอ็นมอส และทรานซิสเตอร์พีมอสดังที่ (5.8)

$$k_n = 3.2k_p \tag{5.8}$$

จากค่าความสัมพันธ์สมการที่ (5.8) สามารถที่จะใช้สำหรับการออกแบบวงจรลอจิกแบบต่างๆเพื่อการ sizing ต่อไปจะเป็นการจำลองวงจรทรานซิสเตอร์ด้วยการป้อนสัญญาณพัลส์เข้าไปที่ความถี่ 500MHz เพื่อดูฟังก์ชันการทำงาน และจะจำลองดู delay ระหว่างอินพุท และเอาท์พุท และสามารถจำลองดูแสดงดังรูปที่ 5.9



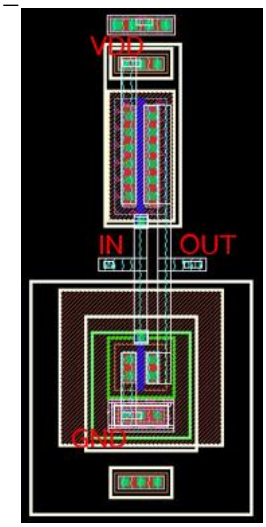

**(a)** schematic inverter



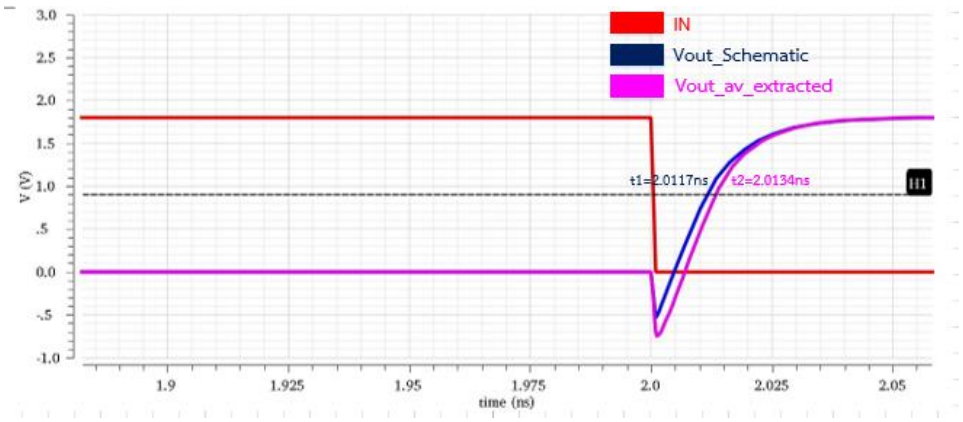

**(b)** delay =0.0117ns ระหว่างสัญญาณอินพุท และสัญญาณเอาท์พุท

**รูปที่ 5.9** Schematic และผลการจำลองวงจรอินเวอร์เตอร์ด้วยสัญญาณอินพุทพัลส์

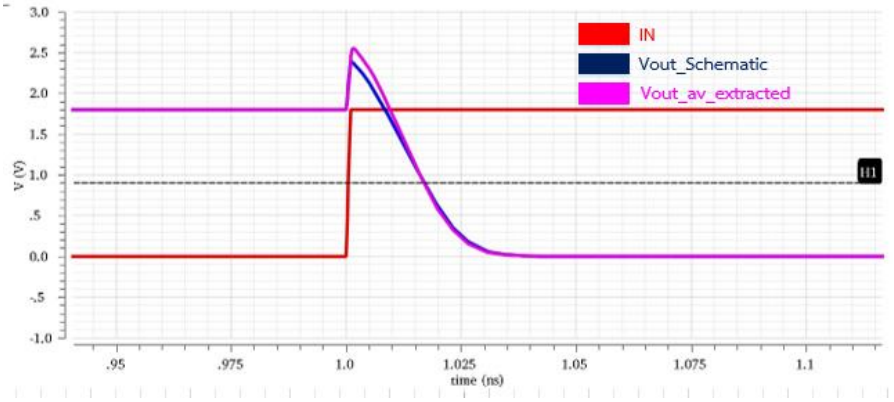
จากการจำลองพบว่าที่ขนาดเอ็นมอส และพีมอสดังรูปที่ 5.9(a) ฟังก์ชันการทำงานของวงจรอินเวอร์เตอร์ทำงานได้ และมี delay = 0.0117ns สำหรับค่าแรงดัน $V_{IL}$=0.55V ,แรงดัน $V_{IH}$=1.25V และที่ค่าแรงดันนี้จะให้ delay =0.0178ns ส่วนต่อไปจะเป็นการวาด layout ของวงจรอินเวอร์เตอร์เพื่อทำการเปรียบเทียบระหว่างวงจร schematic และวงจร layout วงจรทั้งสองมี delay ,$V_{IL}$ และ $V_{IH}$ รวมทั้งฟังก์ชันการทำงานสามารถแสดงlayout ของวงจรอินเวอร์เตอร์รูปที่ 5.10 และทำการเปรียบเทียบของ schematic และ av_extracted




**(a)** layout วงจรอินเวอร์เตอร์รูปที่ **5.9(a)**



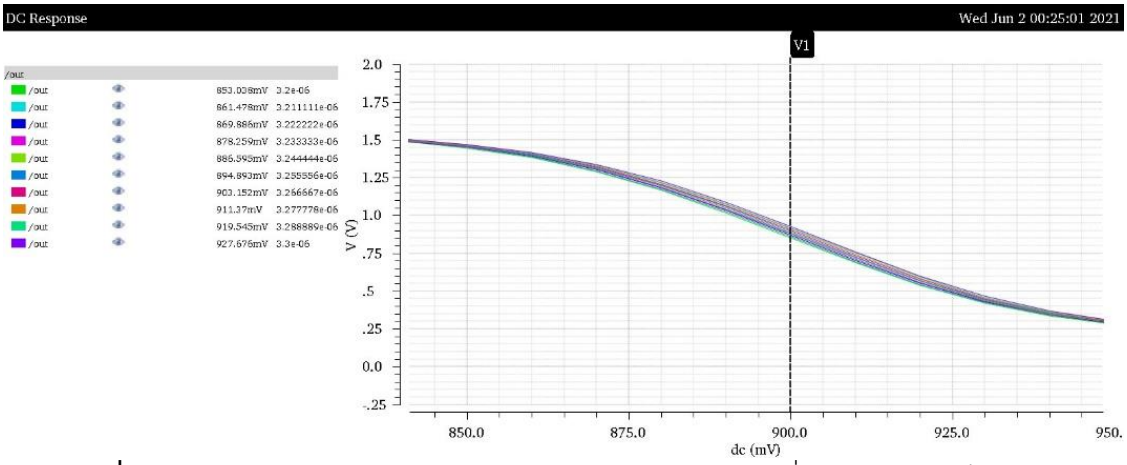

**(b)** ผลการจำลองวงจรอินเวอร์เตอร์เปรียบเทียบระหว่าง schematic และ av_extracted เป็นช่วง rise time




**(c)** ผลการจำลองวงจรอินเวอร์เตอร์เปรียบเทียบระหว่าง schematic และ av_extracted เป็นช่วง fall time

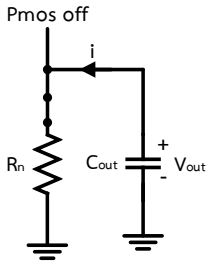
**รูปที่ 5.10** layout และผลการจำลองเปรียบเทียบระหว่าง schematic และ av_extracted

จากการจำลองวงจรซีมอสอินเวอร์เตอร์แบบ schematic และ av_extracted จะพบว่า av_extracted จะมี parasitic capacitance และ parasitic resistance ส่งผลให้มี delay มากกว่าแบบ schematic ต่อไปจะทำการปรับขนาดเอ็นมอส และพีมอสของวงจรอินเวอร์เตอร์ด้วยการต่อวงจรอินเวอร์เตอร์ และทำการ sweep แรงดันอินพุทดีซีจาก 0 ถึง 1.8V และทำการคงค่าขนาดของเอ็นมอส w=1um ,l=0.18um และทำการปรับค่าขนาด w ของพีมอส และคงค่า l=0.18um และดูเอาท์พุทขาเดรนของวงจรอินเวอร์เตอร์ที่แรงดันเอาท์พุท 0.9V มีแรงดันอินพุทดีซีที่ 0.9 V สามารถแสดงการจำลองดังรูปที่ 5.11

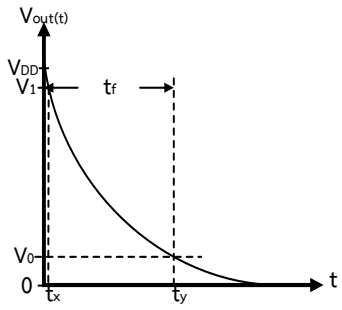



**รูปที่ 5.11** ผลการจำลองวงจรซีมอสอินเวอร์เตอร์ด้วยการปรับเปลี่ยนค่า w ของเอ็นมอส

จากการจำลองจะพบว่าทรานซิสเตอร์เอ็นมอส w=1um ,l=0.18um ควรจะใช้ทรานซิสเตอร์พีมอส w=3.26um ,l=0.18um พบว่าค่าทรานซิสเตอร์พีมอสที่ได้จากการใช้ I_V curve และการปรับขนาดของเอ็นมอสด้วยการปรับเปลี่ยนค่า w ของทรานวิสเตอร์พีมอสมีค่าใกล้เคียงกันนั้นคือ 3.2u และ 3.26u แต่เนื่องจากค่าพารามิเตอร์ w ที่ 3.26um จะให้ค่า delay ระหว่างอินพุท และเอาท์พุทที่มากเกินไป ซึ่งพารามิเตอร์ที่ต้องคำนึงถึงนอกจากดีซีเอาท์พุทแล้วยังต้องสนใจ fall tine ($t_f$) ,rise time ($t_r$) และpropagation delay ($t_p$) สำหรับการวิเคราะห์จะเริ่มจาก $t_f$ ซึ่งเป็นค่าเวลาที่แรงดันเอาท์พุทจาก VDD ไป GND แต่จะคิดจาก 90% จากแรงดันเอาท์พุท VDD ไป 10% จากแรงดันเอาท์พุท GND สามารถแสดงวงจรสมมูลขอวงจรซีมอสอินเวอร์เตอร์ช่วง $t_f$ สามารถแสดงดังรูปที่ 5.12




**(a)** NMOS ON ,PMOS OFF discharge circuit




**(b)** output waveform

**รูปที่ 5.12** วงจรสมมูล และสัญญาณเอาท์พุทช่วงแรงดันเอาท์พุทจาก VDD ไป GND

พิจารณากระแส i ของวงจรรูปที่ 5.12(a)

$$i = -C_{out}\frac{\partial V_{out}}{\partial t} = \frac{V_{out}}{R_n} \tag{5.9}$$

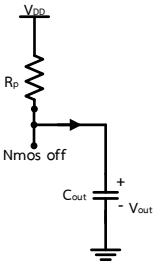
initial condition, Vout(0) = $V_{DD}$

$$V_{out}(t) = V_{DD}e^{-t/\tau_n}, \tau_n = R_nC_{out} \tag{5.10}$$

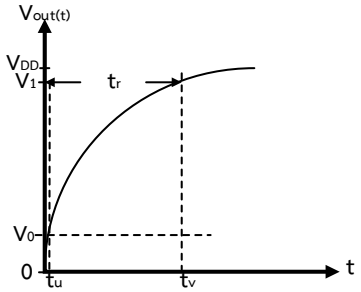
และสามารถหา $t_f$ จากจุด ($V_1$,$t_x$) ไปยังจุด ($V_0$,$t_y$)

$$t_f = \tau_n\left[\ln\left(\frac{V_{DD}}{0.1V_{DD}}\right) - \ln\left(\frac{V_{DD}}{0.9V_{DD}}\right)\right] \tag{5.11}$$

ดังนั้น $t_f = 2.2\tau_n$ ต่อไปทำการพิจารณา $t_r$ ซึ่งเป็นค่าเวลาที่แรงดันเอาท์พุทจาก GND ไป VDD แต่จะคิดจาก 10% จากแรงดันเอาท์พุท GND ไป 90% จากแรงดันเอาท์พุท VDD สามารถแสดงวงจรสมมูลขอวงจรซีมอสอินเวอร์เตอร์ช่วง $t_r$ สามารถแสดงดังรูปที่ 5.13




**(a)** NMOS OFF ,NMOS ON charge circuit




**(b)** output waveform

**รูปที่ 5.13** วงจรสมมูล และสัญญาณเอาท์พุทช่วงแรงดันเอาท์พุทจาก GND ไป VDD

$$i = C_{out}\frac{\partial V_{out}}{\partial t} = \frac{V_{DD} - V_{out}}{R_n} \tag{5.12}$$

initial condition, Vout(0) = 0V

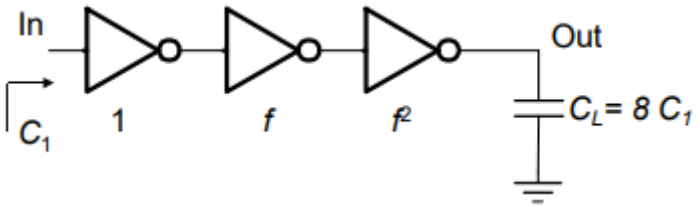
$$V_{out}(t) = V_{DD}\left(1 - e^{-t/\tau_p}\right), \tau_p = R_pC_{out} \tag{5.13}$$

และสามารถหา $t_f$ จากจุด ($V_0$,$t_u$) ไปยังจุด ($V_1$,$t_v$) ซึ่งจะได้ค่า $t_f = 2.2\tau_n$ ดังนั้นจึงได้ทำการลดขนาดของ w ของทรานซิสเตอร์พีมอสให้มีค่า 2.5 um ในการออกแบบวงจรรวมนี้จะใช้ค่า $k_n = 2.5k_p$ นั้นคือถ้าใช้ขนาดของทรานซิสเตอร์เอ็นมอส w=1um ,l=0.18um จะใช้ค่าทรานซิสเตอร์พีมอส w=2.5um ,l=0.18um ส่วนต่อไปจะทำการออกแบบทำการสร้างส่วนของวงจรซีมอสอินเวอร์เตอร์ N สเตจ ที่ใช้สำหรับการทริกวงจร positive edge triggered RSFF โดยการเอาวงจรซีมอสอินเวอร์ N

สเตจมาทำการต่อกันนั้นจะต้องคำถึงโหลดตัวเก็บประจุ และdelay ซึ่งค่า delay จะต้องมีค่าน้อยที่สุดที่จะเป็นไปได้สำหรับวงจรซีมอสอินเวอร์เตอร์ N สเตจ

- **วงจรอินเวอร์เตอร์ N สเตจ [5.2]**

สำหรับวงจรอินเวอร์เตอร์ที่มีการต่อคาดเคสกันหลายสเตจสิ่งที่สำคัญที่จะพิจารณาคือขนาดโหลดตัวเก็บประจุ และค่า delay ที่น้อยที่สุด สามารถแสดงรูปตัวอย่างของวงจรซีมอสอินเวอร์ N สเตจที่ใช้สำหรับการขับโหลด $C_L$ เพื่อให้ได้ delay น้อยที่สุดดังรูปที่ 5.14

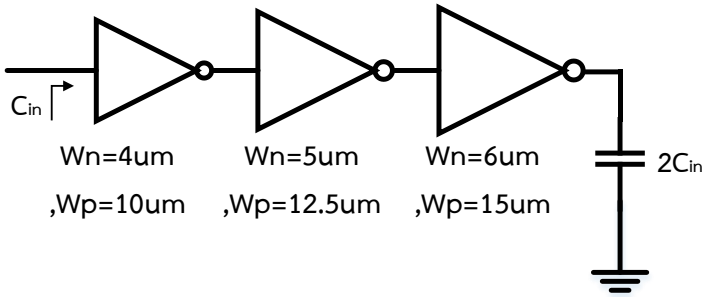



**รูปที่ 5.14** ตัวอย่างวงจรอินเวอร์เตอร์ 3 สเตจที่มีโหลด $8C_1$

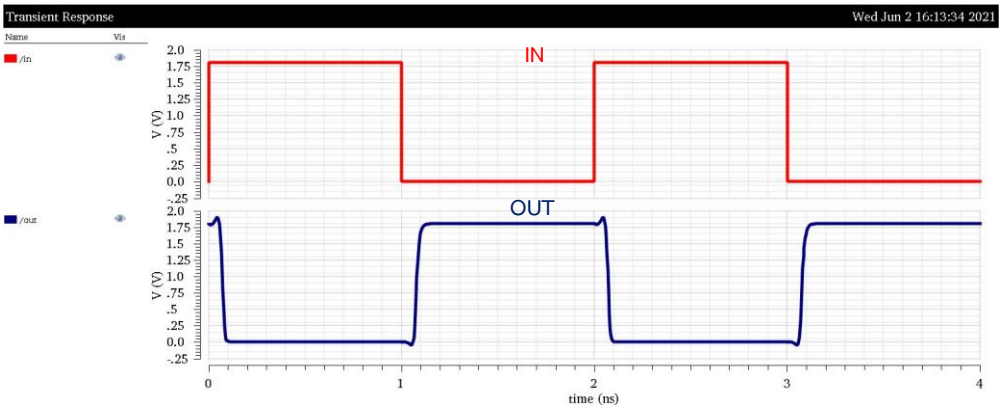
จากรูปที่ 5.14 เป็นตัวอย่างของวงจรอินเวอร์เตอร์ 3 สเตจที่มีโหลด $8C_1$ โดยสามารถที่จะคำนวณหาซึ่งเป็นค่าของขนาดที่จะเพิ่มไปในสเตจถัดไปดังสมการดังที่ (5.14)

$$f = \sqrt[N]{C_L} \tag{5.14}$$

โดยที่ f คือค่าขนาดเท่าของอินเวอร์เตอร์สเตจถัดไป ,$C_L$ คือโหลดเอาท์พุทของวงจรอินเวอร์เตอร์หรือเป็นค่าเก็บประจุของสเตจสุดท้าย และ N คือจำนวนสเตจของวงจรอินเวอร์เตอร์ โดยค่าโหลด $C_L=2C_{in}$ และต้องการจำนวน 3 สเตจส่งผลให้ได้ค่า f=1.25 ดังนั้นจึงนำค่าที่ได้จากการคำนวณไปสร้างวงจรซีมอสอินเวอร์เตอร์ 3 สเตจ โดยจะให้ค่าขนาดของทรานซิสเตอร์สเตจแรกของทรานซิสเตอร์เอ็นมอสมีค่าw=4um ,l=0.18um และขนาดของทรานซิสเตอร์พีมอส w=10um ,l=0.18um สามารถแสดงวงจร และผลการจำลองดังรูปที่ 5.15



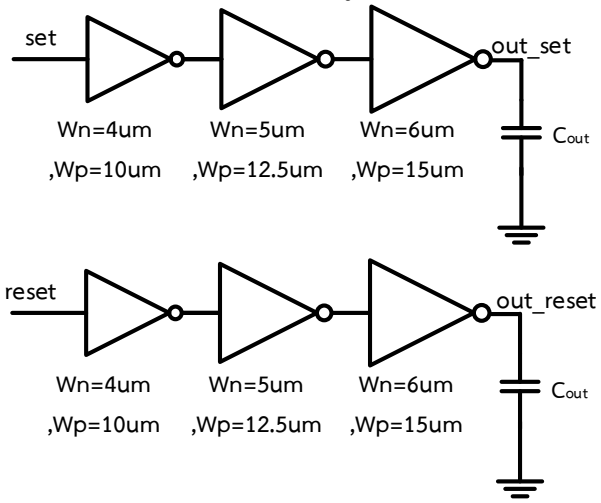

**(a)** วงจรซีมอสอินเวอร์เตอร์ 3 สเตจ



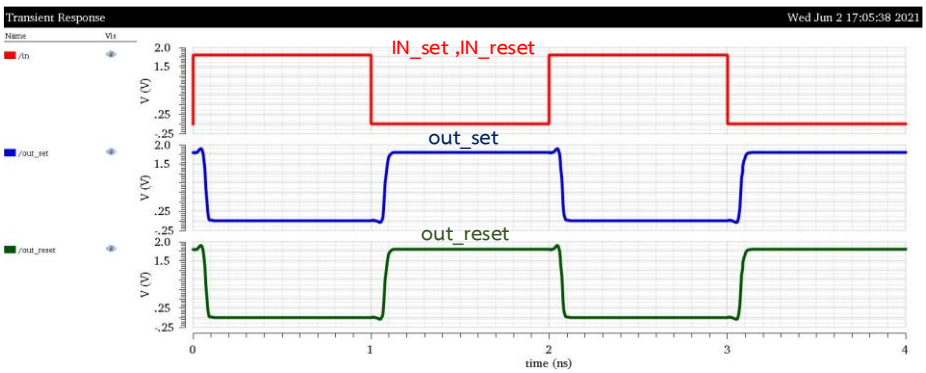

**(b)** ผลการจำลองวงจรรูปที่ 5.15(a) มี delay ระหว่างอินพุท และเอาท์พุทมีค่า 0.075ns

**รูปที่ 5.15** วงจรซีมอสอินเวอร์เตอร์ 3 สเตจ และผลการจำลองที่ความถี่ 500MHz

จากการออกแบบ และจำลองวงจรซีมอสอินเวอร์เตอร์ 3 สเตจจะมี delay ระหว่างสัญญาณอินพุท และสัญญาณเอาท์พุท 0.075ns ต่อไปจะทำการสร้างวงจรซีมอสอินเวอร์เตอร์แบบรูปที่ 5.15(a) สองชุด เนื่องจากวงจร positive edge triggered RSFF มีสองอินพุทขา set และขา reset สามารถแสดงวงจรซีมอสอินเวอร์เตอร์ของ set และ reset แสดงดังรูปที่ 5.16



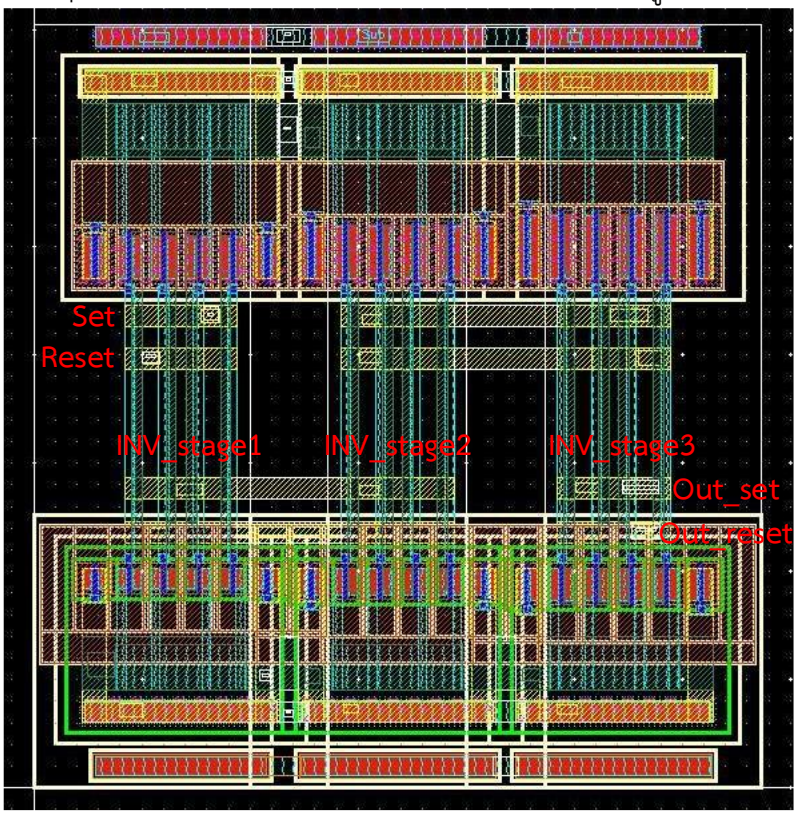

**(a)** วงจรซีมอสอินเวอร์เตอร์ของ set และ reset



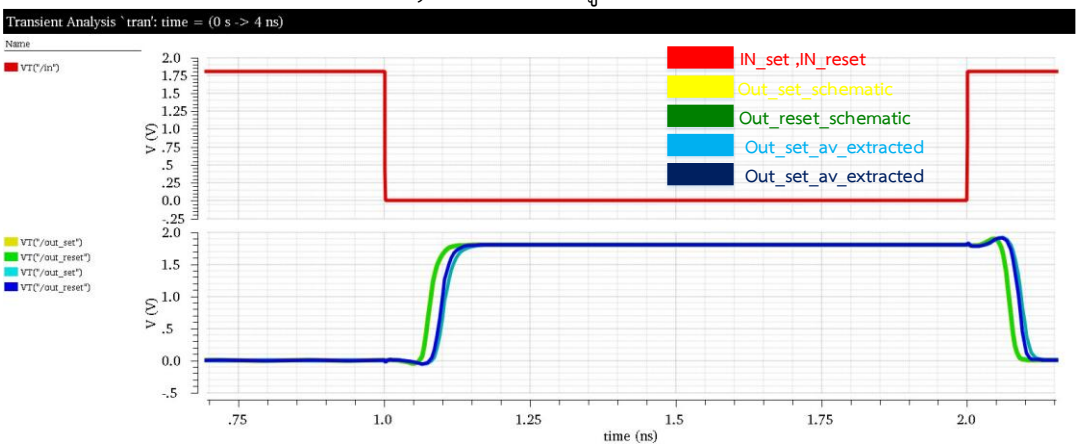

**(b)** ผลการจำลองวงจรรูปที่ 5.16(a)

**รูปที่ 5.16** วงจรซีมอสอินเวอร์เตอร์ 3 สเตจของ set และreset และผลการจำลองที่ความถี่ 500MHz

จากการจำลองวงจรซีมอสอินเวอร์เตอร์ 3 สเตจรูปที่ 5.16 พบว่าสัญญาณอินพุท set และreset เป็นสัญญาณเดียวกัน และวงจรซีมอสอินเวอร์เตอร์ทั้งสองมีขนาดเท่ากันทุกประการดังนั้นสัญญาณเอาท์พุท out_set และout_reset มีสัญญาณเหมือนกัน ส่วนต่อไปจะทำการสร้างวงจรซีมอสอินเวอร์เตอร์แบบ layout ซึ่งจะต้องนำวงจรซีมอสแบบ schematic และแบบav_extracted มาทำการเปรียบเทียบกันเพื่อดูประสิทธิภาพ และผลกระทบที่เกิดจากการ layout ซึ่งส่งผลให้เกิด parasitic capacitance และ parasitic resistance สามารถแสดงผลการจำลองดังรูปที่ 5.17




**(a)** layout ของวงจรรูปที่ 5.16(a)



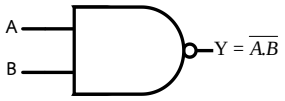

**(b)** ผลการจำลองschematic รูปที่ 5.16(a) เปรียบเทียบกับวงจร layot รูปที่ 5.17(a)

**รูปที่ 5.17** layout และผลการจำลองเปรียบเทียบระหว่าง schematic กับ av_extracted

จากการจำลองเปรียบเทียบระหว่าง schematic และ av_extracted พบว่าสัญญาณเอาท์พุทที่เกิดจากการ layout และมี parasitic capacitance และ parasitic resistance จะส่งผลให้ delay มากกว่าแบบ schematic และสัญญาณเอาท์พุทระหว่าง out_set และ out_reset ของ av_extracted ให้ผลการจำลองที่ไม่เท่ากันมีการ delay อยู่ระหว่างสัญญาณทั้งสอง แต่เป็นdelay ที่ยอมรับได้ดังนั้นจึงไม่จำเป็นต้องแก้ layout ต่อไปจะทำการสร้างวงจรแอนด์เกตเพื่อที่จะสร้างสัญญาณทริกสำหรับวงจร positive edge triggered RSFF ดังที่กล่าวมาก่อนหน้านี้ดังรูปที่ 5.4

- **วงจรแอนด์เกต (AND gate)**

สำหรับวงจรแอนด์เกตจะประกอบด้วยสองอินพุท และหนึ่งเอาท์พุท การสร้างวงจรแอนด์เกตจะสร้างมาจากวงจรแนนด์เกต (NAND gate) โดยวงจรแนนด์เกตจะประกอบด้วยสองอินพุท และหนึ่งเอาท์พุท สามารถแสดง symbol และตาราง truth table ดังรูปที่ 5.18



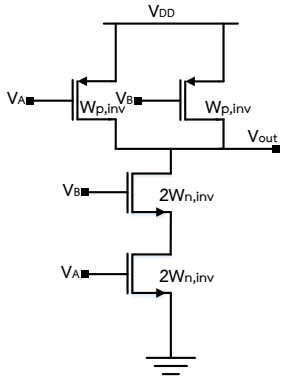

**(a)** symbol NAND gate

| $V_A$ | $V_B$ | $V_{out}$ |
|---|---|---|
| 0 | 0 | $V_{DD}$ |
| 0 | $V_{DD}$ | $V_{DD}$ |
| $V_{DD}$ | 0 | $V_{DD}$ |
| $V_{DD}$ | $V_{DD}$ | 0 |

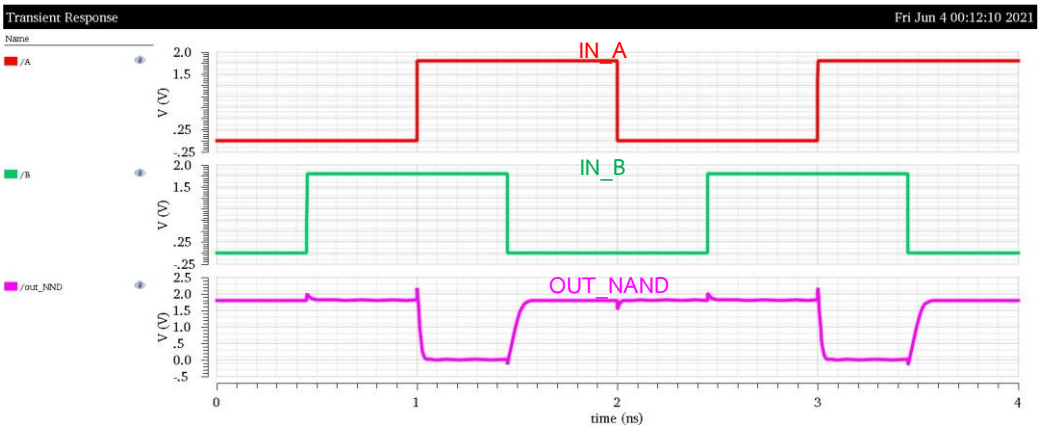
**(b)** Truth table ของ NAND gate

**รูปที่ 5.18** NAND gate

ต่อไปจะเป็นการออกแบบขนาดของทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอสสำหรับวงจรแนนด์เกตโดยขนาดจะพิจารณามาจากวงจรซีมอสอินเวอร์เตอร์ที่ได้กล่าวมาก่อนหน้านี้ วงจรแนนด์เกตจะประกอบด้วยวงจรทรานซิสเตอร์เอ็นมอสสองตัวต่ออนุกรมกัน และทรานซิสเตอร์พีมอสต่อขนานกัน ซึ่งค่าความต้านทานของทรานซิสเตอร์ ($R_{on}$) จะแปรผันตรงกับขนาดของความยาวของทรานซิสเตอร์ (L) ดังนั้นความสัมพันธ์ระหว่างขนาดทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอสสามารถแสดงดังรูปที่ 5.19



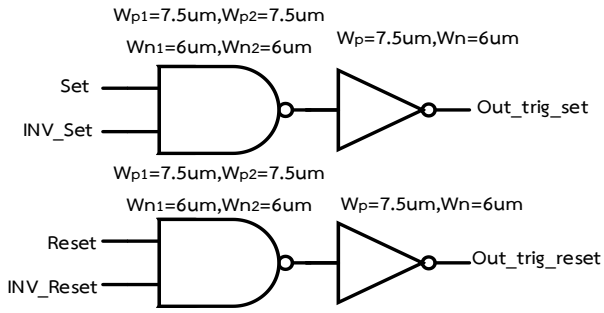

**(a)** วงจรซีมอสแนนด์เกต



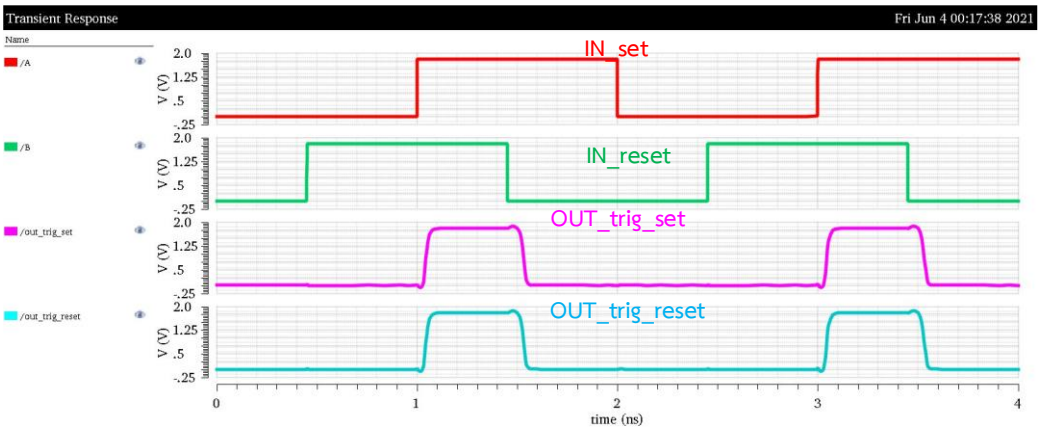

(b) ผลการจำลองวงจรแนนด์เกตรูปที่ 5.19(a)

**รูปที่ 5.19** วงจรแนนด์เกต และผลการจำลองวงจรแนนด์เกต ที่ความถี่ 500MHz

ต่อไปจะทำการสร้างวงจรแอนด์เกตโดยสามารถที่จะสร้างได้ด้วยการต่อวงจรซีมอสอินเวอร์เตอร์เข้าไปหลังเอาท์พุทของวงจรแนนด์เกตการสร้างวงจรซีมอสอินเวอร์เตอร์ จะใช้ขนาดของเอ็นมอส และพีมอสที่ค่า $k_n = 2.5k_p$ สามารถแสดงวงจรแอนด์เกต และผลการจำลองวงจรแอนด์เกตดังแสดงรูปที่ 5.20



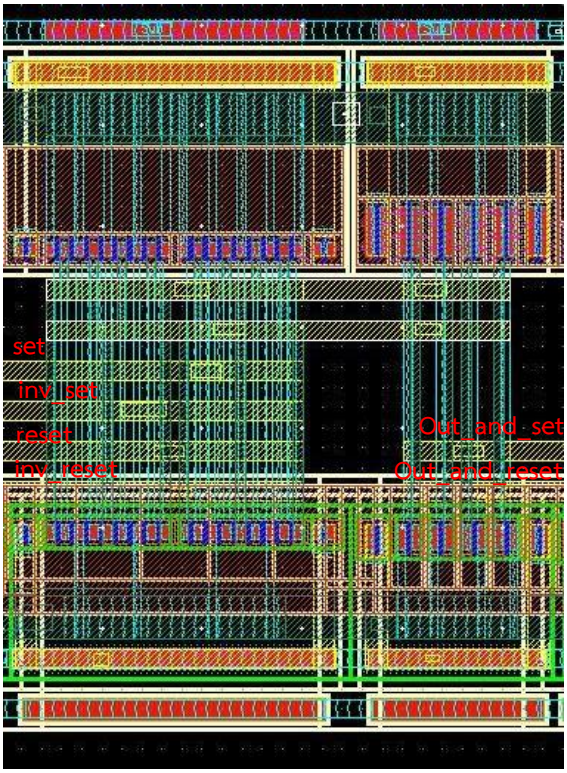

(a) วงจรแอนด์เกต



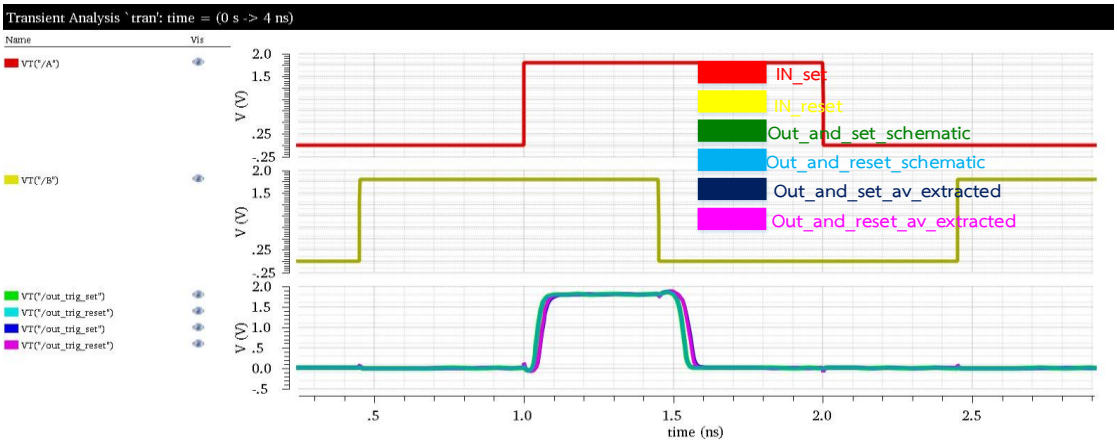

(b) ผลการจำลองวงจรแนนด์เกตรูปที่ 5.20(a)

**รูปที่ 5.20** วงจรแอนด์เกต และผลการจำลองวงจรแอนด์เกต ที่ความถี่ 500MHz

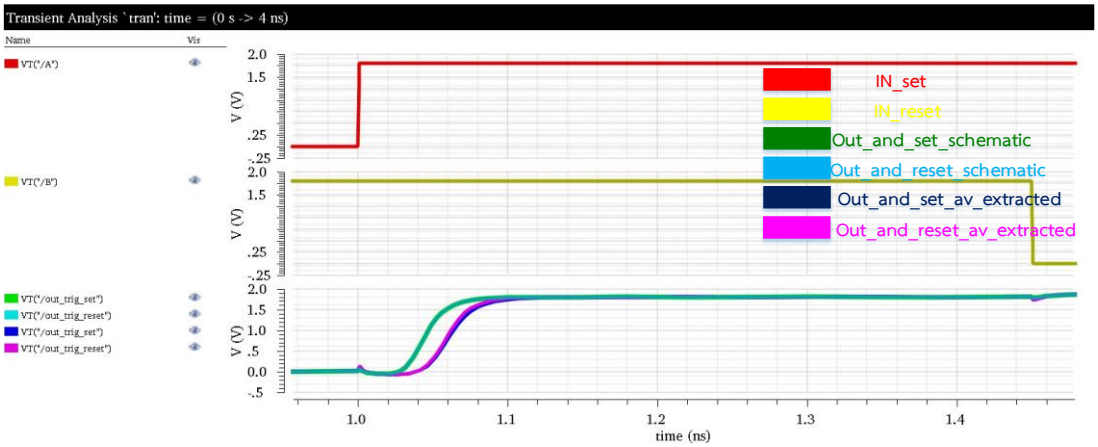
จากการจำลองschematicของวงจรแอนด์เกตรูปที่ 5.20(a) ต่อไปจะเป็นการ layout ของวงจรแอนด์เกตรูปที่ 5.20(a) และทำการจำลองวงจรแอนด์เกตแบบ schematic และ layout เพื่อดูประสิทธิภาพ แสดงดังรูปที่ 5.21




**(a)** layout and gate



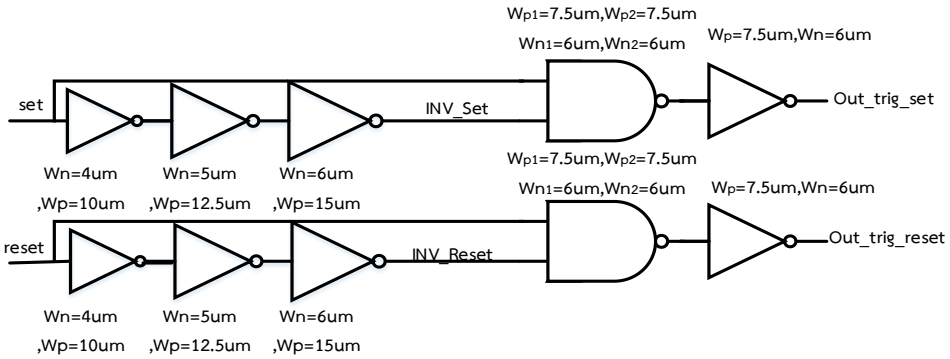

**(b)** ผลการจำลองวงจรซีมอสแอนด์เกทระหว่าง schematic และav_extracted



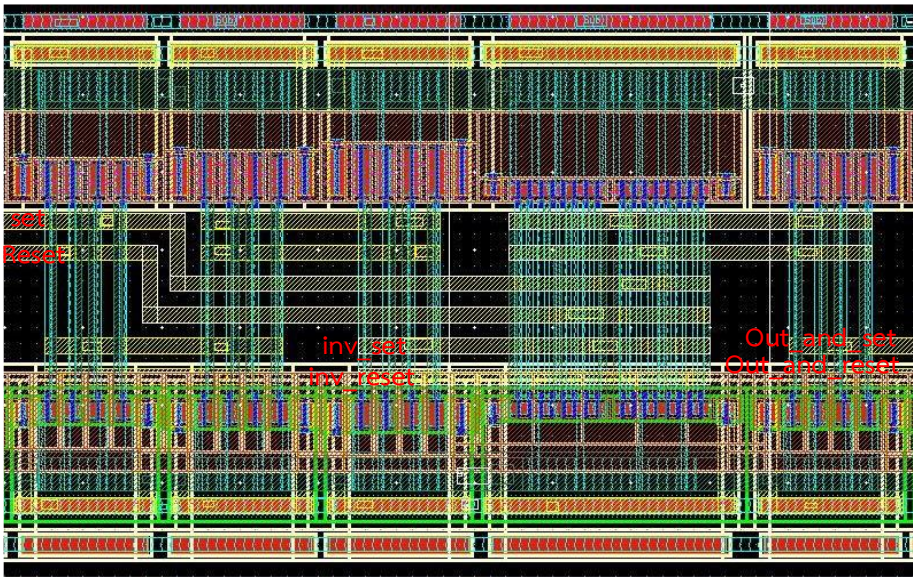

**(c)** ผลการจำลองวงจรซีมอสแอนด์เกทระหว่าง schematic และav_extracted แบบขยายแกน time

**รูปที่ 5.21** layout และผลการจำลองระหว่าง schematic และav_extracted ของวงจรซีมอสแอนด์เกตที่ความถี่ 500MHz

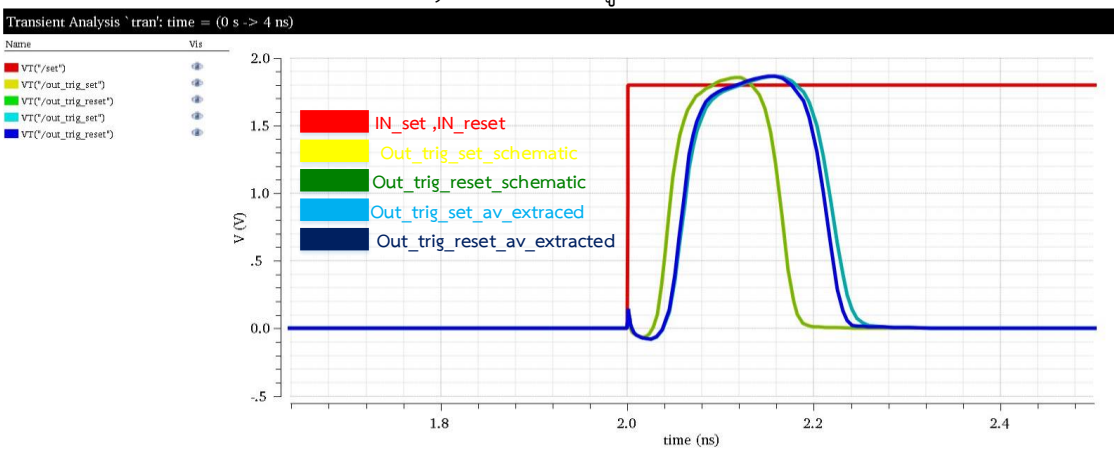
จากการที่ได้ออกแบบก่อนหน้าของวงจรซีมอสอินเวอร์เตอร์ และวงจรซีมอสแอนด์เกต และได้ทำการจำลองทั้งแบบ schematic และlayout จะพบว่าสามารถที่จะสร้างวงจรซีมอส pulse detector จากวงจรรูปที่ 5.4(a)ตามที่ต้องการเพื่อที่จะทำการทริกวงจรซีมอส rs-latch ด้วยการนำวงจรซีมอสอินเวอร์เตอร์ 3 สเตจ มาต่ออนุกรมกับวงจรซีมอสแอนด์เกตทั้งแบบ schematic และ layout โดยจะทำการจำลองดูฟังก์ชันการทำงาน และทำการเปรียบเทียบทั้งแบบ schematic และlayout สามารถแสดงดังรูปที่ 5.22




**(a)** วงจรซีมอส pulse detector ที่ได้ออกแบบ




**(b)** layout ของวงจรรูปที่ 5.22(a)



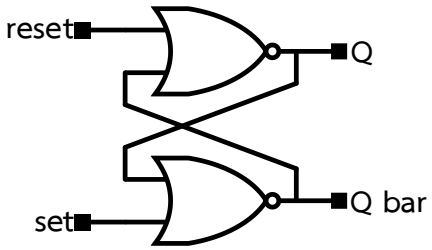

**(c)** ผลการจำลองวงจร pulse detector ของschematic และav_extracted

**รูปที่ 5.22** schematic และlayout และผลการจำลองระหว่าง schematic และ av_extracte

จากการจำลองวงจร pulse detector แบบ schematic และav_extracted พบว่าฟังก์ชันการทำงานยังเหมือนเดิม และมี delay จาก parasitic capacitance และ parasitic resistance ต่อไปจะทำการออกแบบวงจร RS latch สำหรับวงจร positive edge triggered RSFF

### 5.3.1.2 วงจรอาร์เอสแลตช์ (RS latch)

วงจรอาร์เอสแลตช์จะประกอบด้วยอินพุทขา SET (S) และขาRESET (R) และเอาท์พุทขา Q และQ bar โดยวงจรอาร์เอสแลตช์จะเป็นวงจรที่มีลักษณะดังนี้ เมื่ออินพุทขา S มีค่าเป็น 1 และขา R มีค่าเป็น 0 เอาท์พุท Q จะมีค่าเป็น 1 และค่า Q bar จะมีค่าเป็น 0 และในทางตรงกันข้ามเมื่ออินพุทขา S มีค่าเป็น 0 และขา R มีค่าเป็น 1 เอาท์พุท Q จะมีค่าเป็น 0 และค่า Q bar จะมีค่าเป็น 1 แต่ถ้าอินพุทขา S และขา R มีค่าเป็น 1 จะส่งผลต่อ Q และ Q bar มีค่าเป็น 0 โดยตามฟังก์ชันที่กล่าวมานั้นสามารถที่จะสร้างมาจากวงจรนอร์เกต (NOR gate) สองวงจรสามารถแสดงวงจร และตารางความจริง (truth table) ดังรูปที่ 5.23



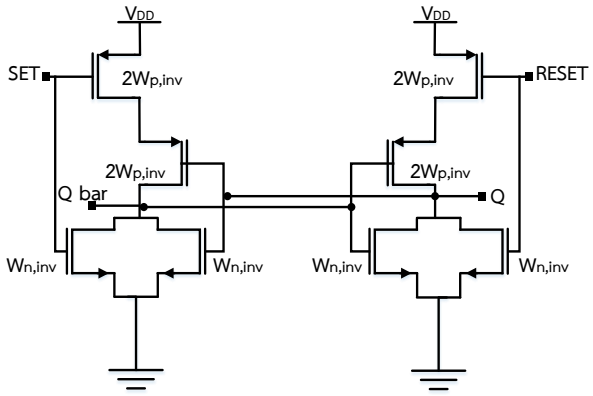

**(a)** วงจรอาร์เอสแลตช์ ที่สร้างมาจากวงจรนอร์เกต

| S | R | Q | Q bar | Operation |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | Hold |
| 1 | 0 | 1 | 0 | Set |
| 0 | 1 | 0 | 1 | Reset |
| 1 | 1 | 0 | 0 | Not allowed |

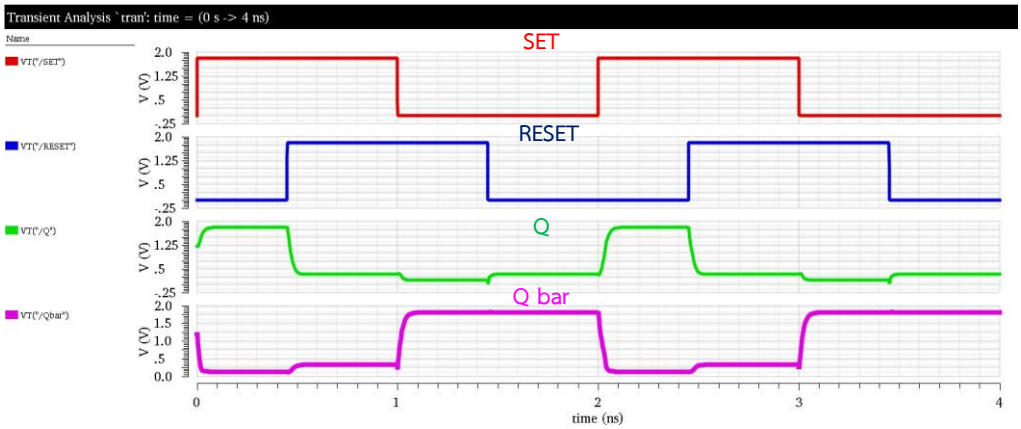
**(b)** ตารางความจริงของวงจรอาร์เอสแลตช์

**รูปที่ 5.23** วงจรอาร์เอสแลตช์ และตารางความจริง

ต่อไปจะเป็นการออกแบบวงจรซีมอสอาร์เอสแลตช์ โดยจะคำนึงถึงช่วงความถี่ที่ใช้งาน และจะทำการปรับขนาดของทรานซิสเตอร์เอ็นมอส และพีมอสให้เหมะสมตามหลักการโดยพิจารณาจากวงจรซีมอสนอร์เกตที่ประด้วยด้วยทรานซิสเตอร์เอ็นมอสต่อขนานกันสองตัว และตัวทรานซิสเตอร์พีมอสต่ออนุกรมกันสองตัวซึ่งค่าความต้านทานของทรานซิสเตอร์ $R_{ON}$ ขึ้นกับขนาดของ L ของทรานซิสเตอร์ ดังนั้นทรานซิสเตอร์พีมอสที่อนุกรมกันจะทำให้ค่า $R_{ON}$ มีค่าเพิ่มขึ้นเนื่องจาการที่ทรานซิสเตอร์อนุกรมส่งผลให้ขนาด L มีค่าเป็น 2L ดังนั้นสามารถแสดงขนาดของวงจรซีมอสอาร์เอสแลตช์ดังรูปที่ 5.24



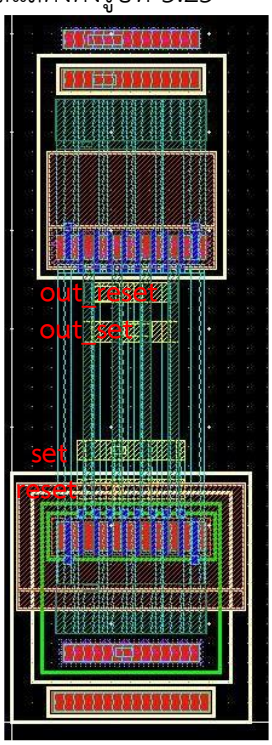

**(a)** วงจรซีมอสอาร์เอาแลตช์



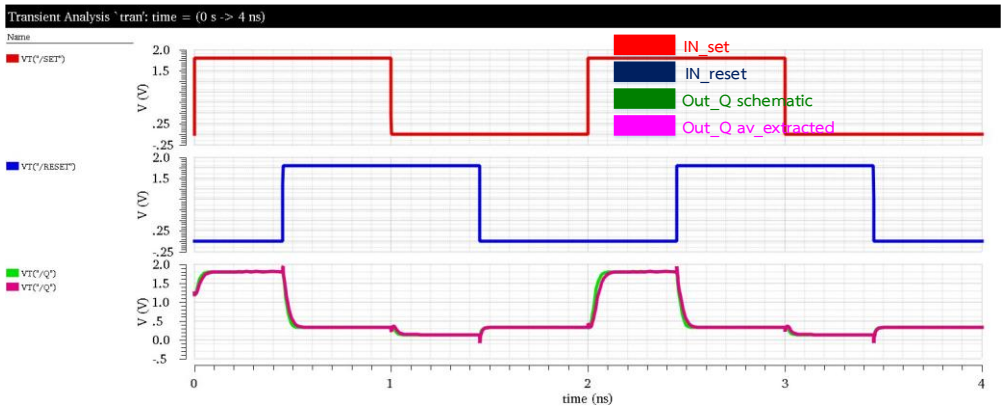

**(b)** ผลการจำลองวงจรซีมอสอาร์เอสแลตซ์

**รูปที่ 5.24** schematic และผลการจำลองวงจรอาร์เอสแลตซ์

จากรูปที่ 5.24 พบว่าผลการจำลองเห็นว่าวงจรซีมอสอาร์เอสแลตซ์สามารถที่จะทำงานได้ตามฟังก์ชันตารางความจริงรูปที่ 5.23(b) ต่อไปจะทำการ layout และทำการเปรียบเทียบระหว่างผลการจำลอง schematic กับav_extractedสามารถแสดงดังรูปที่ 5.25



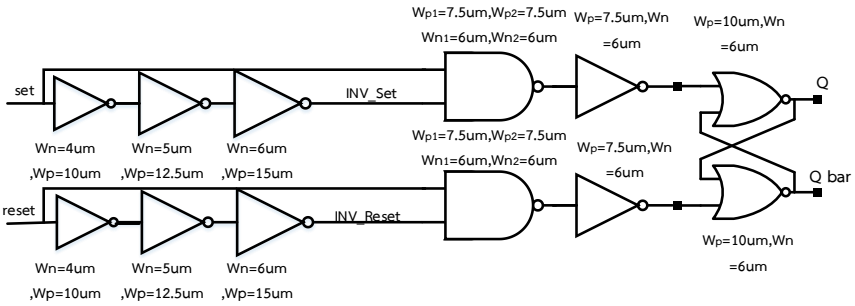

**(a)** layout ของวงจรซีมอสอาร์เอสแลตซ์



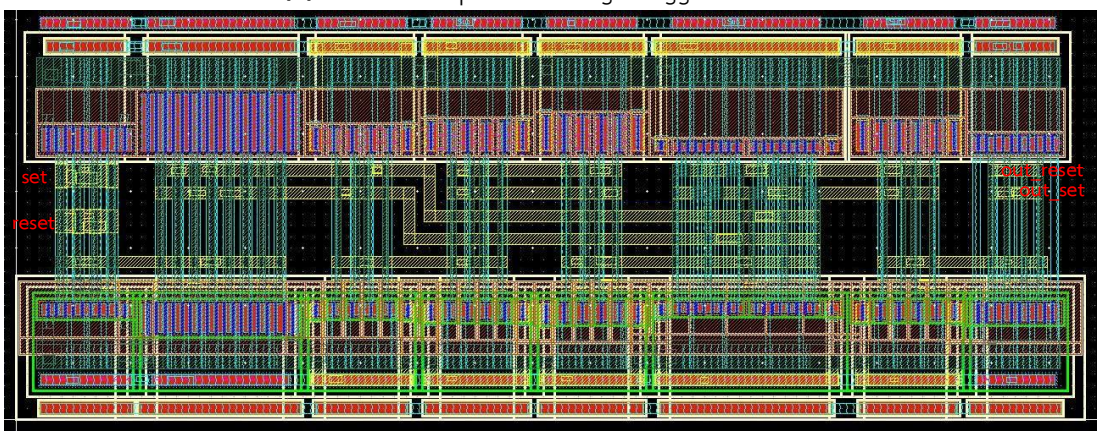

**(b)** ผลการจำลองของวงจรซีมอสอาร์เอสแลตช์แบบ schematic และav_extracted

**รูปที่ 5.25** layout และผลการจำลองระหว่าง schematic และav_extracted ของวงจรซีมอสอาร์เอสแลตช์

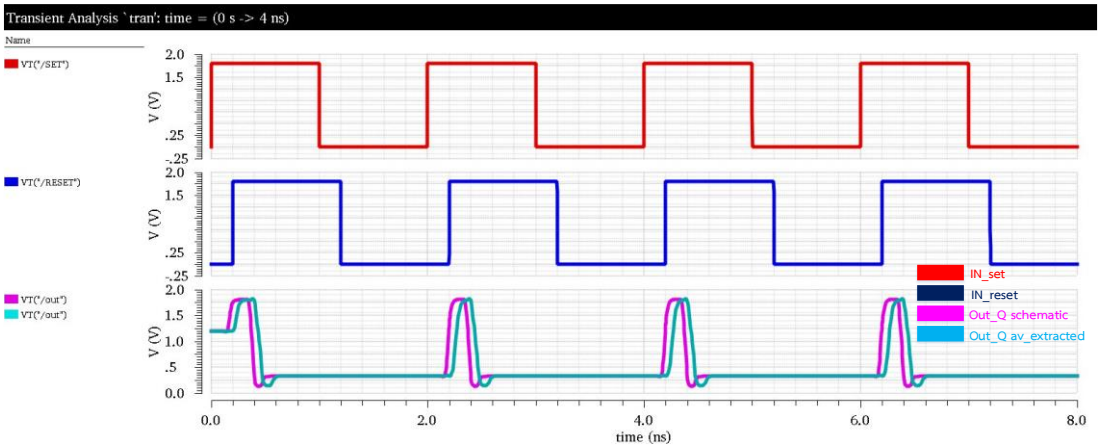
ส่วนต่อไปจะเป็นการออกแบบวงจร positive edge triggered RSFF จากวงจรที่กล่าวมาก่อนหน้าสามารถนำมาเชื่อมต่อเป็นวงจร posive edge triggerd RSFF ตามที่ต้องการตามที่กล่าวมาก่อนหน้า อย่างไรก็ตามจะต้องทำการจำลองฟังก์ชันการใช้งานระหว่างวงจร schematic และ av_extracted โดยสามารถแสดง schematic ,layout และการจำลองระหว่าง schematic และav_extracted ดังรูปที่ 5.26




**(a)** วงจรซีมอส positive edge triggered RSFF



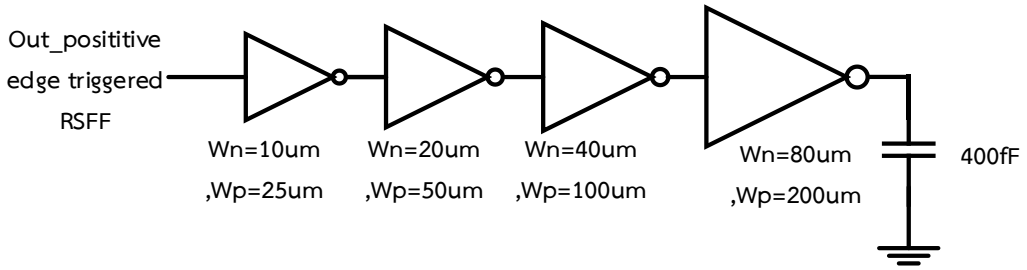

**(b)** layout ของวงจรซีมอส positive edge triggered RSFF



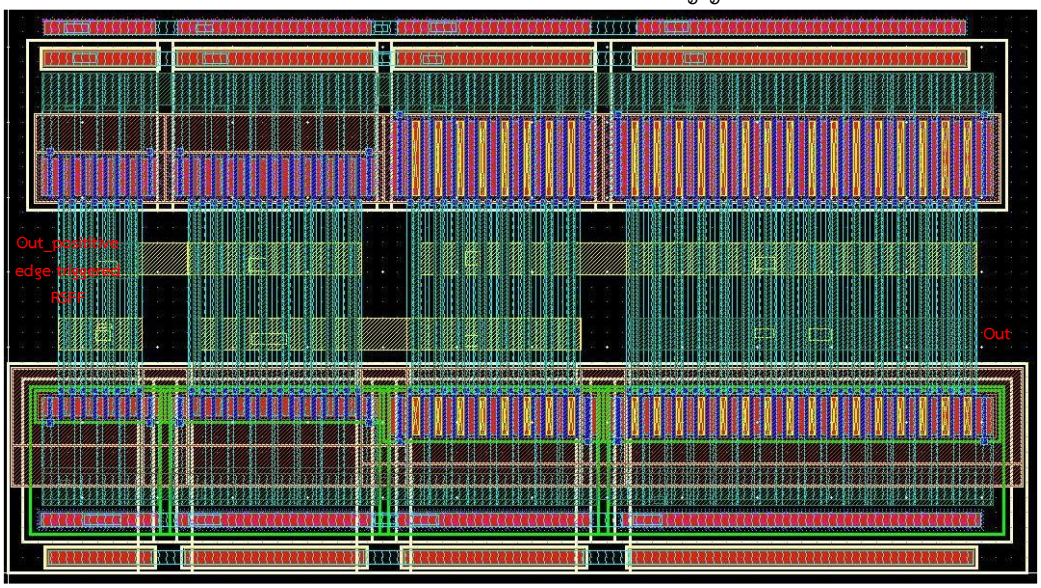

(c) ผลการจำลองวงจร positive edge triggered RSFF

**รูปที่ 5.26** schematic และlayout และผลการจำลองแบบ schematic และav_extracted

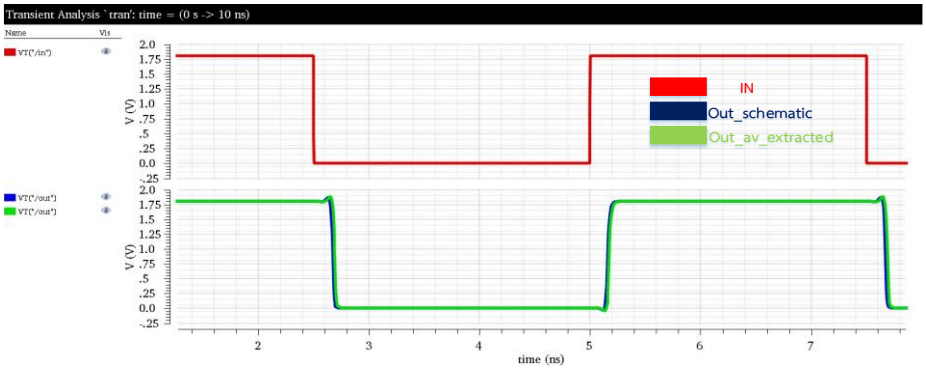
ส่วนต่อไปจะทำการออกแบบวงจรซีมอสอินเวอร์เตอร์สำหรับขับกระแสของวงจรกรองสัญญาณความถี่ต่ำผ่าน โดยจะต้องสามารถที่จะขับกระแสเพียงพอสำหรับโหลดวงจรกรองสัญญาณความถี่ต่ำผ่านตามที่ได้ออกแบบไว้ สำหรับการออกแบบจะสนใจที่ความถี่ 200MHz โดยมีค่าตัวเก็บประจุ 400fF สามารถแสดงวงจร และผลการจำลองดังรูปที่ 5.27




(a) วงจรอินเวอร์เตอร์สำหรับขับโหลดวงจรกรองสัญญาณความถี่ต่ำผ่าน



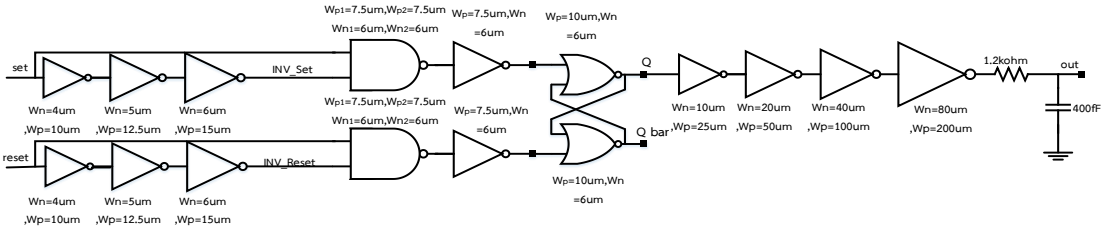

(b) layout ของวงจรอินเวอร์เตอร์สำหรับขับโหลดวงจรกรองสัญญาณความถี่ต่ำผ่าน



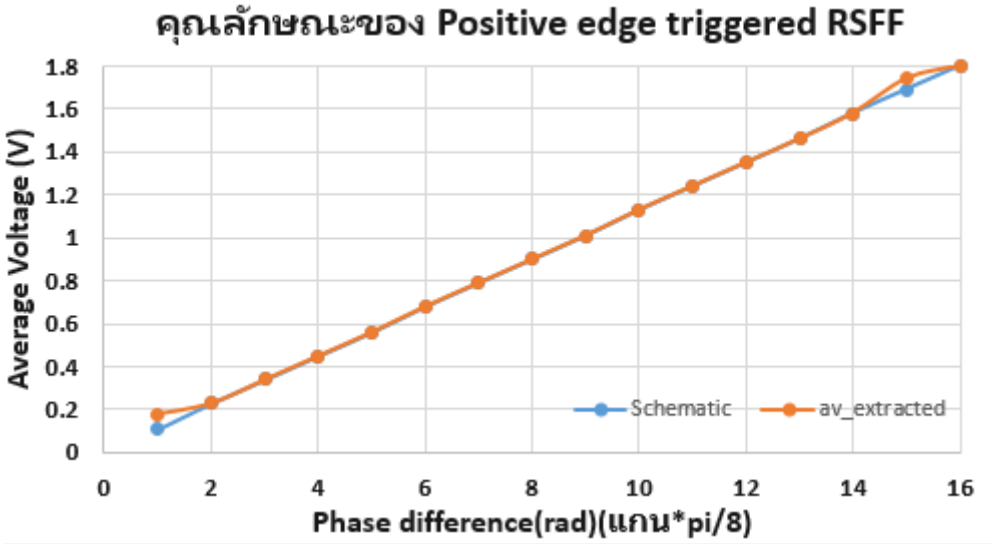

**(c)** ผลการจำลอง schematic และav_extracted

**รูปที่ 5.27** วงจรซีมอสอินเวอร์เตอร์ และ layout และผลการจำลองระหว่างschematic และ av_extracted ของตัวขับโหลดวงจรกรองสัญญาณความถี่ต่ำผ่าน ที่ความถี่อินพุท 200MHz

ส่วนต่อไปจะทำการจำลองเพื่อทดสอบวงจร positive edge triggered RSFF โดยจะทำการปรับค่าผลต่างเฟส set และreset เพื่อดูเอาท์พุทเป็นค่าเฉลี่ยแรงดันเพื่อดูคุณลักษณะของวงจร postitive edge triggered RSFF สามารถแสดงดังรูปที่ 5.28




**(a)** การจำลองคุณลักษณะของวงจร positive edge triggered RSFF



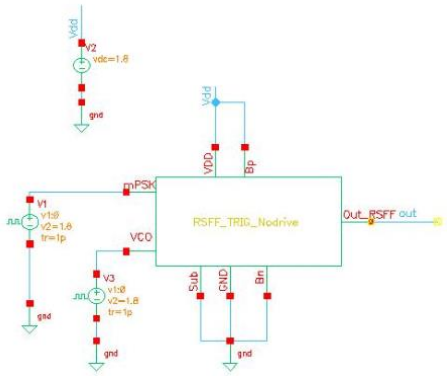

**(b)** กราฟคุณลักษณะของ positive edge triggered RSFF แบบ schematic และav_extracted

**รูปที่ 5.28** วงจร และผลการจำลองวงจร positive edge triggered RSFF ที่ความถี่ 500MHz

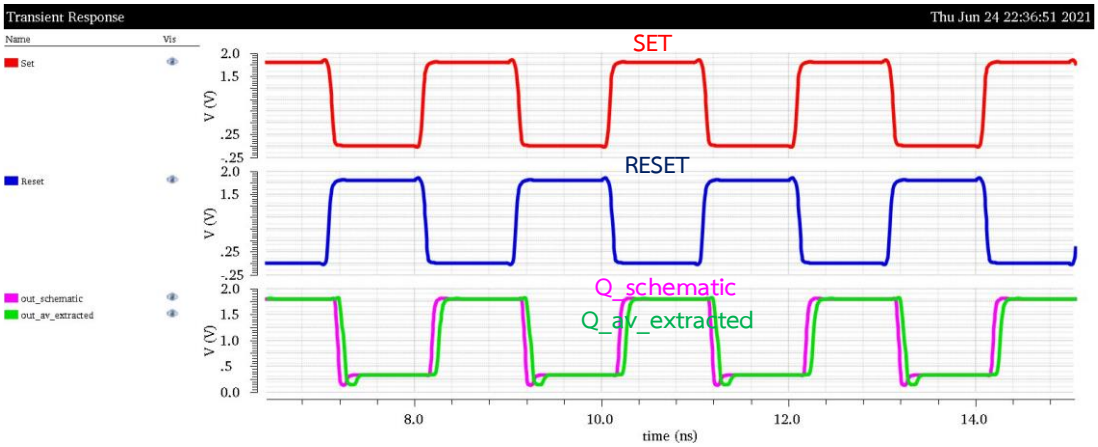
**5.3.1.3 จำลอง และผลการจำลองของวงจร positive edge triggered RSFF ที่ความถี่ 500MHz**

ต่อไปนี้จะนำวงจร positive edge triggered RSFF ที่ได้ออกแบบทั้งแบบ schematic และlayout ในรูปที่ 5.26 มาทำการจำลองเพื่อหาประสิทธิภาพของวงจรในการทำงานที่ 500MHz โดยการจำลอง

จะหา rise time, fall time, propagation delay, power และรวมทั้งพื้นที่ layout สามารถที่จะแสดงการจำลอง และผลการจำลองดังรูปที่ 5.29




**(a)** schematic ของการจำลอง positive edge triggered RSFF ที่ความถี่ 500MHz




**(b)** ผลการจำลองของวงจรรูปที่ 5.29 (a)

| **พารามิเตอร์** | schematic | av_extracted |
|---|---|---|
| Fall time (ps) | 37.47 | 54.77 |
| Rise time (ps) | 44.62 | 64.12 |
| Propagation delay (ns) | 2.098 | 2.150 |
| Power (mW) | 1.78 | 1.97 |

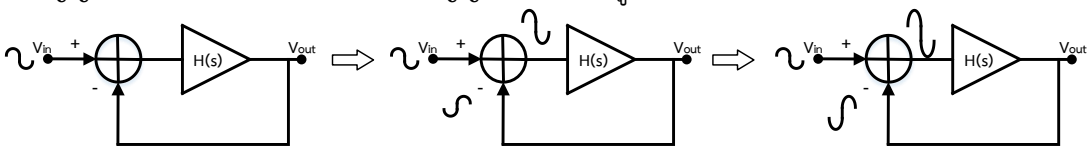
**(c)** ประสิทธิภาพของ positive edge triggered RSFF ที่ความถี่ 500MHz

**รูปที่ 5.29** การจำลอง และผลการจำลอง positive edge triggered RSFF ที่ความถี่ 500MHz

จากการออกแบบวงจร positive edge triggered RSFF และการจำลองทั้งแบบ schematic และ layout ส่วนต่อไปจะทำการออกแบบวงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator ,VCO) โดยวงจรที่ออกแบบจะมีช่วงความถี่สองช่วงความถี่นั้นคือช่วงความถี่กลาง 400MHz และช่วงความถี่ 60MHz หลักการการออกแบบทั้ง schematic และการออกแบบ layout รวมทั้งการจำลองวงจรทั้งแบบ schematic และav_extracted สามารถที่จะกล่าวในหัวข้อถัดไป

**5.3.2 วงจรออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator ,VCO)**

สำหรับวงจรออสซิลเลเตอร์จะเป็นวงจรที่สามารถที่จะสร้างสัญญาณเอาท์พุทเอซีจากสัญญาณแรงดันดีซี โดยวงจรออสซิลเลเตอร์จะเป็นวงจรที่อยู่ในรูปของวงจป้อนกลับแบบลบ และอยู่ในเงื่อนไขของ Barkhausen แนวคิดของวงจรป้อนกลับแบบลบนั้นคือสัญญาณที่นำมาป้อนกลับนั้นจะต้องกลับเฟสกับสัญญาณขาเข้าเพื่อทำให้สัญญาณมีขนาดใหญ่ขึ้นไปเรื่อยๆสามารถแสดงแนวคิดของการป้อนกลับที่มีสัญญาณป้อนกลับมีเฟสกลับเฟสกับสัญญาณขาเข้าดังรูปที่ 5.30




**รูปที่ 5.30** แนวคิดของการออสซิลเลตของระบบป้อนกลับแบบลบ

จากรูปที่ 5.30 สามารถที่จะเขียนฟังก์ชันถ่ายโอนของวงจรป้อนกลับแบบลบ (unity-Gain Negative Feedback Circuit)ดังที่ (5.15)

$$\frac{V_{out}}{V_{in}}(s)=\frac{H(s)}{1+H(s)} \tag{5.15}$$

จากสมการที่ (5.15) จะต้องเป็นไปตามเงื่อนไขของ Barkhausen เพื่อที่จะทำให้เกิดสัญญาณออสซิลเลต กำหนดให้ $s=j\omega_0$ สามารถแสดงเงื่อนไขการเกิดออสซิลเลตดังนี้

$$\left|H\left(j\omega_0\right)\right|\geq 1 \tag{5.16}$$

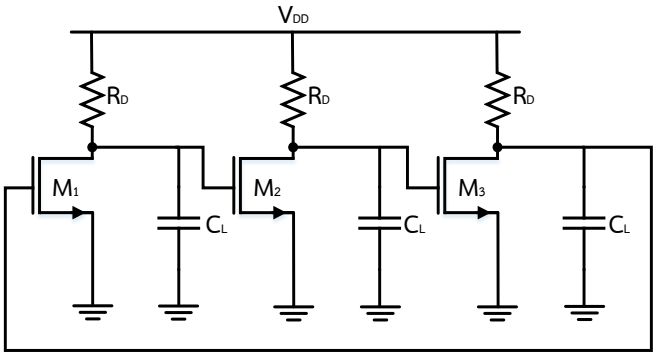
$$\left|\angle H\left(j\omega_0\right)\right|\geq 180^{\circ} \tag{5.17}$$

โดยที่ $\left|H\left(j\omega_0\right)\right|$ เป็นขนาด และ $\left|\angle H\left(j\omega_0\right)\right|$ เป็นเฟสของลูปเปิด โดยทั่วไปแล้ววงจรออสซิลเลเตอร์จะอาศัยการป้อนกลับแบบบวกเพื่อที่จะทำให้ขนาดสัญญาณมีขนาดใหญ่ขึ้นเรื่อยๆ จนกระทั่งได้ความถี่ออสซิลเลตที่ความถี่ใดความถี่หนึ่ง โดยวงจรออสซิลเลเตอร์ที่จะทำการออกแบบจะเป็นวงจรที่เรียกว่าวงจร Ring Oscillators

**5.3.2.1 วงจร Ring Oscillator [5.3]**

วงจร Ring Oscillator ที่จะยกตัวอย่างเป็นวงจร 3 สเตจ ring oscillator สามารถแสดงดังรูปที่ 5.31 โดยกำหนดให้แบบจำลองทรานซิสเตอร์เอ็นมอสมีค่า transconductance เป็น $g_m$ และทำการละเลยผลของการมอดูเลตความยาวช่องสัญญาณ (channel length modulation) นั่นคือให้ค่า $\lambda$=0 หรือ $r_0=\infty$ แต่ละสเตจของวงจร ring oscillator มีฟังก์ชันถ่ายโอนดังที่

$$H_{stage}(s)=\frac{-A_0}{\left(1+s/\omega_0\right)} \tag{5.18}$$




**รูปที่ 5.31** Three-stage ring oscillator.

จากรูปที่ 5.31 วงจร Three-stage ring oscillator มีลูปเกนแสดงดังที่

$$H(s) = \frac{-A_0^3}{\left(1 + s/\omega_0\right)^3} \tag{5.19}$$

วงจรออสซิสเลเตอร์สามารถที่จะเกิดความถี่ออสซิสเลตเมื่อเฟสชิพของระบบมีค่าเท่า 180° โดยแต่ละสเตจจะมีเฟสชิพ 60° ความถี่ออสซิสเลตที่เกิดขึ้นถูกกำหนดโดย

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0} = 60^\circ \tag{5.20}$$

และด้วยเหตุนี้

$$\omega_{osc} = \sqrt{3}\omega_0 \tag{5.21}$$

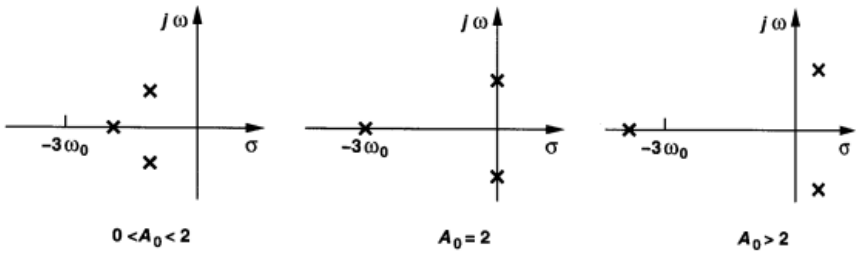
แรงดันน้อยสุดที่แต่ละสเตจจะต้องมีขนาดที่ความถี่ออสซิสเลตเพื่อลูปเกนจะต้องมีค่าเป็น 1

$$\frac{A_0^3}{\left[\sqrt{1+\left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right]^3} = 1 \tag{5.22}$$

จากสมการที่ (5.21) และสมการที่ (5.22) นั้นคือ

$$A_0 = 2 \tag{5.23}$$

เมื่อ $A_0$ มีค่าน้อยกว่า 2 วงจรจะไม่มีการออสซิสเลต แต่ถ้า $A_0$ =2 วงจรจะออสซิสเลตเป็นสัญญาณไซน์ แต่มีค่า $A_0 > 2$ จะไม่สามารถทีจะทำการพิจารณาโดยเงื่อนไขของ Barkhausen ได้สามารถแสดงตำแหน่งของโพลของวงจรที่มีค่า $A_0$ ต่างๆดังรูปที่ 5.32

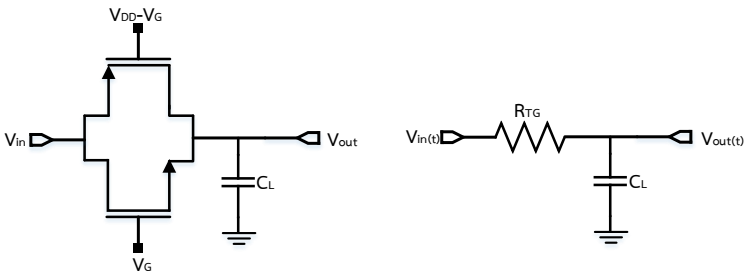



**รูปที่ 5.32** โพลของ Three-stage ring oscillator ที่มีการเปลี่ยนแปลงเกน [5.3]

จากการกล่าวมาข้างต้นเกี่ยวกับวงจร ring oscillator เพื่อทำความเข้าใจเบื้องต้นเพื่อนำไปสู่การออกแบบวงจร Voltage-Controlled Ring Oscillator สำหรับใช้ในระบบบีพีเอสเค ,คิวพีเอสเค ดีมอดูเลเตอร์ต่อไป หัวข้อต่อไปจะเป็นการกล่าวถึงวงจร Voltage-Controlled Ring Oscillator

**5.3.2.2 วงจร Voltage-Controlled Ring Oscillator [5.4]**

วงจร voltage-controlled Ring Oscillator (VCO) จะต้องมีการทำงานฟังก์ชันที่แรงดันอินพุทดีซีของ VCO สามารถที่จะเปลี่ยนความถี่เอาท์พุทของ VCO แบบฟังก์ชัน 1:1 หรือแรงดันอินพุทดีซี VCO หนึ่งแรงดันสามารถที่จะสร้างความถี่ออสซิสเลตของเอาท์พุทของ VCO เพียงหนึ่งความถี่เท่านั้น ซึ่งจากแนวคิดของวงจร ring oscillator รูปที่ 5.31 จะพบว่าความถี่ออสซิสเลตจะขึ้นกับพารามิเตอร์ตัวต้านทาน $R_D$ และตัวเก็บประจุ $C_L$ ดังนั้นสามารถที่จะทำการเปลี่ยนแปลงค่าต้านทาน หรือค่าตัวเก็บประจุด้วยแรงดันอินพุทดีซีของ VCO เพื่อที่จะเปลี่ยนแปลงความถี่ออสซิสเลต จากแนวคิดนี้สามารถที่จะสร้างวงจร voltage-controlled Ring Oscillator ต่อไปจะพิจารณาวงจร transmission gates ซึ่งจะมีการเปลี่ยนแปลงแรงดันอินพุทที่ขาเกทของทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอส เพื่อแปลงเปลี่ยนค่าความต้านทานสามารถแสดงวงจร transmission gates ดังรูปที่ 5.33




**รูปที่ 5.33 (a)** วงจร transmission gates **(b)** วงจรสมมูลของรูปที่ 5.33 (a)

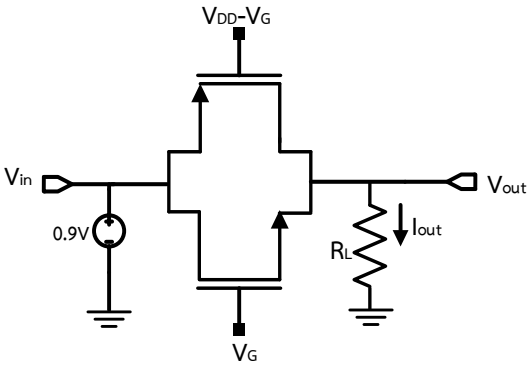
จากวงจรรูปที่ 5.33 สามารถที่จะสมการของตัวต้านทาน $R_{TG}$ โดยสมมติว่าละเลยผลของการมอดูเลตความยาวช่องสัญญาณ (channel length modulation) นั่นคือให้ค่า $\lambda=0$ หรือ $r_0=\infty$ และขนาดของทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอสมีกระแสเดรนเท่ากัน และผลรวมของแรงดันดีซีที่ขาเกทของทรานซิสเตอร์เอ็นมอส และแรงดันดีซีที่ขาเกทของทรานซิสเตอร์พีมอสมีค่าเท่ากับ $V_{DD}$ สามารถแสดงสมการดังที่

$$R_{TG}=k\cdot\left(\frac{\left(1-e^{-1}\right)\cdot V_{DD}}{V_G-V_{TH}}-0.3\right),V_{TH}<V_G<\left(1-e^{-1}\right)\cdot V_{DD}+V_{TH} \tag{5.24}$$

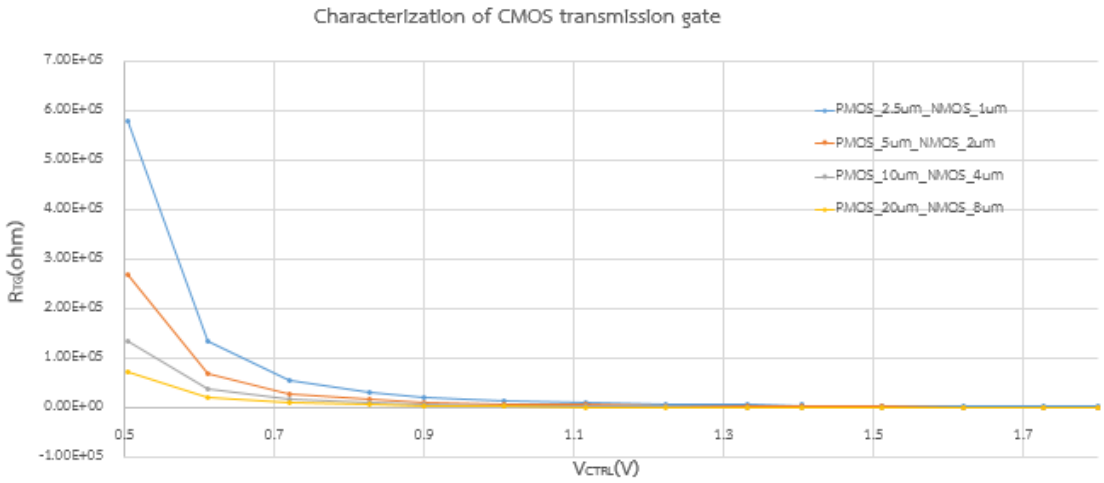
$$R_{TG}=k\cdot\ln\left(\frac{1}{1-0.5\cdot\left(1-e^{-1}\right)\cdot\frac{V_{DD}}{V_G-V_{TH}}}\right),V_G>\left(1-e^{-1}\right)\cdot V_{DD}+V_{TH} \tag{5.25}$$

ต่อไปจะทำการจำลอง และทดสอบการจำลองของวงจร transmission gates โดยจะให้ค่าขนาดของทรานซิสเตอร์สเตจแรกของทรานซิสเตอร์เอ็นมอสมีค่าw=1um ,l=0.4um และขนาดของทรานซิสเตอร์พีมอส w=2.5um ,l=0.4um เพื่อดูความสัมพันธ์ระหว่างแรงดันดีซีอินพุท และค่าตัวต้านทาน $R_{TG}$ และค่าทรานส์คอนดัคแตนซ์ $g_{TG}$ ของวงจร transmission gates ซึ่งเมื่อค่า$V_G$ มีค่าน้อย

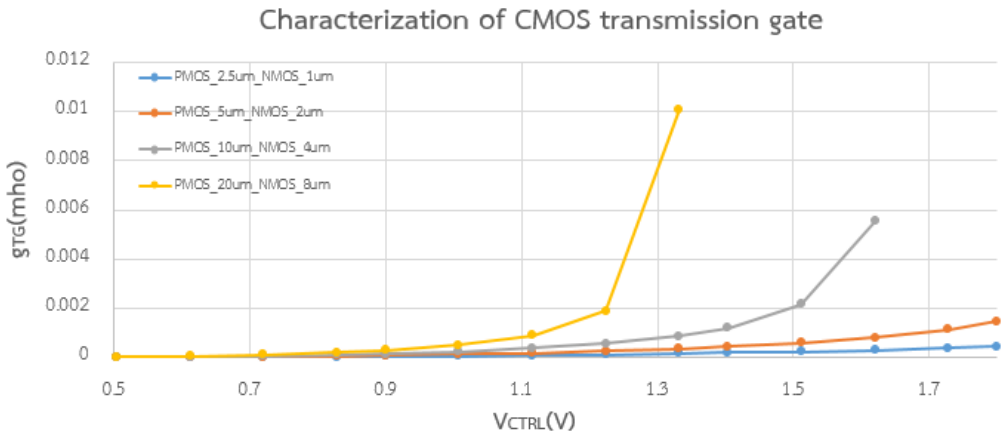
กว่า $V_{TH}$ วงจร transmission gates จะไม่ทำงาน (switch off) ดังนั้น $R_{TG}$ จะมีค่ามากและเมื่อ $V_G$ มีค่ามากกว่า $V_{TH}$ วงจร transmission gates จะทำงาน (switch on) ดังนั้น $R_{TG}$ จะมีค่าน้อย สามารถแสดงวงจรจำลอง และผลการจำลอง $R_{TG}$ และ $g_{TG}$ ดังรูปที่ 5.34




**(a)** วงจร transmission gates ที่ใช้ในการจำลอง โดยจะ sweep $V_G$ 0 ถึง 1.8V




**(b)** ผลการจำลอง $R_{TG}$ ของวงจรรูปที่ 5.34(a)




**(c)** ผลการจำลอง $g_{TG}$ ของวงจรรูปที่ 5.34(a)

**รูปที่ 5.34** วงจร transmission gate และการจำลองเพื่อหาค่า $R_{TG}$ และ$g_{TG}$

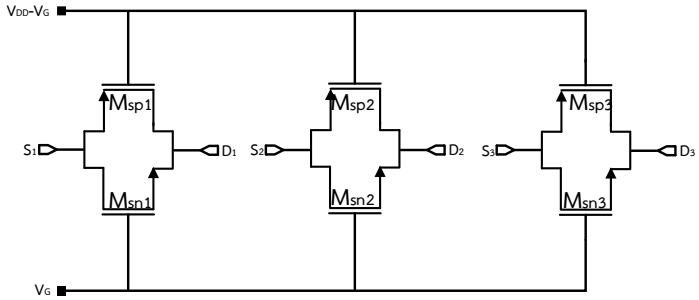
จากการจำลองพบว่าค่าความต้านทาน $R_{TG}$ ของแรงดัน $V_G$ ตั้งแต่ค่า 0 ถึง 1.8V มีช่วงค่าความต้านทานที่ค่อยข้างจะกว้าง ดังนั้นจึงส่งผลให้ช่วงของความถี่ VCO จะมีช่วงความถี่ที่กว้าง หรือกล่าวอีกนัยหนึ่งคือมีความชันของ VCO ที่สูง โดยค่าความต้านทานของ $R_{TG}$ สามารถหาได้ดังที่

$$R_{TG} = \frac{V_{out} - V_{in}}{I_{out}} \tag{5.26}$$

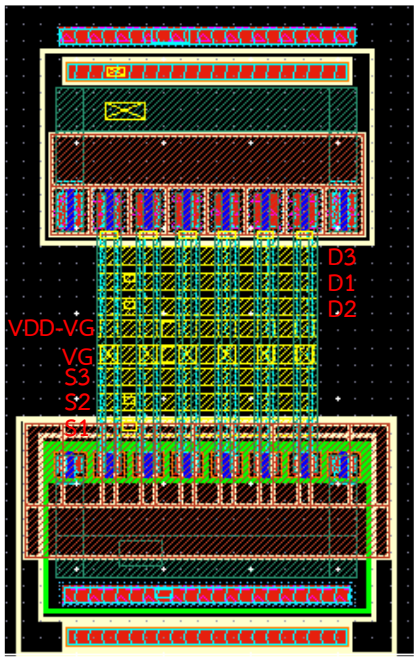
และ $g_{TG}$

$$g_{TG} = 1/R_{TG} \tag{5.27}$$

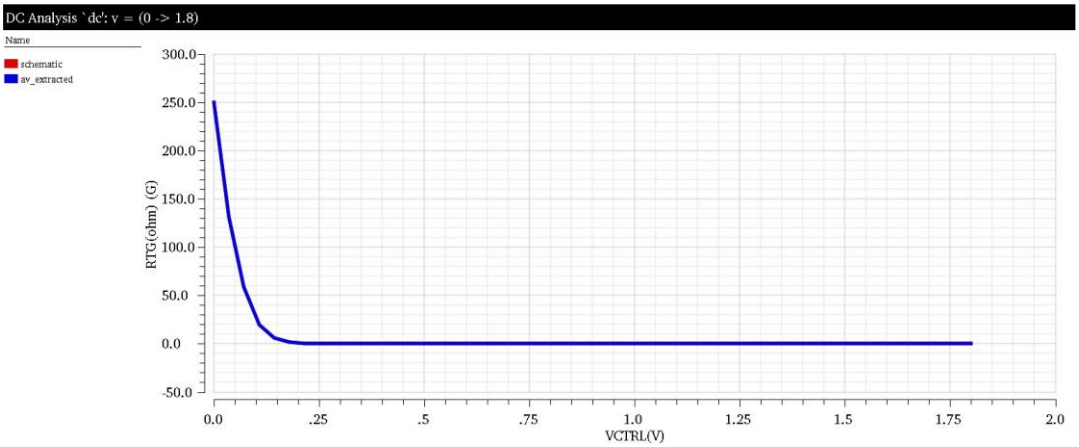
ในการออกแบบจะทำการเลือกขนาดของทรานซิสเตอร์เอ็นมอส $W_n$=1um ,$L_n$=0.4um และทรานซิสเตอร์พีมอส $W_p$=2.5um ,$L_p$=0.4um ส่วนต่อไปจะเป็นการแสดงวงจร transmission gate แบบ schematic และlayout และผลการจำลองเปรียบเทียบของทั้งสองแบบ schematic และ layout และเนื่องจากเป็นวงจร VCO แบบ 3 สเตจ ดังนั้นวงจร transmission gate จึงประกอบด้วยสามวงจรที่เหมือนกันทุกประการสามารถแสดงดังรูปที่ 5.35




**(a)** schematic ของวงจร transmission gate 3 วงจร



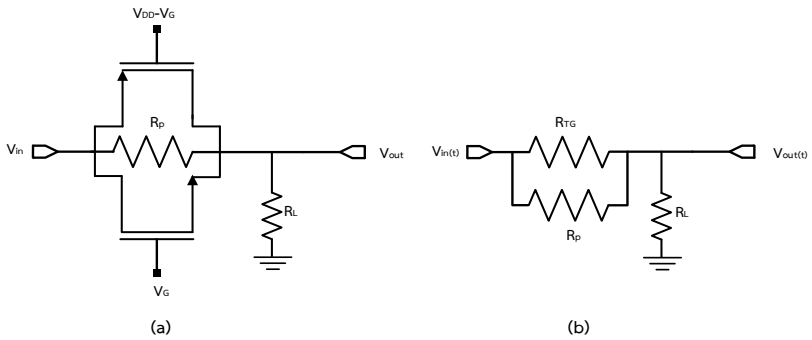

**(b)** layout ของวงจรรูปที่ 5.35(a)




**(c)** ผลการจำลองค่าความต้านทานของวงจร transmission gate

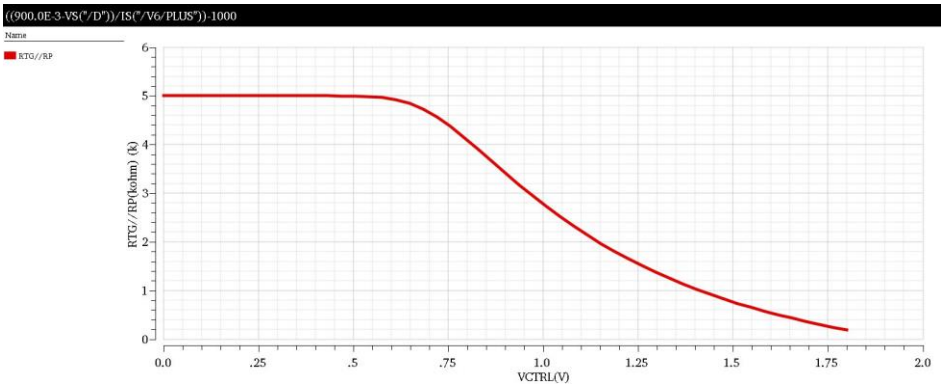
**รูปที่ 5.35** วงจร และผลการจำลอง transmission gate ทั้ง schematic และ av_exteacted

จากผลการจำลองค่าความต้านทาน $R_{TG}$ ของแบบ schematic และav_extracted มีค่าเท่ากัน แต่เนื่องจากพบว่าค่าความต้านทานในช่วงแรงดันดีซีอินพุท $V_G$ ช่วง 0 ถึง 1.8V จะมีค่าที่แตกต่างกันค่อนข้างสูง ดังนั้นจะส่งผลให้ช่วงความถี่ของ VCO หรือความชันของ VCO มีค่าสูง ส่งผลให้มีความยากลำบากในการออกแบบลูปเสถียรภาพของระบบสำหรับระบบกู้คืนสัญญาณบีพีเอสเค ,คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานของเฟสล็อกลูป วิธีแก้ปัญหาที่ง่ายที่สุดในการทำให้ค่าความต้านทานของ $R_{TG}$ มีช่วงที่แคบลง ด้วยการต่อตัวต้านทานค่าหนึ่งมาขนานระหว่างขาเดรน และขาซอส หรือระหว่างขาอินพุท และเอาท์พุทของวงจร transmission gate นั้นเอง จากแนวคิดจึงจะทำการออกแบบ และทำการทดลองเพื่อดูผลการจำลองว่าได้ตามความต้องการหรือไม่ สามารถแสดงแนวคิดดังรูปที่ 5.36




**รูปที่ 5.36** แนวคิดลดช่วงความกว้างของค่า $R_{TG}$

จากแนวคิดรูปที่ 5.36 จะต้องหาค่า $R_P$ สำหรับต่อขนานเพื่อลดช่วงความกว้างของค่า $R_{TG}$ เพื่อทำให้ช่วงความถี่หรือความชันของ VCO มีค่าไม่สูงเกินไป เพื่อไม่ให้มีผลกระทบต่อการออกแบบเสถียรภาพของระบบลูปปิด โดยสามารถที่จะจำลองวงจรรูปที่ 5.37 เพื่อดูค่าความต้านทานที่เกิดขึ้น

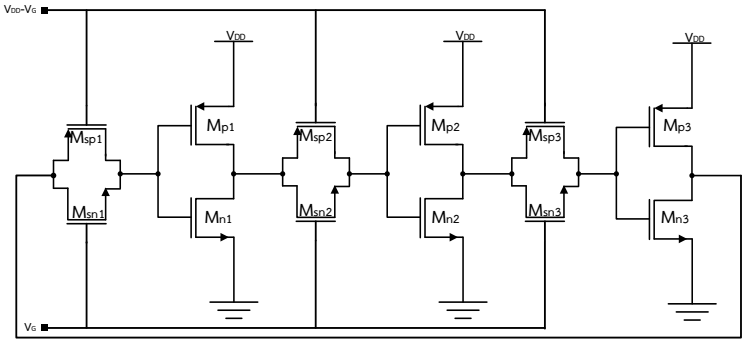



**รูปที่ 5.37** ผลการจำลองค่าความต้านทานของ transmission gate รูปที่ 5.35

จากการจำลองวงจรรูปที่ 5.36 และผลการจำลองรูปที่ 5.37 จะพบว่าช่วงแรงดัน $V_G$ 0 ถึง 0.6V ที่มีค่าความต้านทาน $R_{TG}$ ที่สูงนั้นจะโดนลดทอนให้มีค่าใกล้เคียงกับ $R_P$ และเมื่อแรงดัน $V_G$ มีค่ามากกว่า 0.6V หรือ transmission gate (switch on) ค่าความต้านทานของ transmission gate จะมีค่าใกล้เคียงกับค่าความต้านทาน $R_{TG}$ ซึ่งพบว่าวิธีการต่อ $R_P$ ขนานเข้าไปกับวงจร transmission gate จะลดช่วงความต้านทาน เพื่อทำให้ช่วงความถี่ และความชันของ VCO มีค่าลดลง

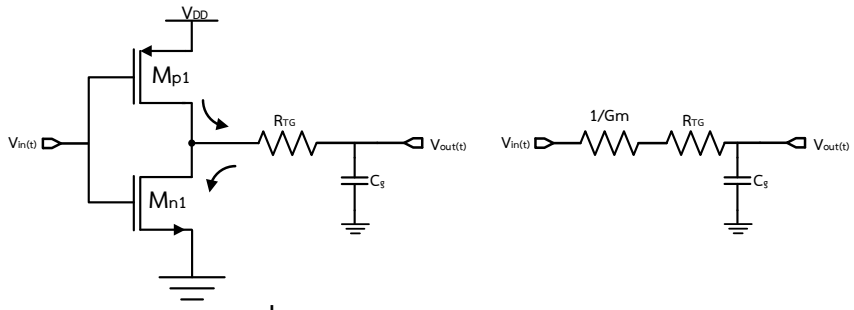
- **Three-stage voltage-controlled ring oscillator**

ส่วนต่อไปจะทำการออกแบบ วงจร Three-stage voltage-controlled ring oscillator สามารถแสดงวงจรดังรูปที่ 5.38




**รูปที่ 5.38** Three stage fast voltage swing VCO [5.5]

จากวงจรรูปที่ 5.38 จะพบว่าช่วงการ charging และ discharging จะสมมาตรกันเนื่องจากมองเห็นโหลดอิมพีแดนซ์ค่าเดียวกัน ดังนั้นส่งผลให้สามารถที่จะสร้างสัญญาณออสซิสเลตที่มี duty cycle 50% สามารถที่จะทำการวิเคราะห์อย่างง่ายสำหรับวงจรรูปที่ 5.37 ด้วยโมเดลของ RC สามารถแสดงดังรูปที่ 5.39 และทำการวิเคราะห์




**รูปที่ 5.39** simple RC model [5.5]

จากวงจรรูปที่ 5.39 สามารถวิเคราะห์เพื่อหาความถี่ออสซิสเลต

$$f_{osc} = \frac{1}{2 \cdot N \cdot \tau} = \frac{1}{2 \cdot N \cdot \left( \frac{1}{G_m} + R_{TG} \right) \cdot C_g} = \frac{G_m}{2 \cdot N \cdot C_g \cdot \left(1 + G_m \cdot R_{TG}\right)} \tag{5.28}$$

เมื่อ N คือจำนวน stage ของ voltage-controlled ring oscillator , $G_m$ คือ transconductance ของหนึ่งสเตจอินเวอร์เตอร์ ถ้าสมมติว่าค่า $R_{TG}$ มีค่าเล็กมาก ดังนั้นความถี่ออสซิสเลตสามารถประมาณได้ดังนี้

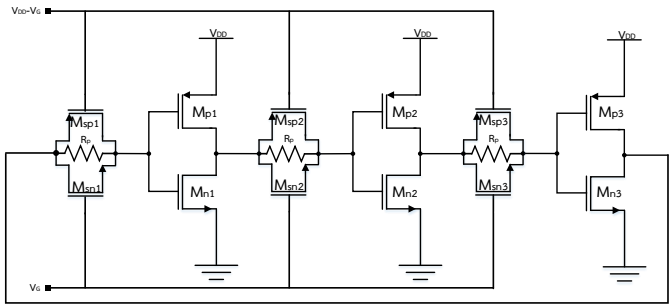
$$f_{osc} = \frac{G_m}{2 \cdot N \cdot C_g} \tag{5.29}$$

กรณีที่ $R_{TG}$ มีขนาดใหญ่ และ $G_m * R_{TG} >> 1$

$$f_{osc} = \frac{G_m}{2 \cdot N \cdot C_g \cdot R_{TG}}$$

$$= \frac{1}{2 \cdot N \cdot C_g \cdot k \left( \frac{\left(1 - e^{-1}\right) \cdot V_{DD}}{V_G - V_{TH}} - 0.3 \right)} \tag{5.30}$$

จากสมการที่ (5.29) และ(5.30) สามารถที่จะนำมาช่วยในการออกแบบวงจร Three stage fast voltage swing VCO โดยความถี่ของ VCO ที่จะออกแบบให้มีความถี่กลางอยู่ที่ 400MHz และมีความถี่ต่ำสุดอยู่ช่วง 200MHz และความถี่สูงสุดอยู่ช่วงความถี่ 600MHz โดยค่า $G_m$ ของวงจรอินเวอร์เตอร์แบบ small-signal ได้จาก $g_{mNmos}+g_{mPmos}$ แต่อย่างไรก็ตามสัญญาณจะใช้นั้นเป็นสัญญาณขนาดใหญ่จึงไม่สามารถที่จะใช้การประมาณแบบนี้ได้ซึ่งต้องย้อนกลับไปใช้สามารถแบบ large signal **[5.6]** สามารถแสดงตารางพารามิเตอร์ของทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอสของวงจร Three stage fast voltage swing VCO ที่ได้ออกแบบดังรูปที่ 5.40

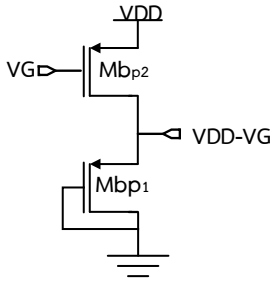


**รูปที่ 5.40** Three stage fast voltage swing VCO ที่มี $R_P$ ขนานเพื่อลดช่วงความถี่ หรือความชันของ VCO

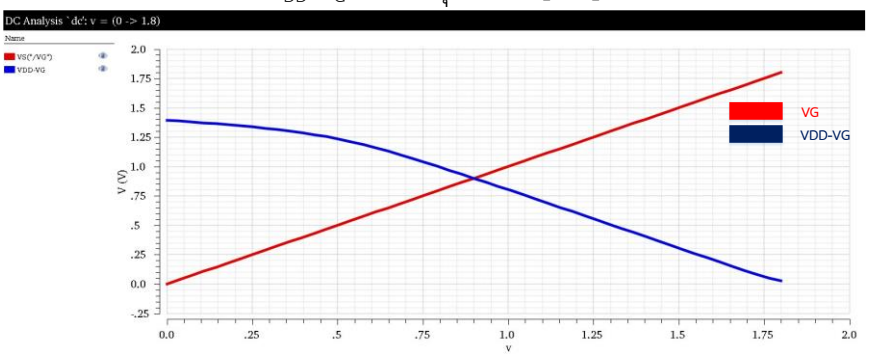
เมื่อได้วงจร และค่าพารามิเตอร์ที่ออกแบบต่อไปจะเป็นการจำลองเพื่อดูฟังก์ชันการทำงาน และดูช่วงความถี่ที่ใช้งานได้ตามต้องการหรือไม่ โดยความถี่กลางอยู่ที่ 400MHz

- **CS Stage with Diode-Connected PMOS Load**

แต่ก่อนที่จะทำการจำลองจะต้องสร้างวงจรสร้างแรงดันอินพุทของ VCO นั้นคือสร้างแรงดัน $V_G$ และแรงดัน $V_{DD}$-$V_G$ สำหรับวงจรที่จะสร้างขึ้นนั้นเป็นวงจรที่เรียกกว่า CS Stage with Diode-Connected PMOS Load สามารถแสดงดังรูปที่ 5.41




**(a)** วงจร CS Stage with Diode-Connected PMOS Load สำหรับสร้างแรงดัน $V_G$ และแรงดัน $V_{DD}$-$V_G$ ของอินพุท VCO **[5.6]**




**(b)** ผลการจำลองวงจรรูปที่ 5.40(a)

**รูปที่ 5.41** วงจร และผลการจำลองของวงจร CS Stage with Diode-Connected PMOS Load สำหรับสร้างแรงดัน $V_G$ และแรงดัน $V_{DD}$-$V_G$ ของอินพุท VCO

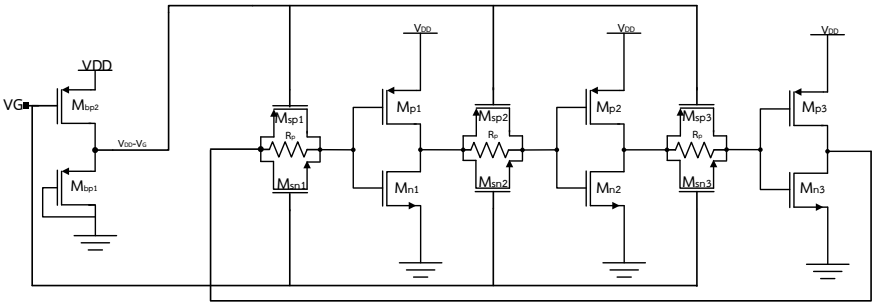
- **Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz**

จากวงจรรูปที่ 5.40 และวงจรรูปที่ 5.41 ทำให้สามารถที่จะสร้างวงจร Three stage fast voltage swing VCO ที่จะใช้งานในงานวิจัยนี้ สำหรับค่าพารามิเตอร์ และพารามิเตอร์ที่ใช้สำหรับการออกแบบที่ความถี่ 400MHz สามารถแสดงดังตารางที่ 5-3 สำหรับวงจร VCO แบบ schematic และlayout รวมทั้งผลการจำลองทั้งแบบ schematic และ av_extracted สามารถแสดงดังรูปที่ 5.42

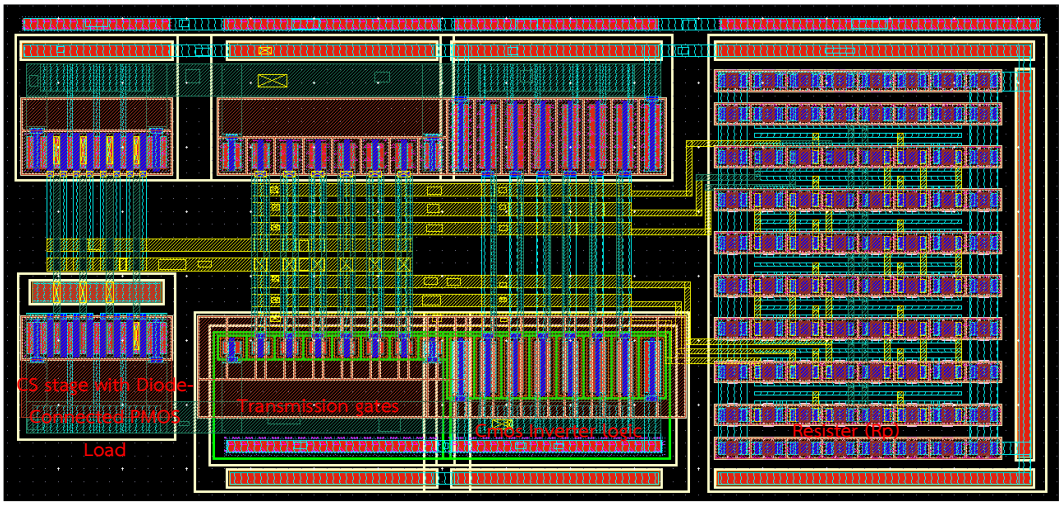
| **พารามิเตอร์** | **ค่าพารามิเตอร์** |
|---|---|
| $M_{p1}$=$M_{p2}$=$M_{p3}$ | W=5um L=0.3um |
| $M_{n1}$=$M_{n2}$=$M_{n3}$ | W=4um L=0.3um |
| $M_{sp1}$=$M_{sp2}$=$M_{sp3}$ | W=2.5um L=0.4um |

| | |
|---|---|
| $M_{sn1}=M_{sn2}=M_{sn3}$ | W=1um L=0.4um |
| $M_{bp1}=M_{bp2}$ | W=16um L=0.5um |
| $R_P$ | 6kohm |

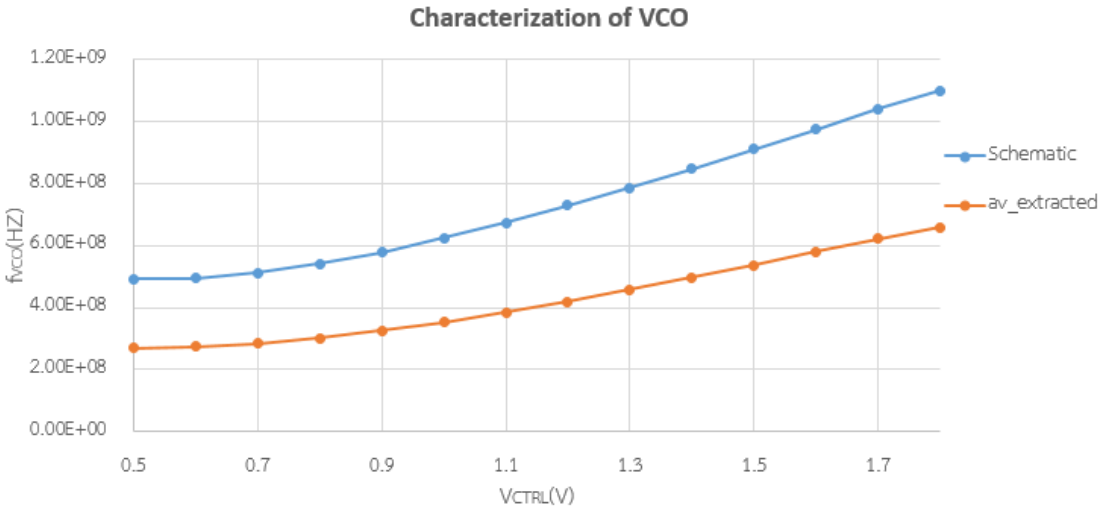
**ตารางที่ 5-3** พารามิเตอร์ และค่าพารามิเตอร์ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz ของรูปที่ 5.42




**(a)** schematic ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz




**(b)** layout ของวงจรรูปที่ 5.42(a)




**(c)** ผลการจำลองวงจร Three stage fast voltage swing VCO แบบ schematic และ layout

**รูปที่ 5.42** วงจร และผลการจำลองทั้งแบบ schematic และ layout ของ Three stage fast voltage swing VCO ความถี่กลาง 400MHz

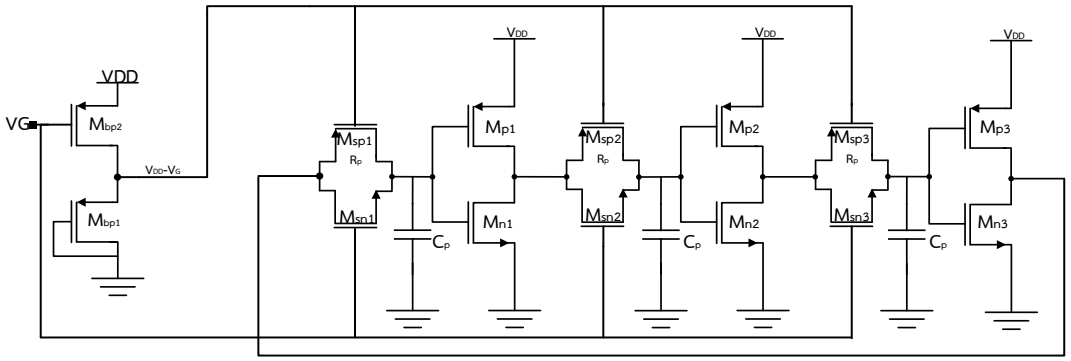
จากการจำลองพบว่าความถี่ของ VCO จะมีความแตกต่างกันอย่างมากของความถี่ที่เกิดจาก schematic และ av_exteacted เนื่องจากเวลา layout จะมีค่า parasitic resistance และparasitic capacitance ส่งผลกระทบต่อความถี่ของ VCO โดยตรงสามารถดูจากสมการที่ (5.28) ความถี่ของ VCO ขึ้นกับ $\tau = RC$ โดยตรงดังนั้นจึงส่งผลให้ความถี่ของ VCO ที่เกิดจาก schematic มีค่าสูงกว่าแบบ av_exteacted ส่วนต่อไปจะทำการออกแบบ Three stage fast voltage swing VCO ที่มีความถี่กลางอยู่ที่ 50MHz

- **Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz**

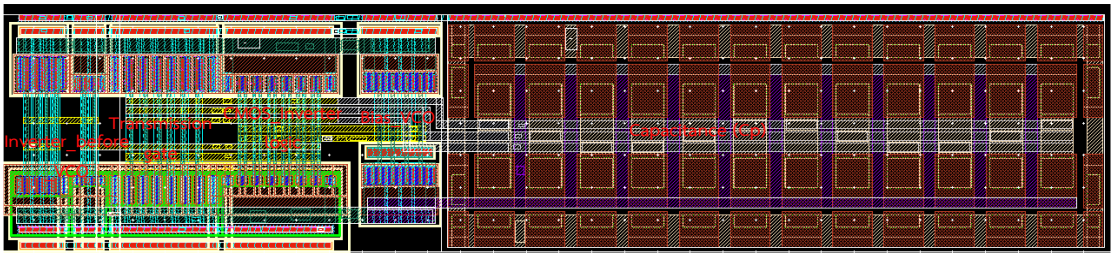
สำหรับวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz จะทำการออกแบบจากสมการที่ (5.28) แต่เนื่องจากวงจร VCO ที่จะออกแบบต้องการช่วงความถี่ที่กว้าง ดังนั้นจะไม่นำตัวต้านทาน $R_P$ ไปต่อขนานกับวงจร transmission gate การออกแบบให้ช่วงความถี่กว้างเพื่อสามารถใช้งานได้ในความถี่ระหว่าง 40MHz ถึง 150MHz แต่อย่างไรก็ตามการที่ความถี่ของ VCO มีความถี่ที่กว้างจะส่งผลให้ความชันของ VCO มีค่าสูง ซึ่งอาจจะมีผลกระทบต่อการออกแบบเสถียรภาพของระบบ ซึ่งส่วนนี้จะต้องใช้ความเข้าใจอย่างยิ่งยวดในการออกแบบเสถียรภาพของระบบป้อนกลับแบบลบ สามารถแสดงตารางที่ 5-4ของพารามิเตอร์ ,ค่าพารามิเตอร์ และแสดงรูปschematic และ layout รวมทั้งผลการจำลองของ Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz แสดงดังรูปที่ 5.43 โดยการออกแบบจากสมการที่ 5.28 จะพบว่าสามารถที่จะลดความถี่ด้วยการต่อตัวเก็บประจุขนานกับขาเกทของวงจรซีมอสอินเวอร์เตอร์ลงกราวนด์ เพื่อเพิ่มค่า $\tau = RC$ ซึ่งจะทำให้ความถี่ของ VCO ลดลง

| **พารามิเตอร์** | **ค่าพารามิเตอร์** |
|---|---|
| $M_{p1}=M_{p2}=M_{p3}$ | W=7.5um L=0.3um |
| $M_{n1}=M_{n2}=M_{n3}$ | W=6um L=0.3um |
| $M_{sp1}=M_{sp2}=M_{sp3}$ | W=2um L=0.4um |
| $M_{sn1}=M_{sn2}=M_{sn3}$ | W=1um L=0.4um |
| $M_{bp1}=M_{bp2}$ | W=16um L=0.5um |
| $C_P$ | 200fF |

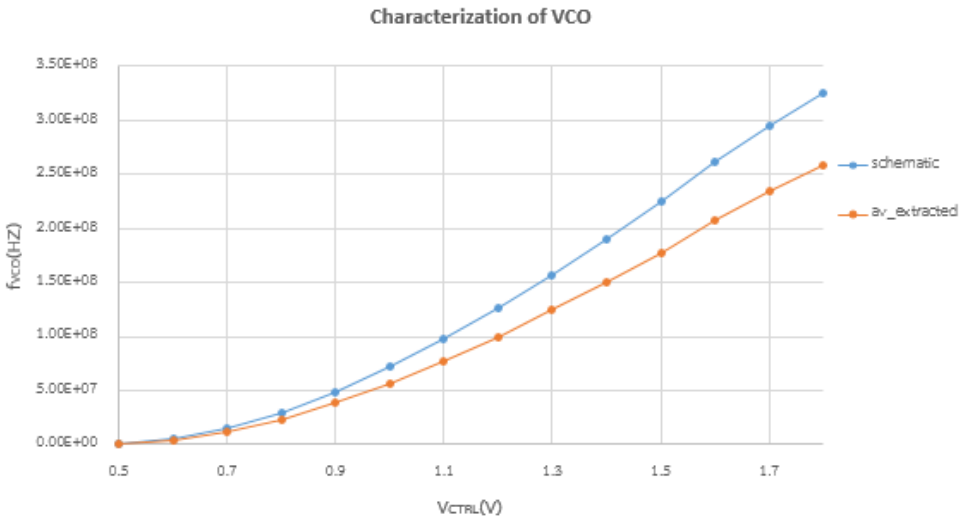
**ตารางที่ 5-4** พารามิเตอร์ และค่าพารามิเตอร์ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz ของรูปที่ 5.43




**(a)** schematic ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 75MHz



**(b)** layout ของวงจรรูปที่ 5.43(a)

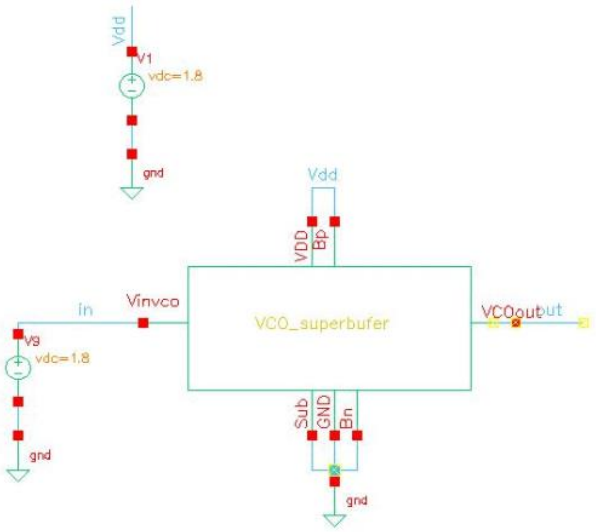



**(c)** ผลการจำลองวงจร Three stage fast voltage swing VCO แบบ schematic และ layout

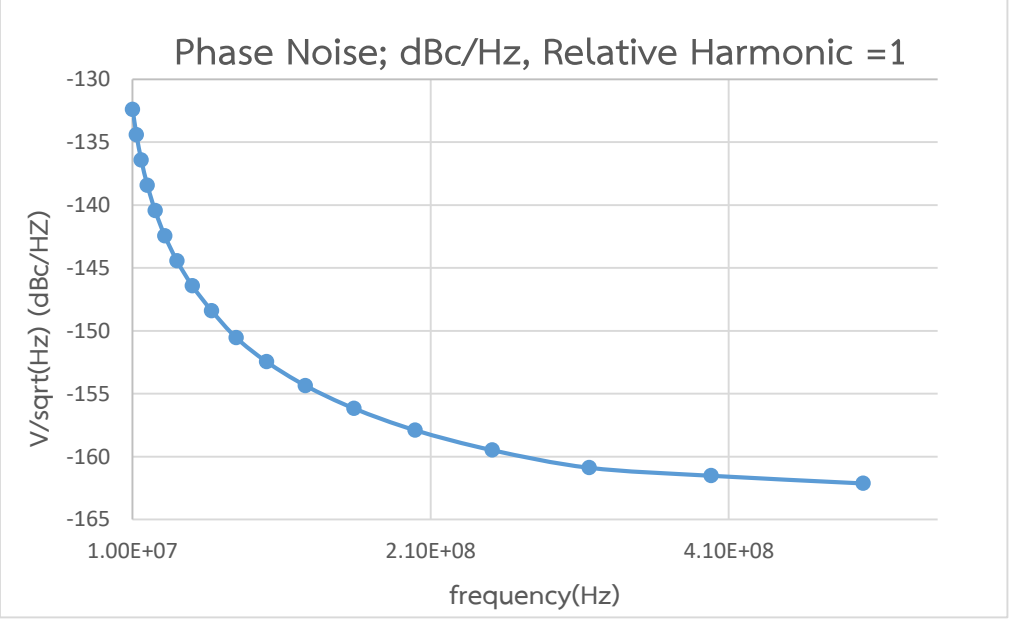
**รูปที่ 5.43** วงจร และผลการจำลองทั้งแบบ schematic และ layout ของ Three stage fast voltage swing VCO ความถี่กลาง 75MHz

### 5.3.2.3 การจำลอง และผลการจำลองประสิทธิภาพของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz

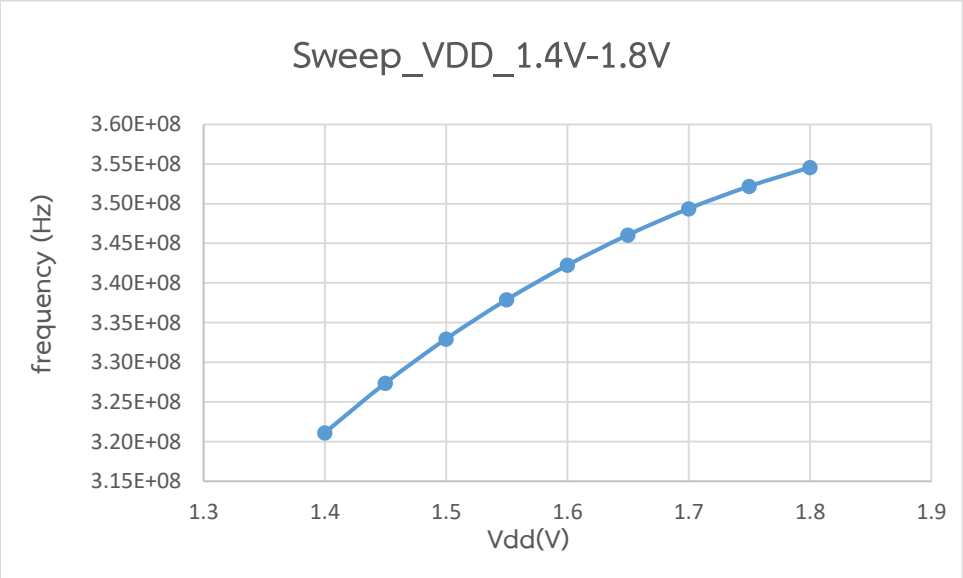
ต่อไปนี้จะเป็นการจำลอง และผลการจำลองของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz เพื่อดูประสิทธิภาพของวงจร โดยจะพิจารณา phase noise ที่ความถี่ต่างๆ และ power ที่ใช้ในแต่ละความถี่ รวมทั้งจะทำการปรับเปลี่ยนไฟเลี้ยงเพื่อดูประสิทธิภาพของวงจร สามารถแสดงดังรูปที่ 5.44




**(a)** schematic ของการจำลอง Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz




**(b)** Phase noise ของวงจรรูปที่ 5.44(a) ที่ทำการ sweep ความถี่ตั้งแต่ 10MHz-500MHz




**(c)** sweep Vdd ของวงจรรูปที 5.44 (a) จาก Vdd 1.4V-1.8V และ VCOin 1V

| **พารามิเตอร์** | **av_extracted** |
|---|---|
| Power @400MHz | 1.112mW |
| Phase noise @400MHz | -161.8 dBc/Hz |

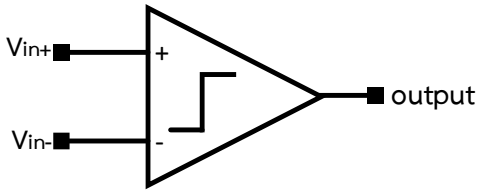
**(d)** ประสิทธิภาพของวงจรรูปที 5.44 (a)

**รูปที่ 5.44** การจำลอง และผลการจำลองประสิทธิภาพ Three stage fast voltage swing VCO ที่ความถี่กลาง 400MHz

จากออกแบบ และจำลองของวงจร VCO สามารถที่ได้ฟังก์ชันการทำงานที่ต้องการ โดยมีการจำลองทั้งแบบ schematic และแบบ av_extracted ส่วนต่อไปจะทำการออแบบวงจร voltage comparator เพื่อใช้ในการเปรียบเทียบแรงดันข้อสัญญาณหลังวงจรกรองความถี่ต่ำผ่านขิง positive edge triggered RSFF เพื่อเป็นตัวตัดสินใจว่าจะนำกระแส $I_{up}$ หรือ $I_{down}$ ป้อนเข้าไป สำหรับวงจร voltage comparator จะต้องทำงานได้ที่ความถี่มากกว่าอัตรการส่งข้อมูลที่ต้องการเพื่อทำให้การทำงานของระบบกู้คืนสัญญาณบีพีเอส, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปเป็นไปอย่างถูกต้องตามการอธิบายในบทที่ 3

### 5.3.3 วงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator) [5.7]

วงจร voltage comparator เป็นวงจรที่ใช้งานกันอย่างแพร่หลายในงานด้านอิเล็กทรอนิกส์ โดยทำหน้าที่ตรวจจับสัญญาณแรงดันที่มีขนาดใหญ่กว่าหรือเล็กกว่ากับแรงดันอ้างอิง หรือใช้สำหรับเปรียบเทียบระหว่างสองสัญญาณแรงดัน สำหรับพารามิเตอรที่ทำการพิจารณาของวงจร voltage comparator ได้แก่ Input Offset, Hysteresis, power, speed, bandwidth และ propagation delay วงจร voltage comparator จะประกอบด้วยสองอินพุท และหนึ่งเอาท์พุท สามารถแสดงดังรูปที่5.45

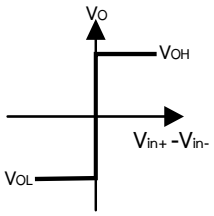



**รูปที่ 5.45** วงจร Voltage Comparator

$V_{out} = 1$ ,if $V_{in+} > V_{in-}$

และ $V_{out} = 0$ ,if $V_{in+} < V_{in-}$ (5.31)

สำหรับวงจร voltage comparator ที่ทำการเปรียบเทียบสัญญาณแรงดันกับสัญญาณแรงดันอื่นหรือเปรียบเทียบกับแรงดันอ้างอิงดีซี โดยให้แรงดันที่ขา $V_{in+}$ เป็นสัญญาณอินพุท และสัญญาณแรงดันที่ขา $V_{in-}$ เป็นสัญญาณอ้างอิง โดยเมื่อแรงดัน $V_{in+} > V_{in-}$ สัญญาณเอาท์พุทจะให้ลอจิก 1 แต่ถ้าแรงดัน $V_{in+} < V_{in-}$ สัญญาณเอาท์พุทจะให้ลอจก 0 มันมีความสำคัญสำหรับการส่งผ่านสัญญาณอินพุทเปลี่ยนไปเป็นสัญญาณเอาท์พุท สามารถแสดงกราฟความสัมพันธ์ระหว่างสัญญาณแรงดันอินพุท และสัญญาณเอาท์พุทดังรูปที่ 5.46




**รูปที่ 5.46** คุณลักษณะอุดมคติของวงจรเปรียบเทียบสัญญาณแรงดัน

สำหรับวงจรเปรียบเทียบแรงดัน (voltage comparator) แบ่งได้สองแบบ ได้แก่ open-loop comparators และregenerative comparators โดยวงจรเปรียบเทียบแรงดันแบบลูปเปิด มีพื้นฐานมาจากวงจรออปแอมป์ที่ไม่การออกแบบของการชดเชย ส่วนวงจรเปรียบเทียบแรงดัน regenerative จะเป็นการป้อนกลับแบบบวก คล้ายกับวงจรพลิปพล็อป และแบบที่สามคือการรวมกันของวงจรเปรียบเทียบแรงดันแบบลูปเปิด กับ regenerative วิธีนี้จะทำให้วงจรมีการทำงานที่รวดเร็ว ต่อไปพิจารณาคุณลักษณะของวงจรเปรียเทียบแรงดันแบบ static และแบบ dynamic

**5.3.3.1 Static Characteristics**

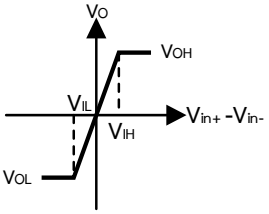
คุณลักษณะแบบ static ของวงจรเปรียบเทียบแรงดันที่มีการพิจารณาได้แก่ gain, resolution, input offset voltage และnoise

- **Gain**

สำหรับเกนของวงจรเปรียบเทียบสัญญาณแรงดันก็สัญญาณเอาท์พุทที่มีการเปลี่ยนแปลงระหว่าง $V_{OL}$ และ$V_{OH}$ สำหรับการเปลี่ยนแปลงแรงดันอินพุท $V_{IH}$ และ$V_{IL}$ ที่เป็นการอธิบายแทนผลต่างระหว่าง $V_{in+}$ -$V_{in-}$ สามารถเขียนสมการดังที่ (5.32)

$$A_v = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IH}} \quad (5.32)$$

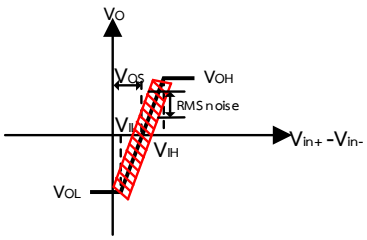
โดยเกนของวงจรเปรียบเทียบแรงดันนั้นมีความสำคัญเพื่ออธิบายการช่วงการทำงานของวงจร และแรงดันของ $V_{OL}$ และ$V_{OH}$ จะต้องเพียงพอเพื่อให้เป็นไปตาม $V_{IH}$ และ$V_{IL}$ แสดงฟังก์ชันถ่ายโอนของวงจรเปรียบเทียบแรงดันดังรูปที่ 5.47




**รูปที่ 5.47** กราฟคุณลักษณะของวงจรเปรียบเทียบสัญญาแรงดันที่มีเกนจำกัด

- **Input Offset Voltage**

สำหรับแรงดันอินพุทออฟเซ็ตสามารถที่จะแบ่งได้สองแบบคือแรงดันอินพุทออฟเซ็ตแบบเป็นระบบกับแรงดันอินพุทออฟเซ็ตแบบแรนดอม โดยสาเหตุที่เกิดขึ้นอาจจะมาจากการที่ทรานซิสเตอร์ที่อินพุทของวงจรเปรียบเทียบแรงดันไม่สมมาตร (mismatch) เช่นการไม่สมมาตรกันของแรงดันขีดเริ่มของทรานซิสเตอร์ที่อินพุทของวงจรเปรียบเทียบแรงดัน จากรูปที่ 5.45 จะพบว่าสัญญาณแรงดันเอาท์พุทจะเปลี่ยนแปลงเมื่อสัญญาณผลต่างแรงดันอินพุทข้ามค่าศูนย์ แต่ในกรณีแรงดันเอาท์พุทจะไม่เปลี่ยนแปลงจนกระทั่งสัญญาณผลต่างแรงดันอินพุทมีค่าเป็น $V_{OS}$ ซึ่งที่จุดนี้เรียกกว่าแรงดันออฟเซ็ต สำหรับแรงดันออฟเซ็ตที่ไม่มีค่าเป็นศูนย์นั้นไม่เป็นปัญหาขอเพียงว่าแรงดันออฟเซ็ตมีค่าคงที่ค่าใดค่าหนึ่งหรือเป็นค่าที่ทราบแน่นอน แสดงดังรูปที่ 5.48 แต่ถ้าแรงดันอินพุทออฟเซ็ตที่แบบสุ่มที่มาจากการออกแบบและไม่สามารถที่จะทราบค่าแรงดันอินพุทออฟเซ็ต $V_{OS}$ และนอกเหนือจากนี้ สัญญาณรบกวน (noise) ก็มีส่วนสำคัญสำหรับการทำงานของแรงดันเปรียบเทียบ เนื่องจากสัญญาณรบกวน (noise) ถ้ามีการเอนเอียงไปทางใดทางหนึ่งและไม่ได้อยู่กึ่งกลางก็จะมีผลต่อการตัดสินใจที่แรงดันอินพุทของวงจรเปรียบเทียบแรงดัน




**รูปที่ 5.48** กราฟคุณลักษณะของวงจรเปรียบเทียบสัญญาแรงดัน ที่มีแรงดันอินพุทออฟเซ็ต และสัญญาณรบกวน

### 5.3.3.2 Dynamic Characteristics

คุณลักษณะแบบ dynamic ของวงจรเปรียบเทียบแรงดันได้แก่ speed หรือ propagation time dela

- **Propagation Delay**

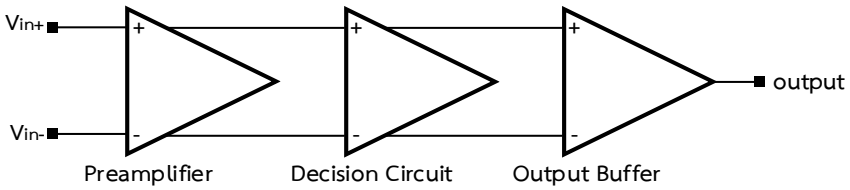
เป็นพารามิเตอร์ที่สำคัญความเร็วของแรงดันเปรียบเทียบแรงดันมีผลกระทบต่ออัตราการส่งข้อมูลโดยตรง ซึ่งเป็นการตอบสนองของสัญญาณเอาท์พุทต่อสัญญาณอินพุท โดย propagation delay

เป็น delay ระหว่างอินพุท และเอาท์พุท สามารถที่จะแสดงสมการของ propagation delay ดังที่ (5.33)

Propagation delay =(Rising propagation delay +
Falling Propagation delay)/2 (5.33)

**5.3.3.3 Non-clocked Comparators**

สำหรับงานนี้จะใช้วงจรเปรียบเทียบแรงดันแบบไม่มีสัญญาณนาฬิกา โดยวงจรนี้จะประกอบด้วยสามสเตจ ได้แก่ วงจร preamplifier, วงจร positive feedback หรือ decision making stage และวงจร output buffer โดยวงจร preamplifier ทำหน้าที่ในการขยายสัญญาณอินพุทที่ป้อนเข้าในวงจรเปรียบเทียบแรงดันเพื่อทำให้การตัดสินใจของวงจทำงานได้เร็วขึ้น และลดผลกระทบของสัญญาณรบกวน ส่วนวงจร positive feedback มีหน้าที่ในการตัดสินใจว่าสัญญาณใดมีขนาดใหญ่กว่า และสุดท้ายวงจร output buffer ทำหน้าที่ในการขยายสัญญาณเอาท์พุทให้ได้ขนาดเพียงพอต่อการขับโหลดที่ต้องการ สามารถแสดงวงจรเปรียบเทียบแรงดันแบบไม่มีสัญญาณนาฬิกาดังรูปที่ 5.49



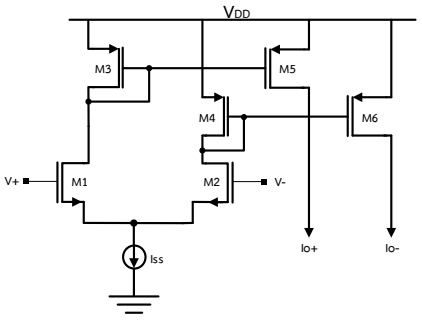

**รูปที่ 5.49** วงจรเปรียบเทียบแรงดันแบบไม่มีสัญญาณนาฬิกา

- **Preamplifier**

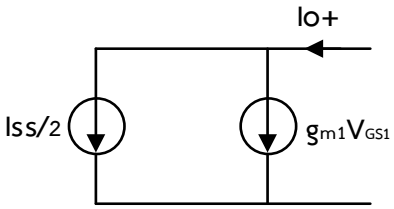
สำหรับวงจรส่วนนี้จะเป็นอินพุทของวงจรเปรียบเทียบแรงดัน โดยจะเป็นวงจรขยายผลต่าง (differential amplifier ที่มีโหลด diode connected แสดงดังรูปที่ 5.50 ซึ่งแรงดันอินพุท V+, V- จะเปลี่ยนแปลงเป็นกระแสเอาท์พุท Io+, Io- เพื่อใช้ขับวงจร decision โดยจะมีกระแสไบอัส $I_{SS}$ ทำให้กระแสสมมาตรระหว่างทรานซิสเตอร์ M1 และM2 โดยทรานซิสเตอร์ M1 จะเปลี่ยนแปลงจากแรงดัน $V_{GS1}$ ไปเป็นกระแส สำหรับวงจรสมมูลของสัญญาณขนาดเล็ก (small equivalent) แสดงดังรูปที่ 5.50(b) สามารถอธิบายกระแส Io+ ดังที่ (5.34)

$$i_{o+} = g_{m1}V_{GS1} + \frac{I_{SS}}{2} = g_m\left(\frac{V_+ - V_-}{2}\right) + \frac{I_{SS}}{2} = I_{SS} - i_{o-} \quad (5.34)$$

โดย $g_m=g_{m1}=g_{m2}$




**(a)** วงจร preamplifier

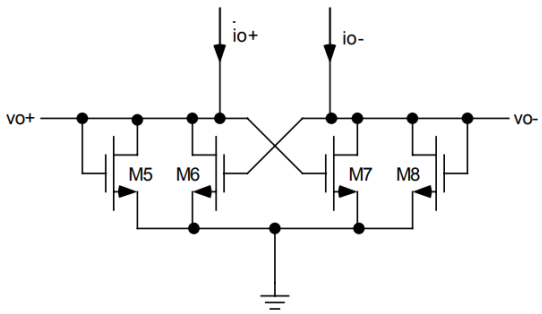



**(b)** small equivalent ของทรานซิสเตอร์ M1

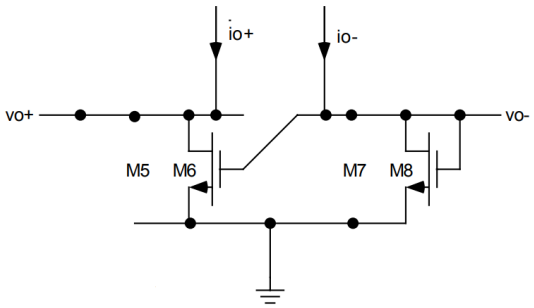
**รูปที่ 5.50**วงจร Preamplifier

- **วงจร Decision stage**

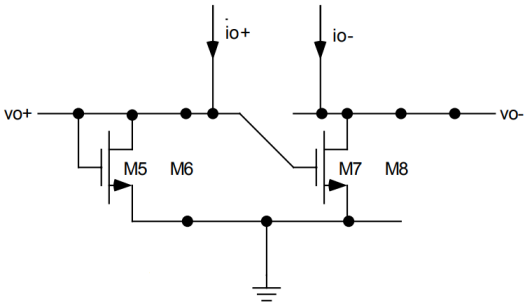
วงจร decision จะเป็นอุปกรณ์พื้นฐานของหน่วยความจำ (Bistable) แสดงดังรูปที่ 5.51 (a) มันจะมีสถานะใดนั้นขึ้นอยู่กับสัญญาณอินพุทที่เข้ามา เมื่อ Io->>Io+ ทรานซิสเตอร์ M6 และM8 จะทำงาน และทรานซิสเตอร์ M5 และM7 จะไม่ทำงาน แสดงดังรูปที่ 5.51 (b) แต่เมื่อ Io-<<Io+ จะทำงานในทางตรงกันข้ามกัน สามารถแสดงการวิเคราะห์เงื่อนไขต่างๆดังนี้




**(a)** วงจร decision




**(b)** Equivalent Circuit Vo+>Vo-




**(c)** Equivalent Circuit Vo+<Vo-

**รูปที่ 5.51** วงจร decision circuit [5.8]

พิจารณาเงื่อนไขกรณีที่ io->>io+

$io- = i_8 + i_7 = i_8$ เนื่องจาก $i_7 = 0$ , M7 ไม่ทำงาน

$io+ = i_6 + i_5 = i_6$ เนื่องจาก $i_7 = 0$ , M5 ไม่ทำงาน

$io- + io+ = I_{ss}$ โดย $I_{ss}$ เป็นกระแสไบอัสคงที่ (5.35)

และภายใต้เงื่อนไข io->>io+ แรงดัน $Vo+ = V_{DS6} = 0$ (M6 ทำงาน) และแรงดัน $Vo- = V_{GS8}$ เมื่อ $i_8$ =io- ดังนั้น

$$io- = i_8 = \frac{\beta_8}{2}\left(V_{GS8} - V_{th}\right)^2 = \frac{\beta_A}{2}\left(V_{o-} - V_{th}\right)^2 \quad (5.36)$$

โดย $\beta_A = \beta_5 = \beta_8$

และในกรณีที่ io-<<io+ แรงดัน $Vo- = V_{GS6}$ (M6 ไม่ทำงาน) ดังนั้น

$$io+ = i_6 = \frac{\beta_6}{2}\left(V_{GS6} - V_{th}\right)^2 = \frac{\beta_B}{2}\left(V_{o-} - V_{th}\right)^2 \quad (5.37)$$

โดย $\beta_B = \beta_6 = \beta_7$

จากสมการที่ (5.36) และ(5.37)

$$io+ = \frac{\beta_B}{\beta_A}\, io- \quad (5.38)$$

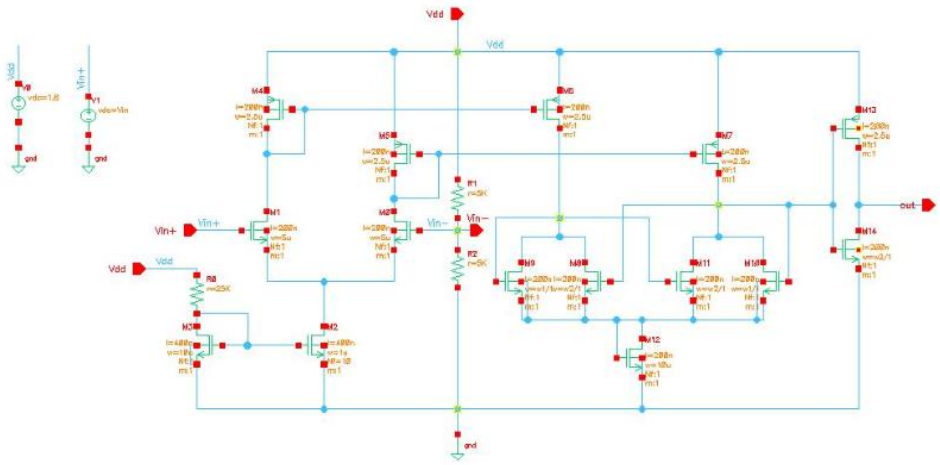
จากสมการที่ (5.36) สามารถเขียน Vo-

$$Vo- = \sqrt{\frac{2i_{o-}}{\beta}} + V_{th} \quad (5.39)$$

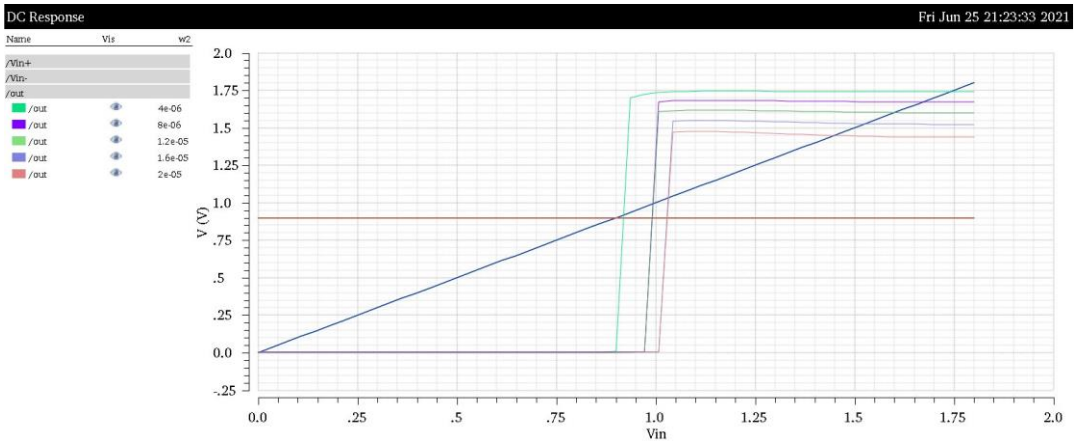
และจากสมการที่ (5.37) สามารถเขียน Vo+

$$Vo+ = \sqrt{\frac{2i_{o+}}{\beta}} + V_{th} \quad (5.40)$$

ต่อไปจะเป็นการจำลองวงจรเปรียบเทียบแรงดันรูปที 5.52(a) โดยจะทำการปรับเปลี่ยนอัตราส่วนของขนาดทรานซิสเตอร์ โดยขนาดของทรานซิสเตอร์ $(M_8/M_9)>1$ เพื่อที่จะให้การทำงานของส่วน decision ทำงานได้อย่างถูกต้องโดยจะทำการปรับเปลี่ยนอัตราส่วนระหว่างทรานซิสเตอร์ทั้งสองจาก 2:4:6:8:10 เท่า เพื่อดูผลการจำลอง โดยจะป้อนแรงดัน sweep จาก 0V ถึง1.8V ไปยังขา Vin+ และจะป้อนแรงดันดีซีค่า 0.9V ไปยังขา Vin- และที่เอาท์พุท (out) ของวงจรเปรียบเทียบแรงดันจะให้ค่าแรงดันไม่อยู่ในช่วง 0V ถึง 1.8 ดังนั้นจะต้องมีวงจรอินเวอร์เตอร์มาช่วยในการขับให้แรงดันเอาท์พุทอยู่ในช่วง 0V ถึง 1.8V สามารถแสดงวงจรการจำลอง และผลการจำลอง รวมทั้งประสิทธิภาพของวงจรดังรูปที่ 5.52



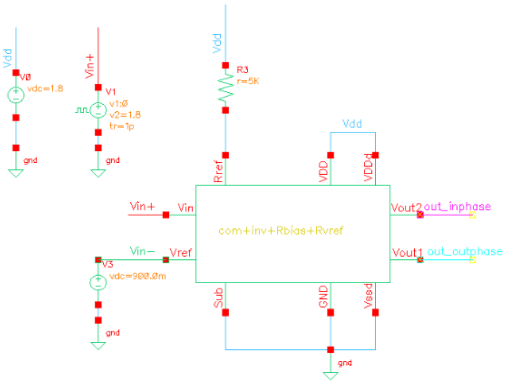

**(a)** schematic ของวงจรเปรียบเทียบแรงดัน



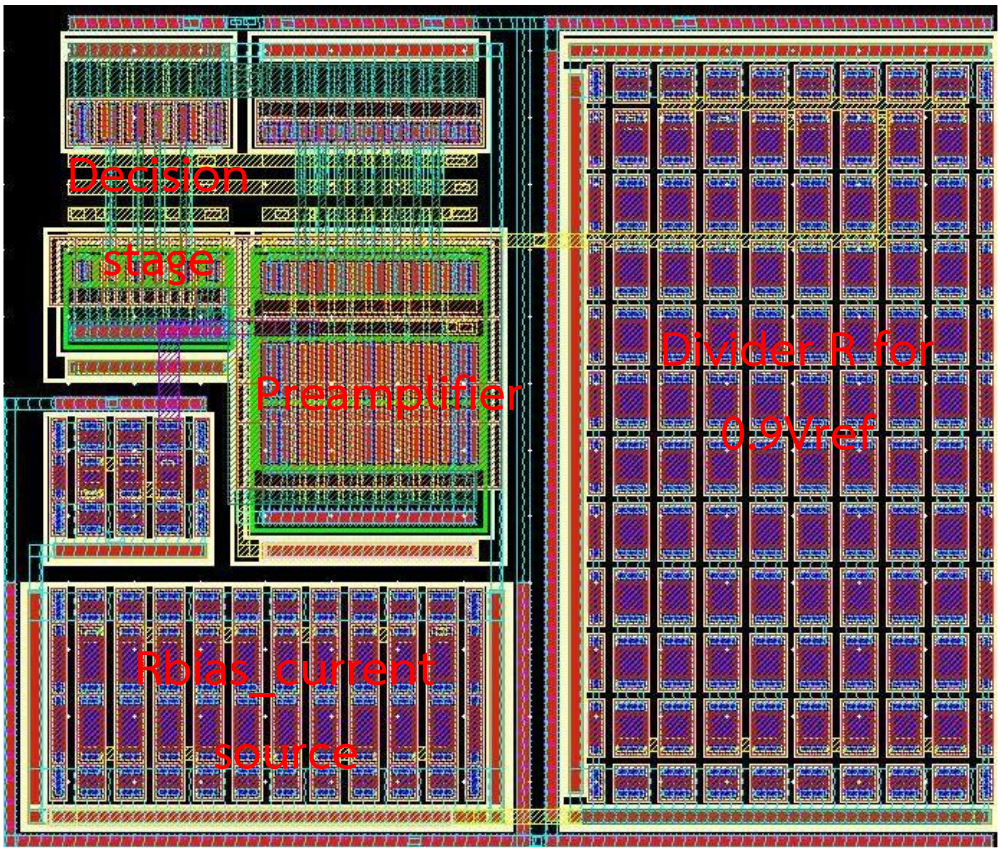

**(b)** ผลการจำลองวงจรรูปที่ 5.52(a) ด้วยการเปลี่ยนอัตราส่วนระหว่าง ($M_6/M_5$) ของรูปที่ 5.51(a)

**รูปที่ 5.52** วงจร และการผลการจำลองวงจรเปรียบเทียบแรงดัน

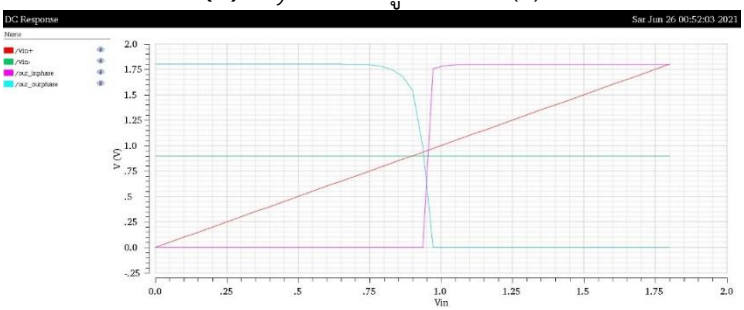
จากการอธิบายวงจร preamplifier และวงจร decision รวมทั้งการวิเคราะห์สามารถนำไปใช้ในการออกแบบ schematic และ layout รวมทั้งการจำลองเปรียบเทียบทั้งแบบ schematic และ av_extracted สามารถที่จะแสดงวงจร schematic และ layout รวมทั้งผลการจำลองดังรูปที่ 5.53



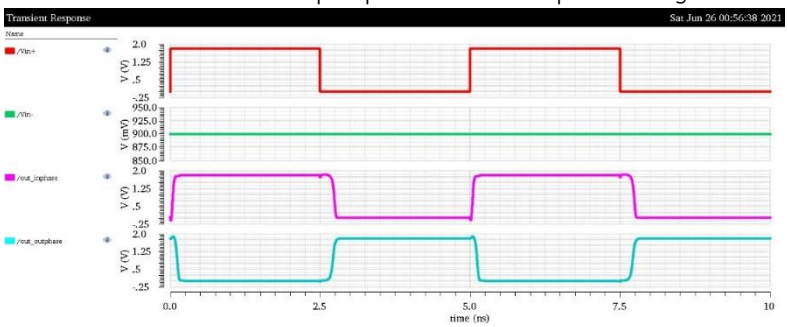

**(a)** schematic ของวงจรเปรียบเทียบแรงดัน



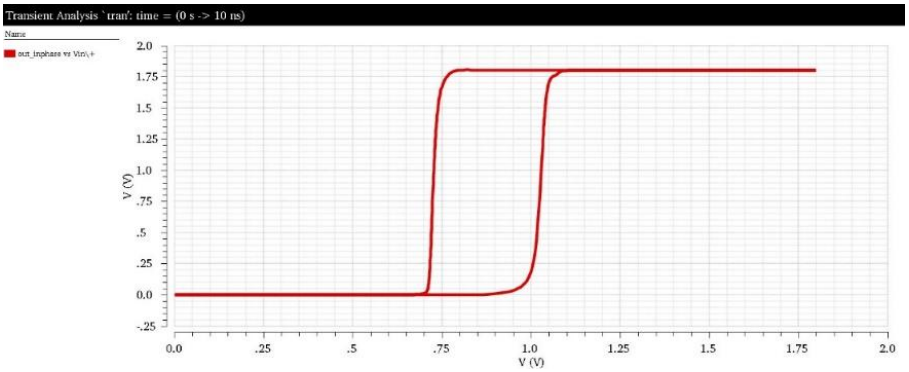

**(b)** loyout ของรูปที่ 5.53 (a)




**(c)** ผลการจำลอง dc sweep input เพื่อหาค่า input voltage offset




**(d)** ผลการจำลอง Time domain ด้วยมีอินพุทสัญญาณพัลส์ 200MHz




**(e)** ผลการจำลอง Hysteresis ของวงจรูปที่ 5.53 (a)

| พารามิเตอร์ | ค่าพารามิเตอร์ |
|---|---|
| Input voltage offset (mV) | 54 |
| Rise time (ps) | 30.27 |
| Fall time (ps) | 43.33 |
| Delay (ps) | 44.97 |
| Power (mW) | 1.37 |

**(f)** ตารางผลการทดสอบประสิทธิภาพที่ความถี่อินพุท 200MHz

**รูปที่ 5.53** การจำลอง และผลการจำลองประสิทธิภาพของวงจรเปรียบเทียบแรงดัน

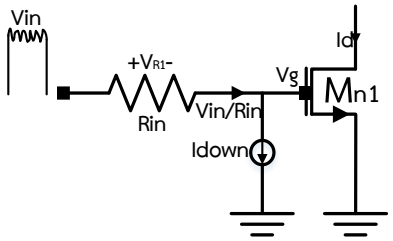
จากการออกแบบ และจำลองวงจรเปรียบเทียบแรงดันทำให้ได้วงจรที่สามารถใช้งานในการออกแบบระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ส่วนต่อไปจะทำการออกแบบวงจรที่ทำหน้าที่ในการปรับระดับแรงดันของสัญญาณอินพุทที่มีสองระดับให้อยู่ในระดับเดียวกันของสัญญาณเอาท์พุท จะกล่าวในหัวข้อถัด

### 5.3.4 วงจรปรับระดับแรงดัน

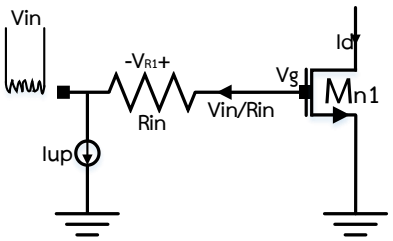
วงจรปรับระดับแรงดันจะทำหน้าที่ปรับแรงดันอินพุทสองระดับให้เหลือระดับแรงดันเอาท์พุทเพียงระดับเดียวตามหลักการกู้สัญญาณ บีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการพื้นฐานเฟสล็อกดังที่กล่าวมาในบทที่ 3 นั้นคือวงจรนี้จะทำหน้าที่ในการปรับระดับสัญญาณบีพีเอสเคดีมอดูเลตสองระดับให้เป็นสัญญาณเอาท์พุทเพียวระดับเดียวเข้าไปยังอินพุทของวงจร VCO สามารถแสดงแนวคิดดังรูปที่ 5.54

**รูปที่ 5.54** วงจรปรับระดับแรงดัน

จากวงจรรูปที่ 5.54 เป็นแนวคิดที่จะใช้ในการออกแบบระดับซีมอส โดยสามารถที่จะทำงานได้ตามแนวคิดรูปที่ 5.54 โดยการออกแบบในระดับซีมอสนั้นจะเริ่มจากการคิดเปลี่ยนสัญญาณแรงดันให้อยู่ในรูปของกระแส เพื่อที่จะให้ง่ายในการปรับกระแสเพิ่ม หรือลด เพื่อทำให้ระดับสัญญาณอินพุทที่มีสองระดับเหลือเพียงระดับเดียว การปรับกระแสจะง่ายกว่าการปรับแรงดัน สามารถแสดงแนวคิดนี้ดังรูปที่ 5.55




**(a)** กรณีแรงดันอินพุทสูง ต้องการปรับให้มีระดับต่ำลง




**(b)** กรณีแรงดันอินพุทต่ำ ต้องการปรับให้มีระดับสูงขึ้น

**รูปที่ 5.55** แนวคิดของการปรับระดับแรงดันในระดับซีมอส

จากวงจรรูปที่ 5.55 (a) สามารถที่จะทำการวิเคราะห์ได้ดังนี้ เริ่มจากการ KVL ที่อินพุท

$$-V_{in}+V_{R1}+V_g=0$$

$$V_g=V_{in}-V_{R1}=V_{in}-I_{down}R_{in} \tag{5.41}$$

และจากรูปที่ 5.55 (b) สามารถที่จะทำการวิเคราะห์ได้ดังนี้ เริ่มจากการ KVL ที่อินพุท

$$-V_{in}-V_{R1}+V_g=0$$

$$V_g=V_{in}+V_{R1}=V_{in}+I_{up}R_{in} \tag{5.42}$$

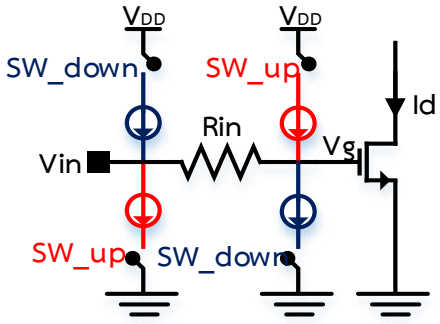
จากสมการที่ (5.41) และ(5.42) จะพบว่าการที่จะทำให้แรงดัน Vg มีค่าเท่ากันนั้นในสองกรณีรูปที่ 5.55 (a) และ 5.55(b) นั้นสามารถที่จะทำได้ด้วยการปรับกระแส $I_{down}$ และ$I_{up}$ ที่มีค่าเหมาะสมเพื่อทำให้ Vg เท่ากัน สมมติว่าแรงดัน Vin สูงมีค่า 1.35 V ต้องการแรงดัน Vg=0.9V และมีตัวต้านทานอินพุท Rin =50kohm สามารถที่จะหากระแส $I_{down}$ ได้ดังนี้

$$I_{down}=\frac{V_{in}-V_g}{R_{in}}=\frac{1.35V-0.9V}{50k}=9uA \tag{5.43}$$

และสมมติว่าแรงดัน Vin ต่ำมีค่า 0.45 V ต้องการแรงดัน Vg=0.9V และมีตัวต้านทานอินพุท Rin =50kohm

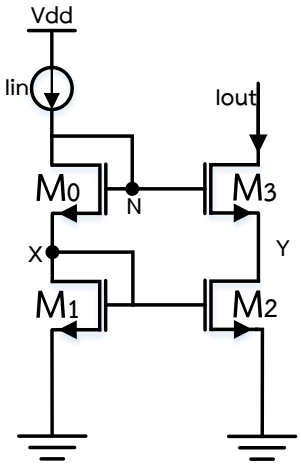
$$I_{up}=\frac{V_g-V_{in}}{R_{in}}=\frac{0.9V-0.45V}{50k}=9uA \tag{5.44}$$

จากสมการที่ (5.43) และ (5.44) พบว่าสามารถที่จะคำนวณหาค่ากระแส $I_{down}$ และ$I_{up}$ ที่ใช้ในการปรับระดับแรงดันอินพุทสองระดับให้อยู่ในค่าแรงดัน Vg ระดับเดียวกัน ต่อไปจะเป็นการออกแบบระบบการเลือกจะนำการกระแส$I_{down}$ หรือ$I_{up}$ มาใช้ดังนั้นจะต้องมีการตัดสินใจว่าค่าแรงดันอินพุท Vin มีค่าสูงหรือต่ำกว่าค่าแรงดันอ้างอิง เพื่อที่จะนำมาเลือกสวิตซ์เพื่อที่จะเลือกกระแสที่ป้อนเข้าไปที่ Rin สามารถแสดงวงจรดังรูปที 5.56




**รูปที่ 5.56** วงจรภาคหน้าของวงจรปรับระดับแรงดันที่มีการใช้สวิตซ์ในการเลือกกระแส $I_{down}$ หรือ$I_{up}$

จากวงจรรูปที่ 5.56 ต่อไปจะทำการออกแบบวงจร current source และ switch สำหรับวงจร current source จะต้องมีความแม่นยำ และไม่เปลี่ยนแปลงตาม process ของทรานซิสเตอร์ (channel-length modulation) ดังนั้นการออกแบบจะใช้วงจร cascode current source มาใช้ในออกแบบระดับซีมอส โดยจะต้องออกแบบทั้งทรานซิสเตอร์เอ็นมอส และทรานซิสเตอร์พีมอส และตำแหน่ง switch นั้นจะต้องวางให้เหมาะสมเพื่อที่ให้การจ่ายกระแสนั้นได้อย่างรวดเร็วตามอัตราการส่งข้อมูลที่ต้องการต่อไปจะแสดงโครงสร้างของวงจร cascode current source และการวิเคราะห์ดังรูปที่ 5.57




**รูปที่ 5.57** วงจร cascode current source

จากวงจรรูปที่ 5.57 สามารถวิเคราะห์หาแรงดันที่จุดต่างๆ และความต้านทานเอาท์พุท โดยให้ overdrive voltage $V_{OD} = V_{GS} - V_{TH}$ โดยละเลย body effect

$$V_X = V_Y = V_{TH} + V_{OD} \tag{5.45}$$

$$V_{GS0} = V_{OD} + V_{TH} \tag{5.46}$$

โดยกระแส M0 และ M1 เป็นกระแสเดียวกัน

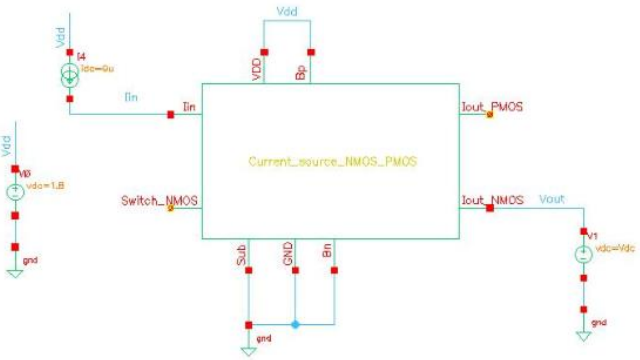
$$V_{G0} = V_{GS0} + V_{TH} = 2V_{TH} + 2V_{OD} \tag{5.47}$$

$$V_{G3} = 2V_{TH} + 2V_{OD} \tag{5.48}$$

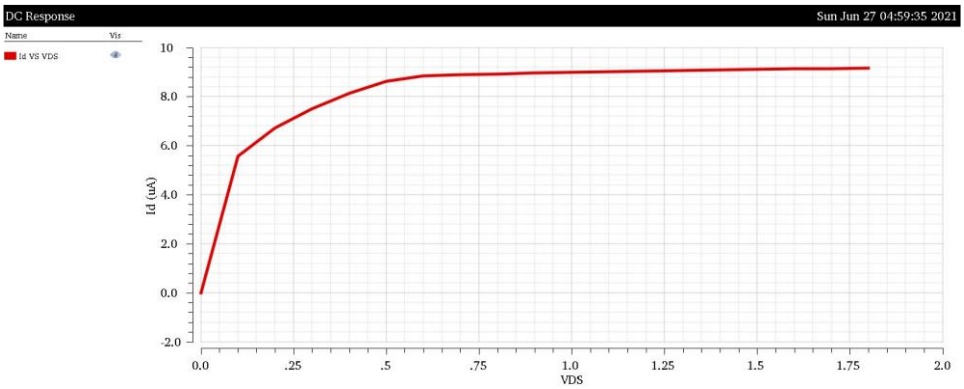
สำหรับความต้านทานเอาท์พุท คิดแบบ small signal

$$R_o = r_{o3}(1+g_{m3}r_{o2})+r_{o2} \tag{5.49}$$

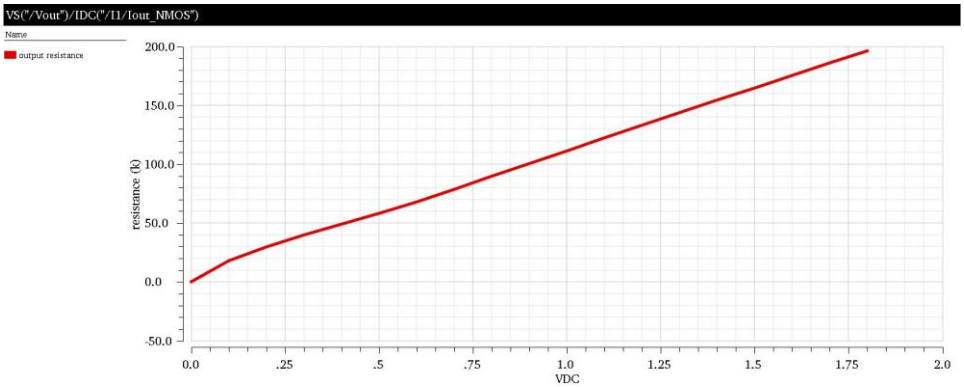
ต่อไปจะเป็นการออกแบบวงจร cascode current source ด้วยการจำลอง และผลการจำลองโดยจะดูแรงดันเอาท์พุท กับกระแส mirror และความต้านทานเอาท์พุทของวงจรสามารถแสดงดังรูปที่ 5.58




**(a)** วงจร cascode current source




**(b)** ผลการจำลอง $I_{out}$ เมื่อ Vout มีการเปลี่ยนแปลงจาก 0V ถึง 1.8V

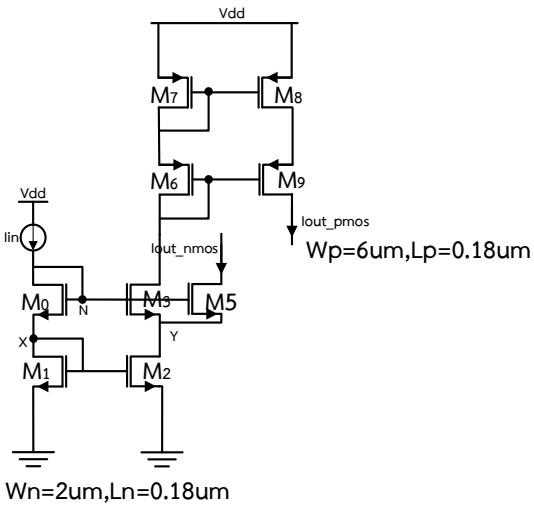



**(c)** ผลการจำลองความต้านทานเอาท์พุทของวงจร cascode current source

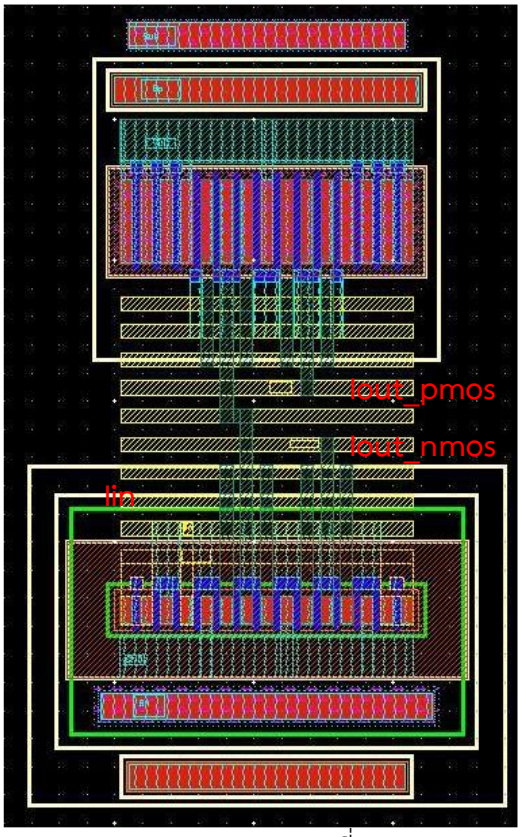
**รูปที่ 5.58** การจำลอง และผลการจำลองของวงจร cascode current source

จากการจำลองรูปที่ 5.58 ใช้ทรานซิสเตอร์เอ็นมอสขนาด w=2um, l=0.18um ต่อไปจะออกแบบในส่วนของทรานซิสเอตร์พีมอสด้วยตามรูปที่ 5.56 โดยจะใช้ทรานซิสเตอร์พีมอสขนาด w=6um, l=0.18um ซึ่งจะแสดงวงจร และผลการจำลองของกระแสเอาท์พุทเทียบกับแรงดันเอาท์พุท และ

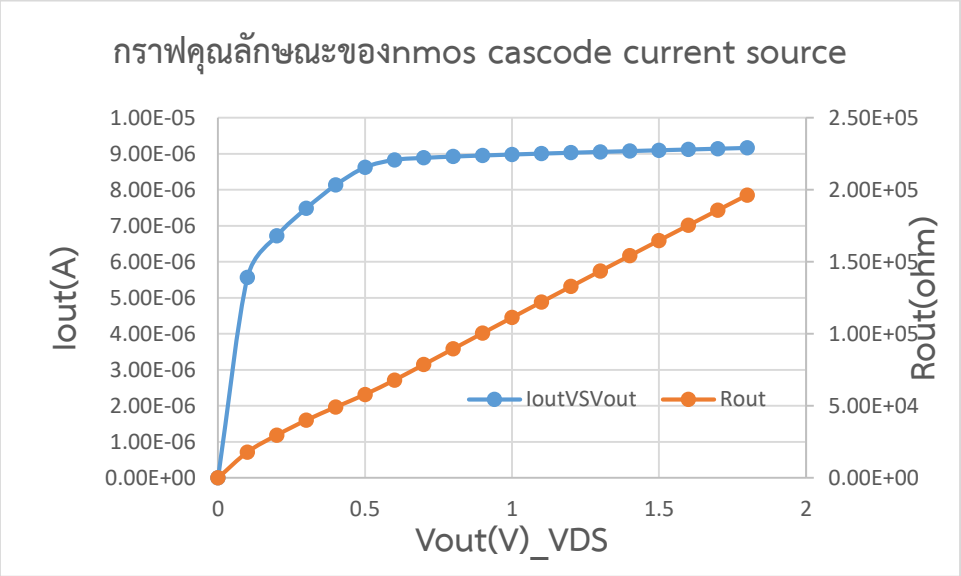
ความต้านทานเอาท์พุทที้งของโครงสร้าง cascode current source แบบเอ็นมอส และพีมอส ซึ่งจะจำลองที่เป็น av_extracted แล้วสามารถแสงดังรูปที่ 5.59



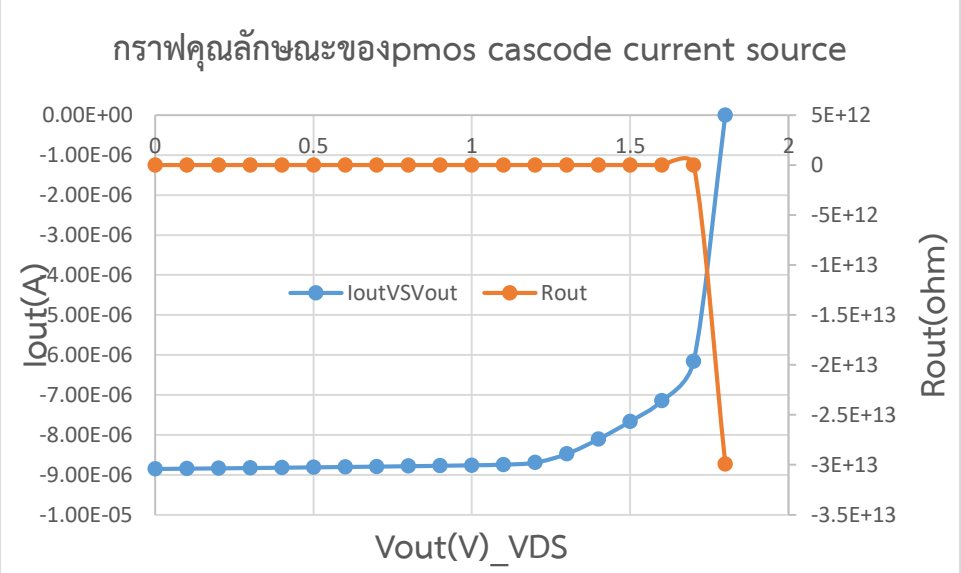

**(a)** cascode current source ที่ใช้ในการสร้างกระแส $I_{down}$ และ$I_{up}$




**(b)** layout ของวงจรรูปที่ 5.59 (a)



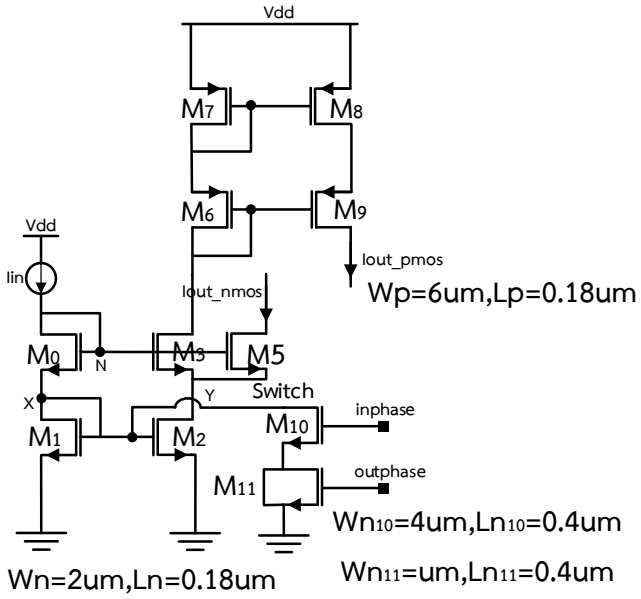

**(c)** กราฟคุณลักษณะของ nmos cascode current source รูปที่ 5.59 (b)



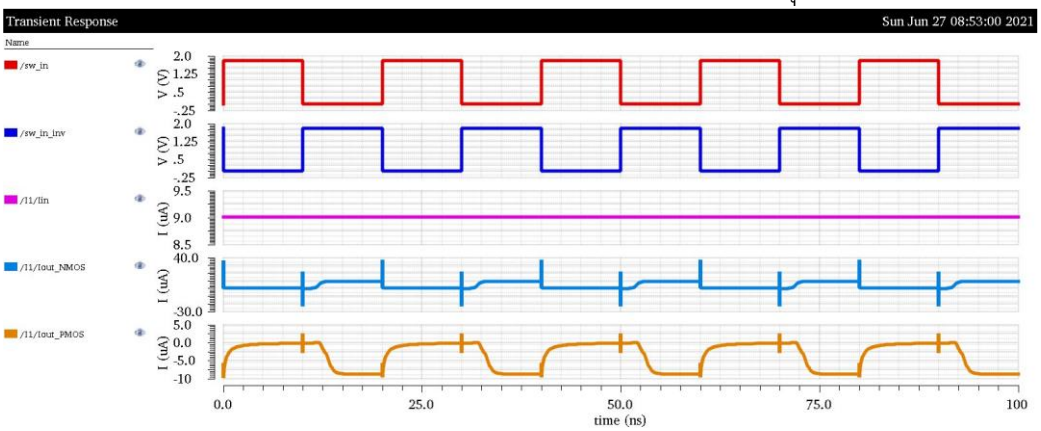

**(d)** กราฟคุณลักษณะของ pmos cascode current source รูปที่ 5.59 (b)

**รูปที่ 5.59** การจำลอง และผลการจำลองวงจร nmos_pmos cascode current source

จากการจำลอง และผลการจำลองของ cascade current source รูปที่ 5.59 กระแสเอาท์พุท และความต้านทานเอาท์พุท โดยส่วนต่อไปจะออกแบบ switch ที่ใช้สำหรับการควบคุมการจ่ายกระแส $I_{down}$ หรือ$I_{up}$ ไปยังตัวต้านทาน Rin ดังรูปที่ 5.56 โดยการออกแบบ switch จะให้วางอยู่ที่ขาเกทของ cascade current source โดยถ้าต้องการป้อนกระแส $I_{down}$ หรือ$I_{up}$ switch จะไม่ทำงาน แต่ถ้าต้องการไม่ให้กระแสไหลเข้าไปยัง Rin switch จะทำงานให้ขาเกทของ cascade current source เชื่อมต่อกับแรงดัน 0V หรือกราวนด์ สามารถแสดงวงจรดังรูปที่ 5.60



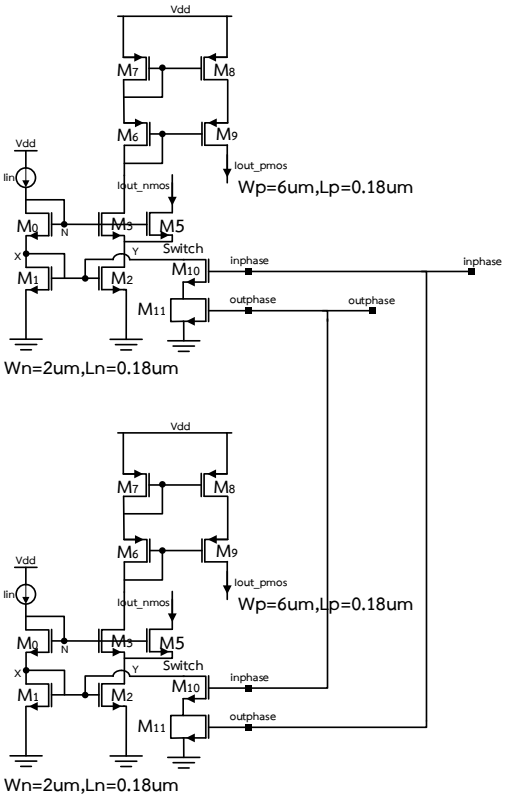

**(a)** วงจร cascade current source ที่มี sw ควบคุม



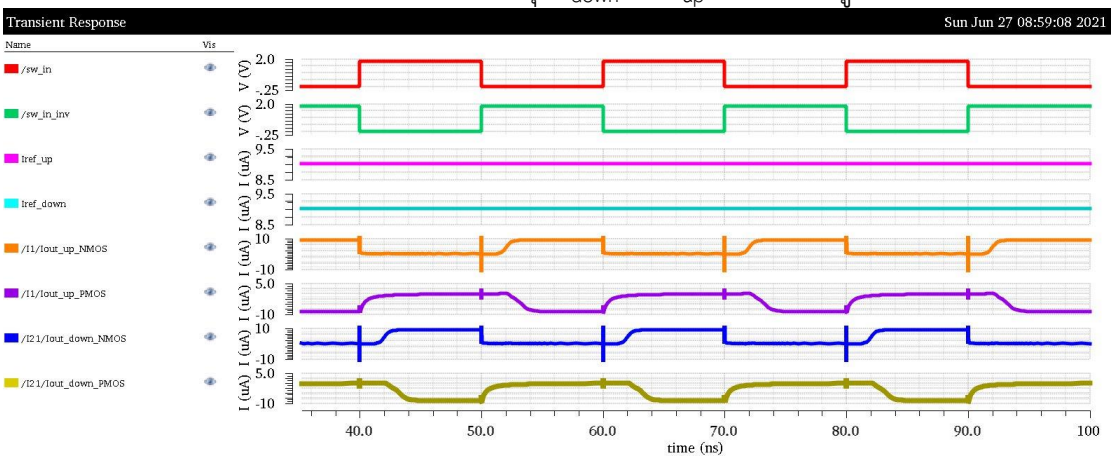

**(b)** ผลการจำลองของวงจรรูปที่ 5.60 (a)

**รูปที่ 5.60** การจำลอง และผลการจำลองของการ switch ควบคุมการไหลของกระแส $I_{down}$ หรือ$I_{up}$

จากการจำลอง และผลการจำลองของ switch ที่ใช้ควบคุมการไหลของกระแส $I_{down}$ หรือ$I_{up}$ จะพบว่าวงจรสามารถที่จะทำงานได้ตามหลักการ แต่จะมีความไม่สมมาตรของความเร็วของ switch ในการเปิดปิดการไหลของกระแส แต่เนื่องจากมันเป็นทั้ง Iout_nmos และIout_pmos ดังนั้นจึงสามารถทำงานได้ ต่อไปจะทำการแสดงวงจรของ cascade current source ทั้งกรณี $I_{down}$ และ$I_{up}$ สามารถแสดงดังรูปที่ 5.61




(a) โครงสร้างซีมอสของการควบคุม $I_{down}$ และ$I_{up}$ ตามแนวคิดรูปที่ 5.56

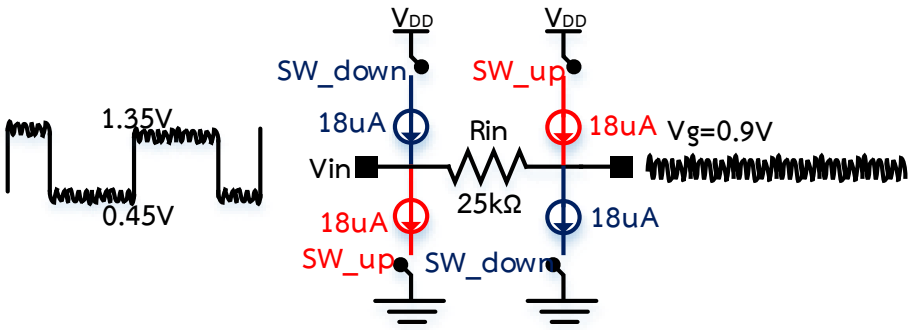



(b) ผลการจำลองของวงจรรูปที่ 5.61 (a)

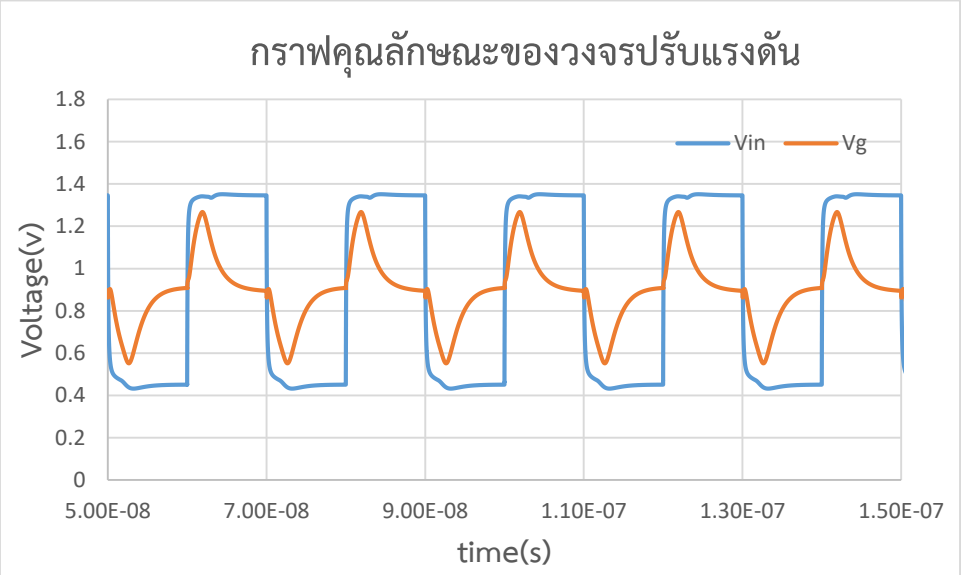
**รูปที่ 5.61** การจำลอง และผลการจำลองของแนวคิดการไหลของ $I_{down}$ และ$I_{up}$ เพื่อทำให้ Vg มีเพียงค่าเดียวทั้งแรงดันอินพุทสูง หรือแรงดันอินพุทต่ำ

จากการจำลอง และผลการจำลองวงจรรรูปที่ 5.61 สามารถที่จะสร้างวงจรที่สามารถควบคุมการไหลของกระแส $I_{down}$ และ$I_{up}$ เพื่อปรับระดับแรงดันอินพุท หรือสัญญาณบีพีเอสเค ดีมอดูเลตสองระดับให้อยู่ในสัญญาณระดับเดียว Vg เพื่อให้เป็นไปตามหลักการของการกู้คืนสัญญาณ บีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป อย่างก็ตามค่าตัวต้านทาน Rin จะต้องมีค่าที่เหมาะสมเพื่อให้ได้อัตราการส่งข้อมูล และไม่มีผลกระทบต่อโหลดของวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนหน้า โดยโหลดของวงจรกรองขึ้นอยู่กับอัตราการส่งข้อมูลยิ่งอัตราการส่งข้อมูลสูงโหดของวงจรกรองสัญญาณความถี่

ต่ำผ่านก็จะยิ่งต่ำลง ต่อไปจะทำการจำลองด้วยการสมมติสัญญาณข้อมูลป้อนเข้าไปยัง Vin ของวงจร รูปที่ 5.62 และมีตัวต้านทาน Rin =25kΩ และกระแส $I_{down}$ และ$I_{up}$ มีค่า 18uA สามารถแสดงวงจรและผลการจำลองดังรูปที่ 5.62



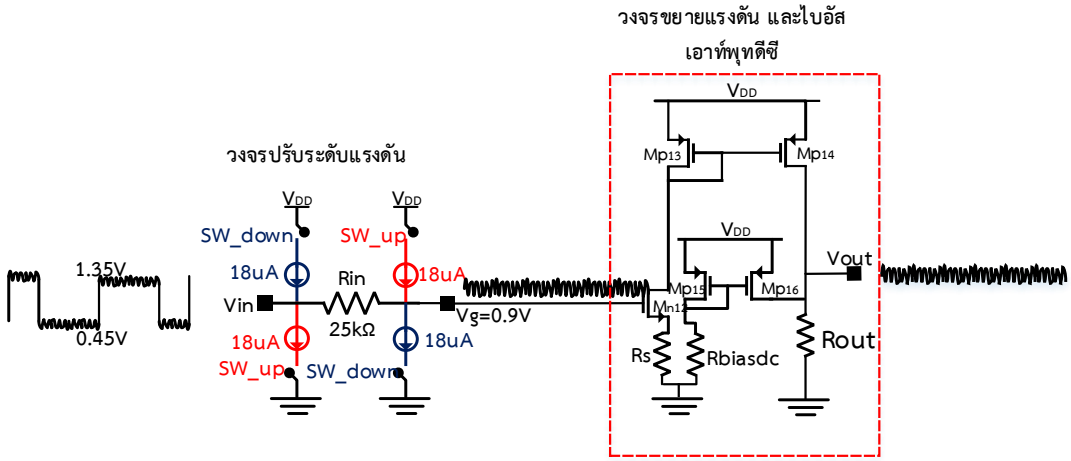

**(a)** วงจรปรับระดับแรงดันอินพุทสองระดับเป็นแรงดันเอาท์พุท Vg หนึ่งระดับ



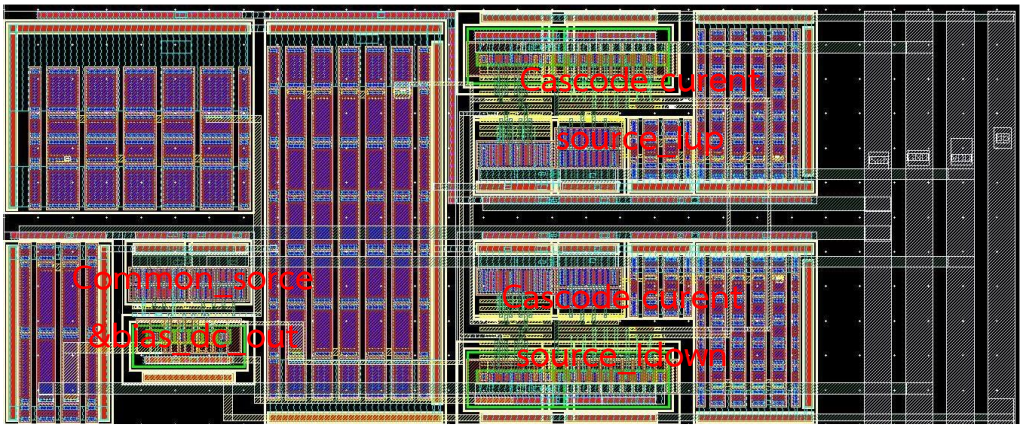

**(b)** ผลการจำลองของวงจรรูปที่ 5.62 (a)

**รูปที่ 5.62** การจำลอง และผลการจำลองวงจรปรับแรงดัน

วงจร และผลการจำลองรูปที่ 5.62 เป็นวงจรปรับแรงดันสัญญาณอินพุทสองระดับ (Vin) ให้เป็นสัญญาณเอาท์พุทเพียงระดับเดียว (Vg) ตามหลักการบทที่ 3 ส่วนต่อไปจะทำการสร้างวงจรขยายแรงดันเพื่อให้ได้ช่วงแรงดันอินพุทของ VCO ที่เพิ่มขึ้นเพื่อจะได้ช่วงความถี่ของ VCO ที่มากที่สุด โดยวงจรนี้จะมีตัวต้านทาน Rs เพื่อความเป็นเชิงเส้น และจะมีวงจรไบอัสดีซีที่เอาท์พุทของวงจรเพื่อช่วยในการตั้งระดับแรงดันของ VCO แสดงดังรูปที่ 5.63



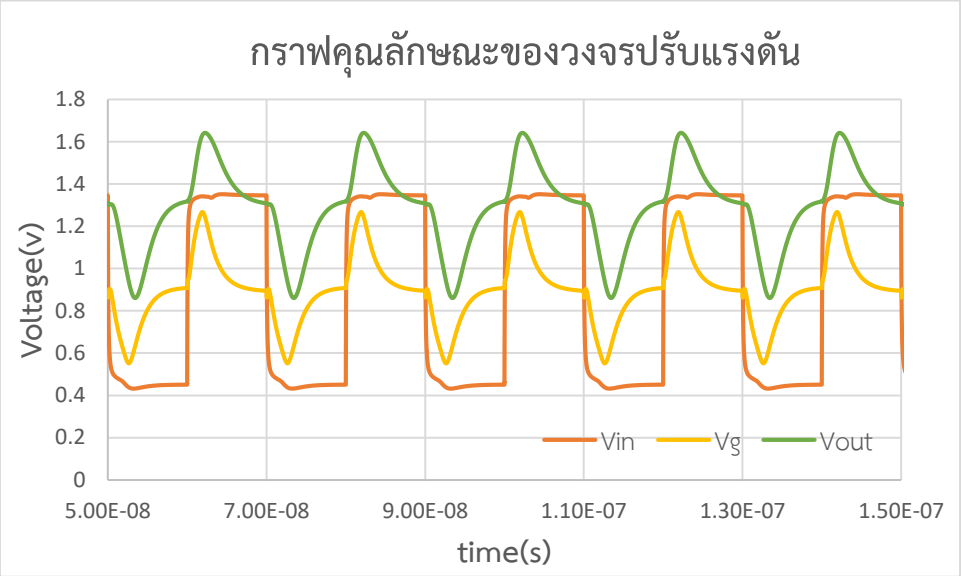

**(a)** วงจรปรับระดับแรงดัน และวงจรขยายแรงดัน




**(b)** layout ของวงจรรูปที่ 5.63 (a)

| **พารามิเตอร์** | **ค่าพารามิเตอร์** |
|---|---|
| Rs (kohm) | 6 |
| Rbias_dc (kohm) | 75 |
| $M_{n12}$ | W=4um, L=0.2um |
| $M_{p13} = M_{p14} = M_{p15} = M_{p16}$ | W=12um, L=0.2um |
| Power (mW) | 0.435 |

**(c)** ตารางผลการทดสอบประสิทธิภาพที่ความถี่อินพุท 200MHz




**(d)** ผลการจำลองของวงจรรูปที่ 5.63 (b)

**รูปที่ 5.63** วงจรปรับระดับแรงดัน และวงจรขยายแรงดัน

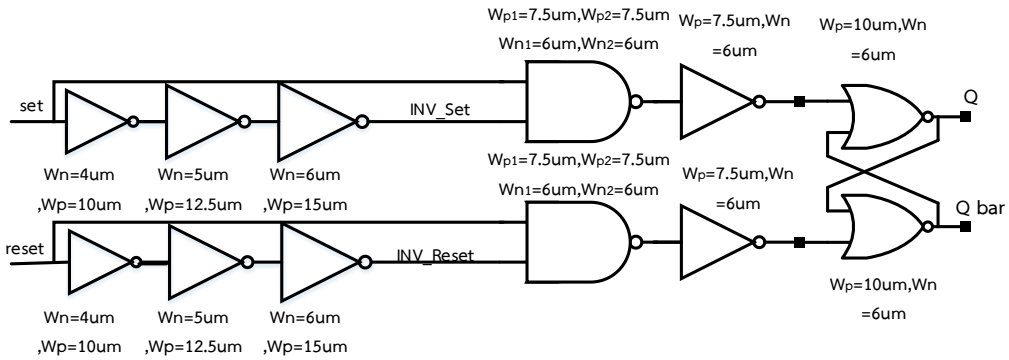
จากการจำลอง และผลการจำลองของวงจรรูปที่ 5.63 พบว่าสามารถที่จะทำให้ได้สัญญาณเอาท์พุทเพียงหนึ่งระดับ ตามหลักการในบทที่ 3 ต่อไปจะทำการจำลองวงจรส่วนต่างๆ ด้วย monte carlo เพื่อดูความคลาดเคลื่อนของวงจรที่เกิดจาก process เพื่อคำนึงที่ผลที่ได้มาเพื่อช่วยในการออกแบบและเพื่อที่ช่วยในการทดสอบไอซีต่อไป

## 5.4 Monte Carlo Simulation

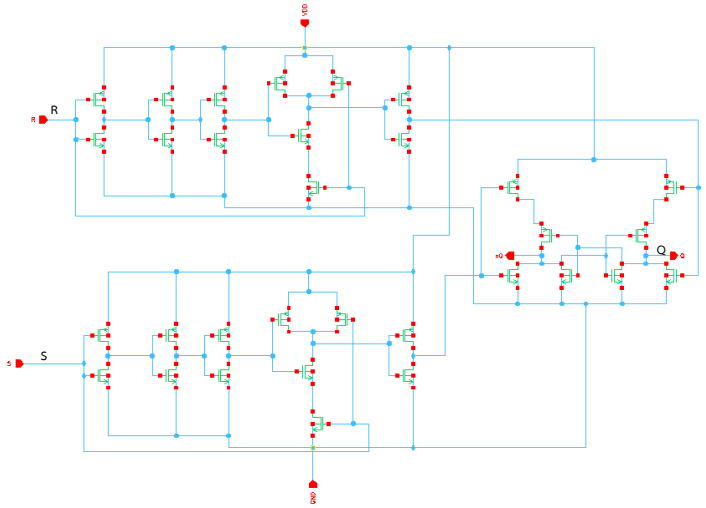
สำหรับการจำลอง monte carlo จะใช้เพื่อทำนายผลของการแปรผันแบบสุ่มของทรานซิสเตอร์ซีมอสที่เกิดจากกระบวนการผลิต และความไม่สมมาตรที่เกิดขึ้นของทรานซิสเตอร์ ตัวอย่างเช่น ค่าความคลาดเคลื่อนของตัวเก็บประจุ และตัวต้านทานที่อยู่ในช่วง ±15% เพื่อดูค่าพารามิเตอร์ของวงจรที่ได้ออกแบบเช่น rise time, fall time, gain, BW และอื่นๆ เพื่อดูว่าการออกแบบที่ใช้นั้นมีประสิทธิภาพที่สามารถยอมรับได้หรือไม่เมื่อมีความแปรผัน หรือคลาดเคลื่อนจากกระบวนการผลิต ต่อไปจะทำการจำลอง monte carlo ของวงจร positive edge triggered RSFF, voltage comparator, voltage controlled ring oscillator และ วงจรปรับระดับแรงดัน และวงจรขยาย สามารถแสดงการจำลอง และผลการจำลองของ monte carlo ของวงจรต่างๆได้ดังต่อไป

### 5.4.1 การจำลอง Monte Carlo ของ Positive Edge Triggered RSFF

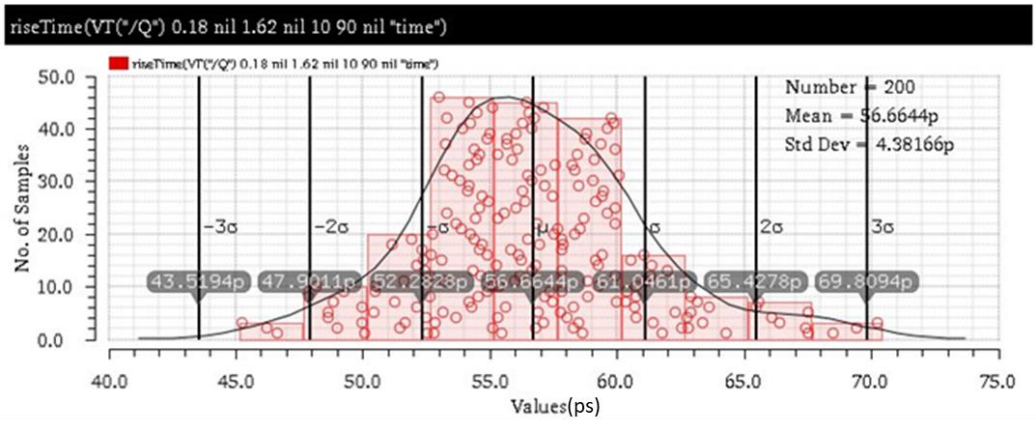
สำหรับการจำลอง monte carlo จะใช้การจำลองด้วย schematic ของวงจรเนื่องทรานซิสเตอร์เอ็นมอส N_BPW_18_MM ไม่สามารถที่จะใช้ในการจำลอง monte carlo ได้ ดังนั้นในการจำลองจะใช้ทรานซิสเตอร์เอ็นมอส N_18_MM ซึ่งส่งผลให้การจำลองจะต้อง schematic แทน layout โดยสามารถที่จะทำการจำลองแสดงดังรูปที่ 5.64



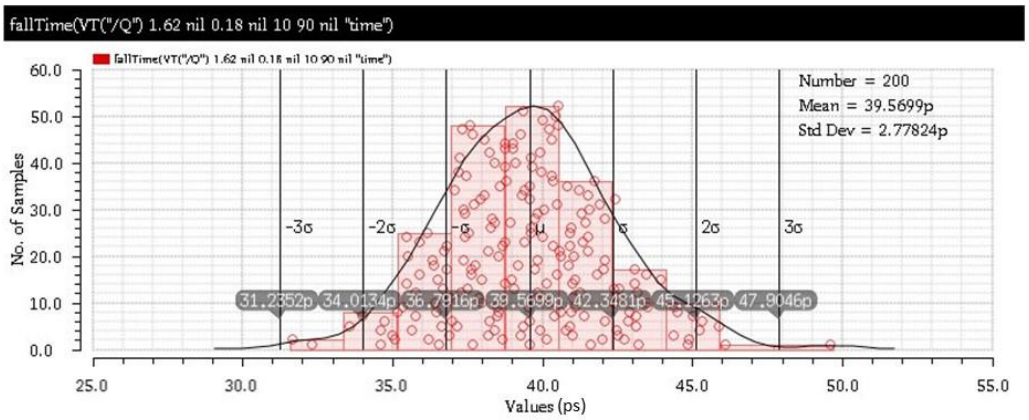

**(a)** schematic ของวงจร positive edge triggered RSFF



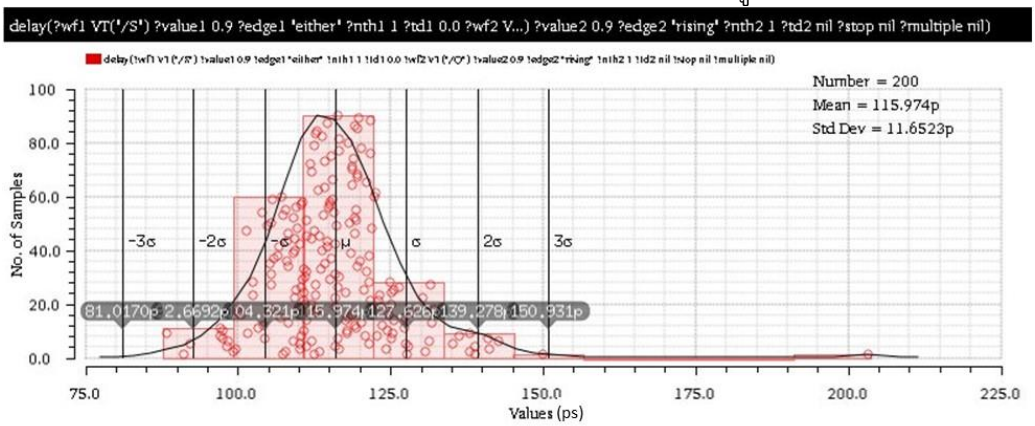

**(b)** schematic ของวงจร positive edge triggered RSFF ในระบบซีมอส เพื่อจำลอง monte carlo



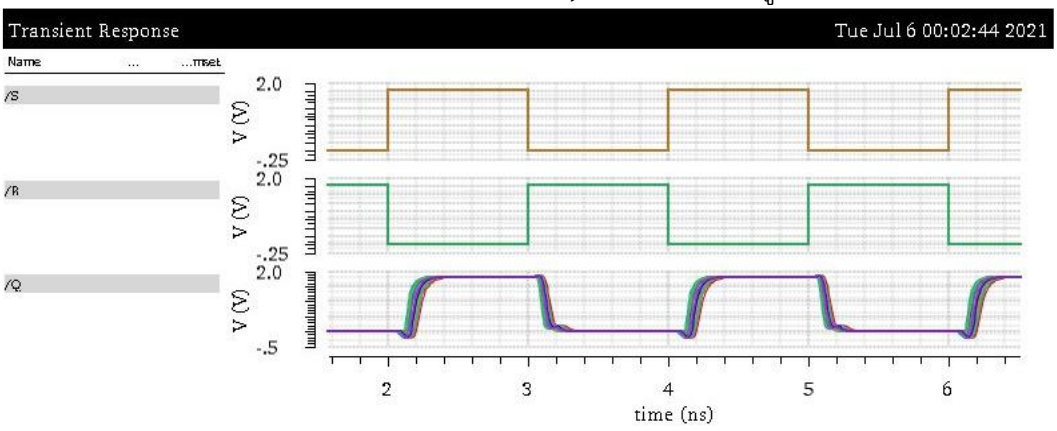

**(c)** ผลการจำลอง monte carlo rise time ของวงจรรูปที่ 5.64 (b)




**(d)** ผลการจำลอง monte calro fall time ของวงจรรูปที่ 5.64 (b)




**(e)** ผลการจำลอง monte carlo delay time ของวงจรรูปที่ 5.64 (b)



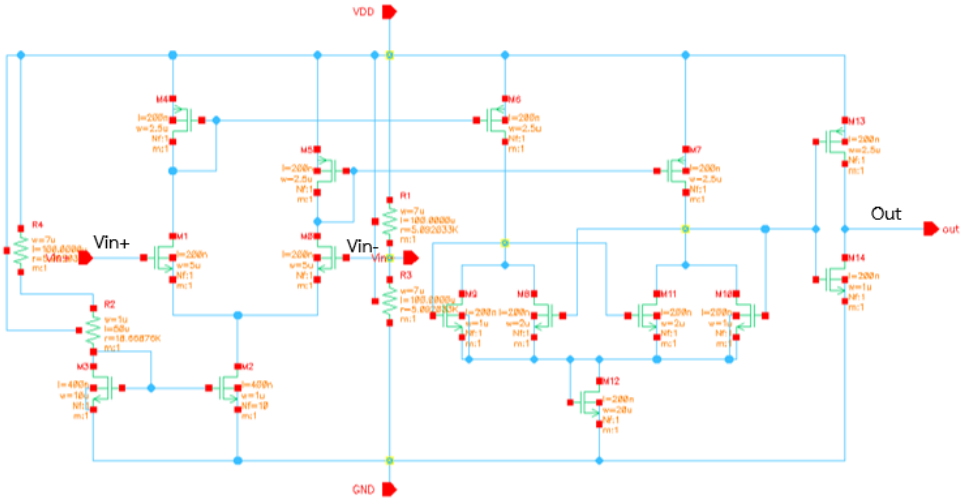

**(f)** ผลการจำลอง monte carlo transient response ของวงจรรูปที่ 5.64 (b)

**รูปที่ 5.64** การจำลอง และผลการจำลอง monte carlo ของวงจร positive edge triggered RSFF โดยใช้ sigma =5 และเลือกทั้ง process และmismatch

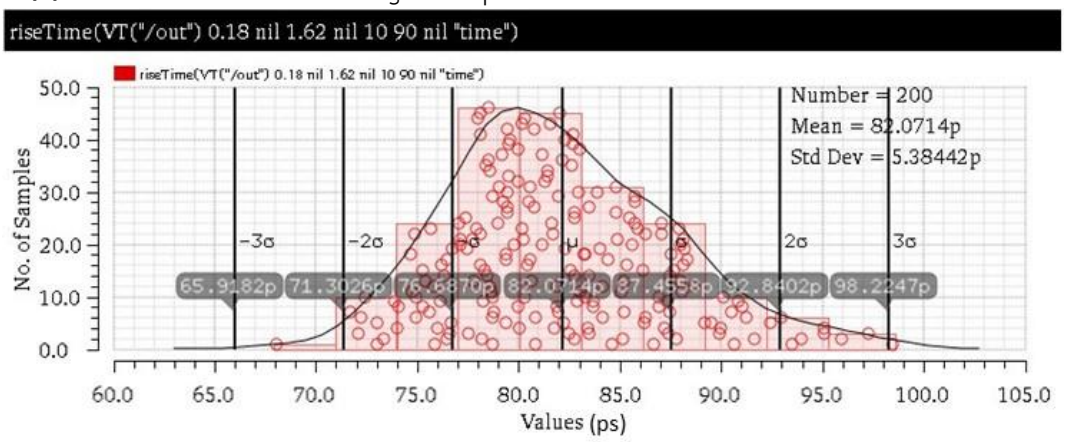
จากการจำลอง monte carlo จะพบว่า rise time และ fall time มีค่าไม่ใกล้เคียงกัน แต่เนื่องจากวงจรไม่จำเป็นต้องสนใจ fall time เนื่องจากการทำงานจะสนใจแต่ขาขึ้นเท่านั้น และdelay time มีค่า mean อยู่ที่ 115.9 ps ที่ความถี่ 500MHz เป็นค่าที่รับได้ ส่วนต่อไปจะทำการจำลอง monte carlo ของวงจรเปรียบเทียบแรงดัน (voltage comparator)

**5.4.2 การจำลอง Monte Carlo ของ** Voltage Comparator

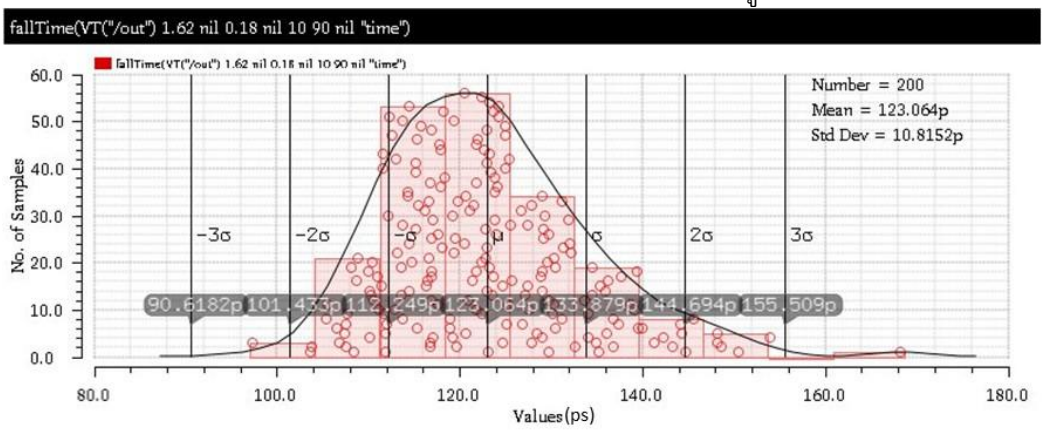
วงจรเปรียบเทียบแรงดันที่จะทำการจำลอง monte carlo จะต้องสร้างแบบ schematic เพื่อใช้ทรานซิสเตอร์เอ็นมอส N_18_MM แทนทรานซิสเตอร์เอ็นมอส N_BPW_18_MM ตามรูปที่ 5.52 (a) สามารถแสดงschematic และผลการจำลอง monte carlo ดังรูปที่ 5.65



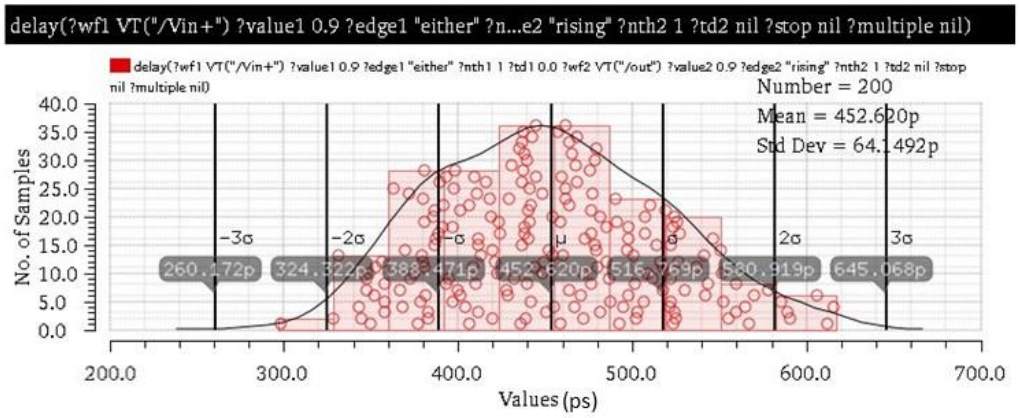

**(a)** schematic ของวงจร voltage comparator ในระบบซีมอส เพื่อจำลอง monte carlo



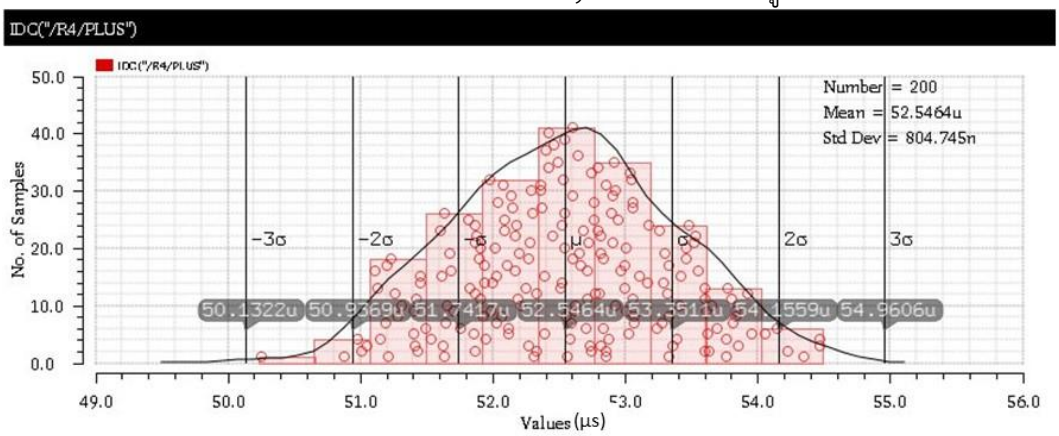

**(b)** ผลการจำลอง monte carlo rise time ของวงจรรูปที่ 5.65 (a)




**(c)** ผลการจำลอง monte carlo fall time ของวงจรรูปที่ 5.65 (a)




**(d)** ผลการจำลอง monte carlo delay time ของวงจรรูปที่ 5.65 (a)



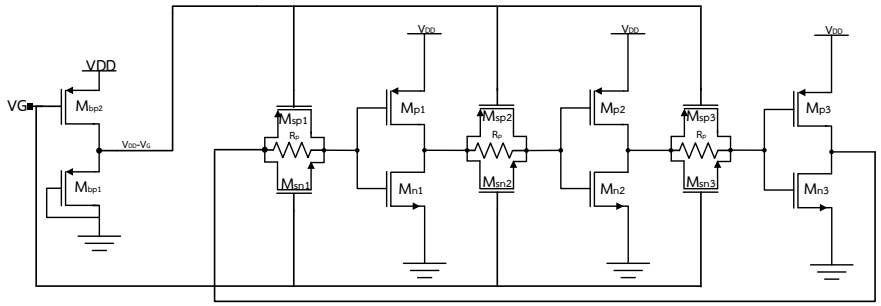

**(e)** ผลการจำลอง monte carlo current source ของวงจรรูปที่ 5.65 (a)

**รูปที่ 5.65** การจำลอง และผลการจำลอง monte carlo ของวงจร voltage comparator โดยใช้ sigma =5 และเลือกทั้ง process และmismatch

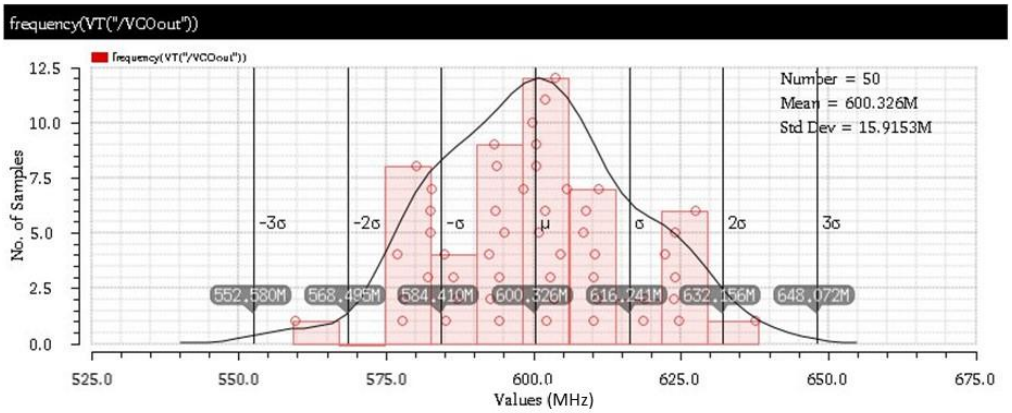
จากการจำลอง monte carlo ของวงจร voltage comparator พบว่า rise ime และfall time มีค่าไม่ใกล้เคียงกัน แต่เนื่องจากไม่มีผลกระทบต่อการทำงานของระบบ ดังนั้นยอมรับได้ ส่วน delay time สามารถที่จะทำการลดด้วยการเพิ่มกระแสของ current source เพื่อลด delay time และสุดท้ายกระแส current source ที่เกิดขึ้นนั้นมีค่าความใกล้เคียงกัน และสามารถปรับกระแสด้วยจัวต้านทานนอกไอซีได้ ต่อไปจะทำการจอง monte carlo ของวงจร VCO โดยจะทำการเปลี่ยน model ของทรานซิสเตอร์เอ็นมอสเป็น N_18_MM

**5.4.3 การจำลอง Monte Carlo ของ** Voltage Control Oscillatro (VCO)

จะทำการจำลองวงจร VCO ทั้งสองโครงสร้างที่มีความถี่กลาง 44MHz และความถี่กลางอยู่ที่ 540MHz สำหรับการจำลองจะป้อนแรงดันอินพุท 0.9 V และวัดความถี่เอาท์พุทของ VCO โดยทำการจำลอง monte carlo เพื่อดูว่ามีค่าความถี่คลาดเคลื่อนจากความถี่กลางไปเท่าไร เมื่อทรานซิสเตอร์มีค่าความคลาดเคลื่อนจาก process และการ mismatch สามารถแสดงการจำลองดังรูปที่ 5.66 และรูปที่ 5.67 ของความถี่กลาง 540MHz และความถี่กลาง 44MHz ตามลำดับ

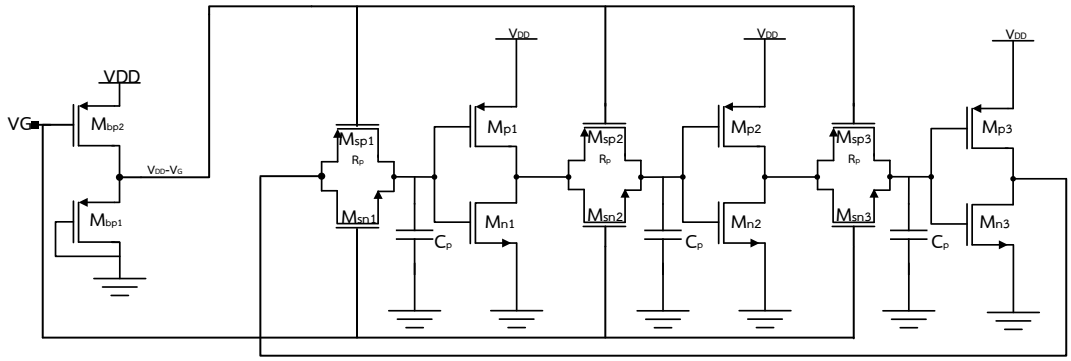



**(a)** schematic ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 540MHz

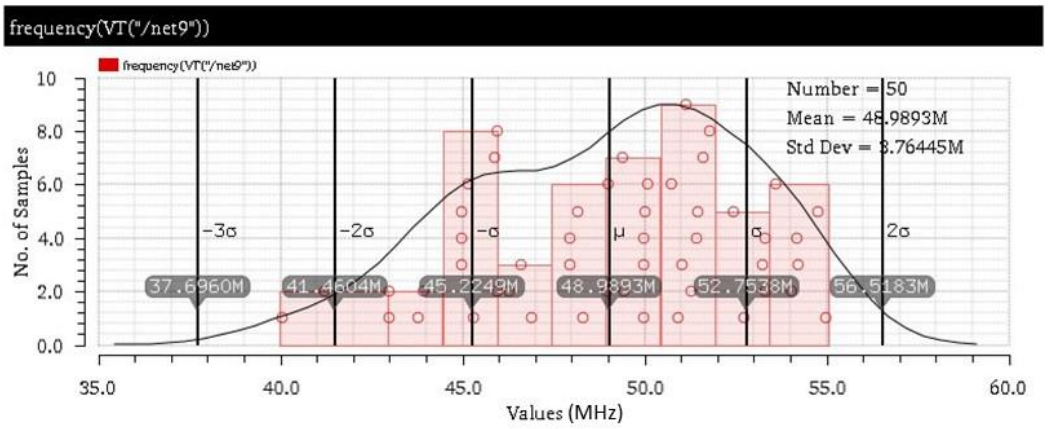



**(b)** ผลการจำลอง monte carlo ของความถี่เอาท์พุท VCO ที่ความถี่กลาง 540MHz

**รูปที่ 5.66** การจำลอง และผลการจำลอง monte carlo ของวงจร voltage control oscillator ที่ความถี่กลาง 540MHz โดยใช้ sigma =5 และเลือกทั้ง process และmismatch




**(a)** schematic ของวงจร Three stage fast voltage swing VCO ที่ความถี่กลาง 44MHz



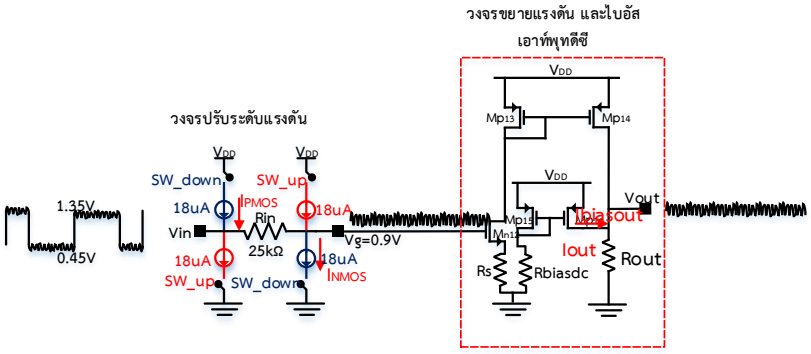

**(b)** ผลการจำลอง monte carlo ของความถี่เอาท์พุท VCO ที่ความถี่กลาง 44MHz

**รูปที่ 5.67** การจำลอง และผลการจำลอง monte carlo ของวงจร voltage control oscillator ที่ความถี่กลาง 44MHz โดยใช้ sigma =5 และเลือกทั้ง process และmismatch

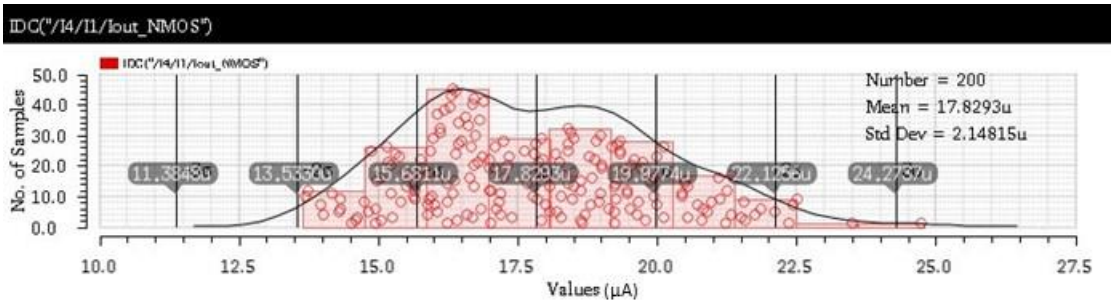
จากการจำลอง VCO ทั้งแบบที่มีตัวเก็บประจุ และตัวต้านทานทั้งสองโครงสร้าง พบว่าความถี่กลางที่มีแรงดันอินพุท VCO มีค่า 0.9V ความถี่เอาท์พุทของ VCO จะมีค่าใกล้เคียงกับความถี่กลางที่ต้องการ ดังนั้นสามารถที่จะใช้ทั้งสองโครงสร้างในการออกแบบ ส่วนต่อไปจะทำการจำลอง monte carlo ของวงจรปรับระดับแรงดันเพื่อดูกระแสที่เกิดขึ้นมีความคลาดเคลื่อนจากกระแสที่ต้องการสามารถที่จะแสดงการจำลองในหัวข้อถัดไป

### 5.4.4 การจำลอง Monte Carlo ของ วงจรปรับระดับแรงดัน

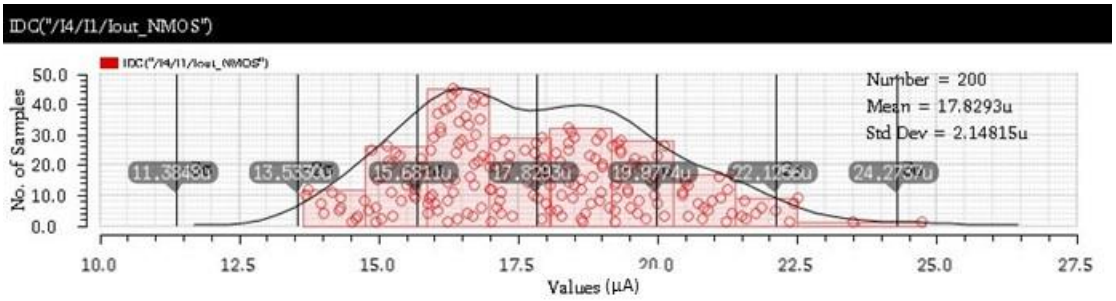
วงจรปรับระดับแรงดันจะทำการจำลองด้วยการป้อนแรงดัน 1.8V และ 0V ไปยังสวิตซ์อินเฟส และเอาท์เฟส ตามลำดับ และป้อนแรงดันอินพุท 1.35V กระแส Iup และ Idown 18uA และเปลี่ยนทรานซิสเตอร์เอ็นมอสเป็น N_18_MM สามารถแสดงการจำลองดังรูปที่ 5.68



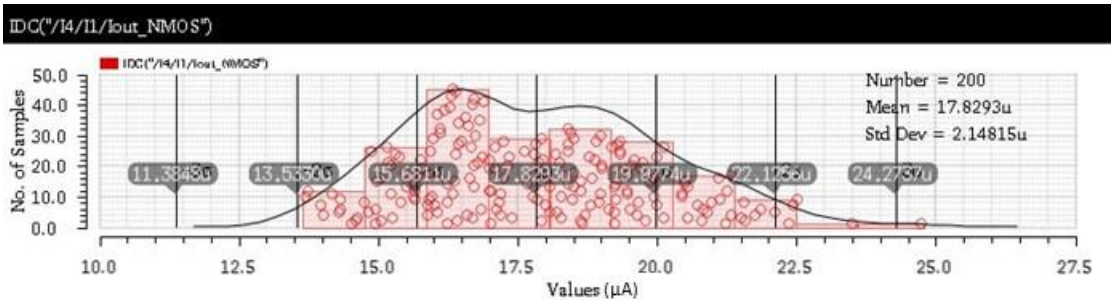

**(a)** วงจรปรับขนาดแรงดัน



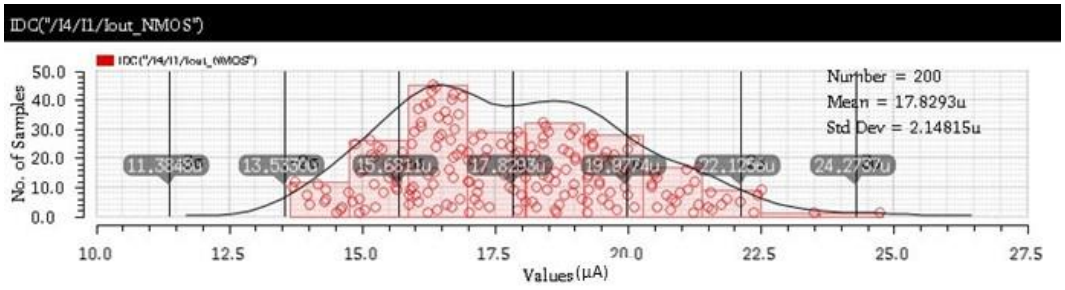

**(b)** ผลการจำลอง monte carlo ของ Iout ของวงจรปรับระดับแรงดัน




**(c)** ผลการจำลอง monte carlo ของ Ibiasout ของวงจรปรับระดับแรงดัน




**(d)** ผลการจำลอง monte carlo ของ Inmosของวงจรปรับระดับแรงดัน




**(e)** ผลการจำลอง monte carlo ของ Ipmosของวงจรปรับระดับแรงดัน

**รูปที่ 5.68** การจำลอง และผลการจำลอง monte carlo ของวงจรปรับระดับแรงดัน โดยใช้ sigma =5 และเลือกทั้ง process และmismatch

จากการจำลองพบว่ากระแสของวงจรปรับระดับแรงดันบางส่วนมีความเคลื่อนค่อนข้างมากกว่า 10 % ดังนั้นเพื่อความสะดวกในการปรับจึงจะทำการออกแบบให้สามารถที่จะปรับกระแสจากนอก chip เพื่อให้ได้กรแสตามที่ต้องการ จากการออกแบบ และจำลองวงจรส่วนต่องๆของระบบ ต่อไปจะทำการนำวงจรส่วนต่างๆมาทำการเชื่อมต่อเข้าด้วยกันให้เป็นตามระบบที่ต้องการ โดยจะแสดงทั้ง schematic layout และผลการจำลองการทำงานของระบบเพื่อดูผลการจำลองเป้นไปตามต้องการ

หรือไม่ อย่างไรก็ตามก่อนจะทำการออกแบบให้ทั้งระบบเชื่อมต่อกันจะทำการออกแบบ pad ของ chip เพื่อกำหนดจุดที่จะนำผลออกมายังภายนอกเพื่อป้อนกระแส แรงดัน หรือป้อนสัญญาณทดสอบอินพุท และการวัดผลการทดสอบเพื่อดูประสิทธิภาพ และการทำงานของระบบที่ได้ออกแบบ ส่วนต่อไปจะเริ่มจากการการกำหนด pad ที่ทำการออกแบบ โดยแต่ละ pad จะมีโครงสร้างไม่เหมือนกันขึ้นอยู่กับหน้าที่ของ pad นั้นๆ สามารถที่จะแสดงในหัวข้อ 5.5

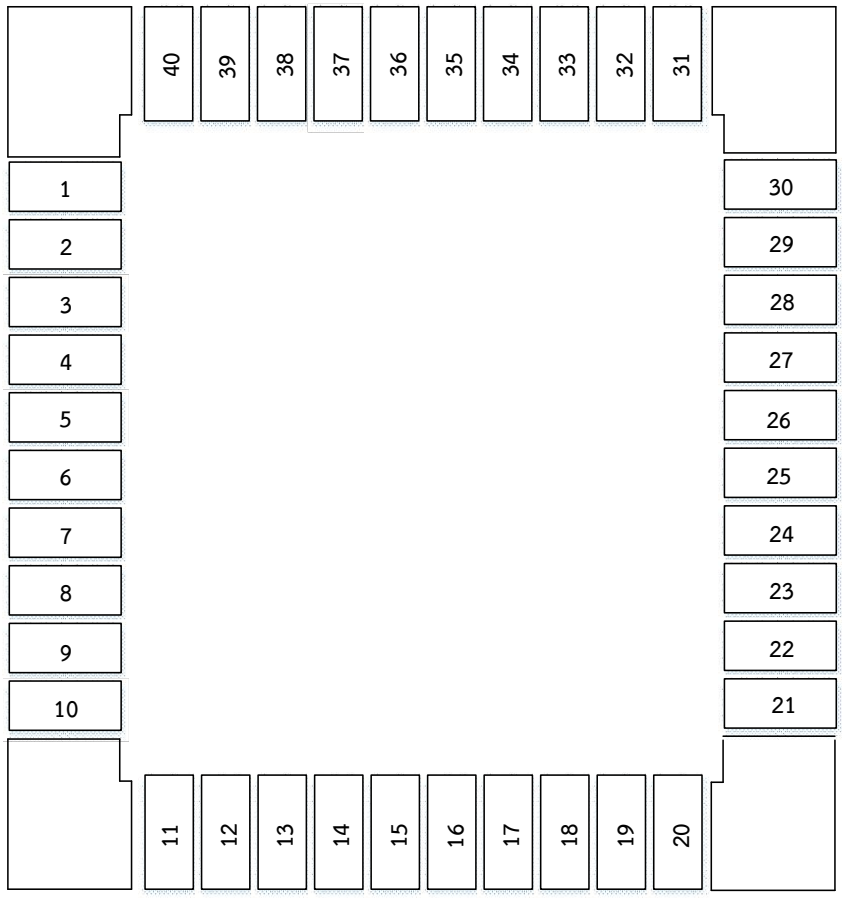
**5.5 Pad และ ระบบ**

ส่วนนี้จะเป็น pad ของ chip โดยจะประกอบด้วย 40 pad ซึ่งแต่ละ pad จะต่างกันขึ้นอยู่กับทำหน้าที่อะไร ซึ่งไฟเลี้ยง และกราวนด์ จะแบ่งกันระหว่างดิจิตอล และอนาล็อก สำหรับไฟเลี้ยงดิจิตอลจะเป็น pad หมายเลข 40 ,1 สำหรับกราวนด์ดิจิตอลจะเป็น pad หมายเลข 2 ,3 และไฟเลี้ยงอนาล็อกจะเป็น pad หมายเลข 29 ,30 สำหรับกราวนด์อนาล็อกจะเป็น pad หมายเลข 27 ,28 ซึ่งส่วนนี้ pad จะมีไดโอดเพื่อป้องกันไฟกระชากจาก power supply ที่จ่ายเข้า chip และป้องกันการต่อไฟเลี้ยงสลับขั้ว ส่วน pad หมายเลข 4-17 และหมายเลข36-38 จะเป็นส่วนของความถี่สูง ดังนั้นจะไม่มีไดโอด และส่วนอื่นจะเป็น pad ที่มีไดโอดที่มีค่าครึ่งหนึ่งของไฟเลี้ยงสามารถตารางของ pad แต่ละหมายเลข และรูปของ 40 pad ดังรูปที่ 5.69

| **หมายเลข pad** | **ชื่อของ Pad** | **หมายเลข pad** | **ชื่อของ Pad** |
|---|---|---|---|
| 1 | $V_{DDD}$ | 21 | SO_out_Rbias_b1 |
| 2 | $V_{SSD}$ | 22 | SO_QPSK_out_b1 |
| 3 | $V_{SSDq}$ | 23 | VCO_in_50MHz |
| 4 | RSFF_in_set_BPSK | 24 | VCO_in_400MHz |
| 5 | RSFF_in_reset_BPSK | 25 | VCO_in_400MHz (no ESD) |
| 6 | VCO_out_400MHz | 26 | SO_BPSK_out |
| 7 | VCO_out_phase0_400MHz | 27 | $V_{SSAq}$ |
| 8 | VCO_out_phase180_400MHz | 28 | $V_{SSA}$ |
| 9 | VCO_out_phase0_50MHz | 29 | $V_{DDA}$ |
| 10 | VCO_out_phase180_50MHz | 30 | $V_{DDAq}$ |
| 11 | RSFF_in_reset_QPSK | 31 | R_Idown_b0 |
| 12 | RSFF_out_QPSK | 32 | R_Iup_b0 |
| 13 | Comparator_in_QPSK | 33 | SO_out_Rbias_b0 |
| 14 | SO_in_QPSK | 34 | Comparator_Rbias |
| 15 | Comparator_out_QPSK_b0 | 35 | Comparator_Vref_b0 |
| 16 | Comparator_out_QPSK_b1 | 36 | Comparator_out_BPSK |
| 17 | SO_QPSK_out_b0 | 37 | SO_in_BPSK |
| 18 | Comparator_Vref_b1 | 38 | Comparator_in_BPSK |
| 19 | R_Idown_b1 | 39 | RSFF_out_BPSK |

| | | | |
|---|---|---|---|
| 20 | R_Iup_b1 | 40 | $V_{DDDq}$ |

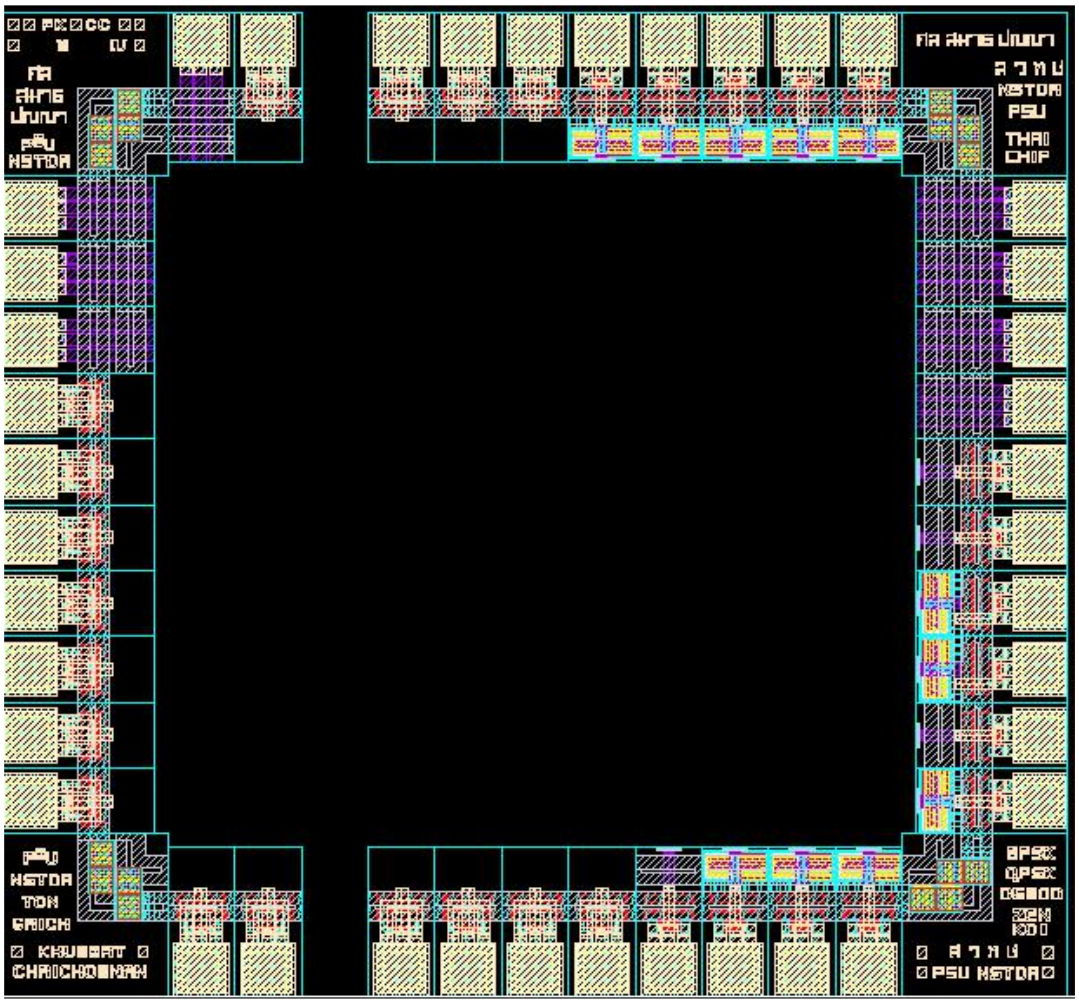
**(a)** ตำแหน่งของ pad บน chip




**(b)** schematic 40 pad บน chip

**รูปที่ 5.69** ตำแหน่งของ 40 pad บน chip

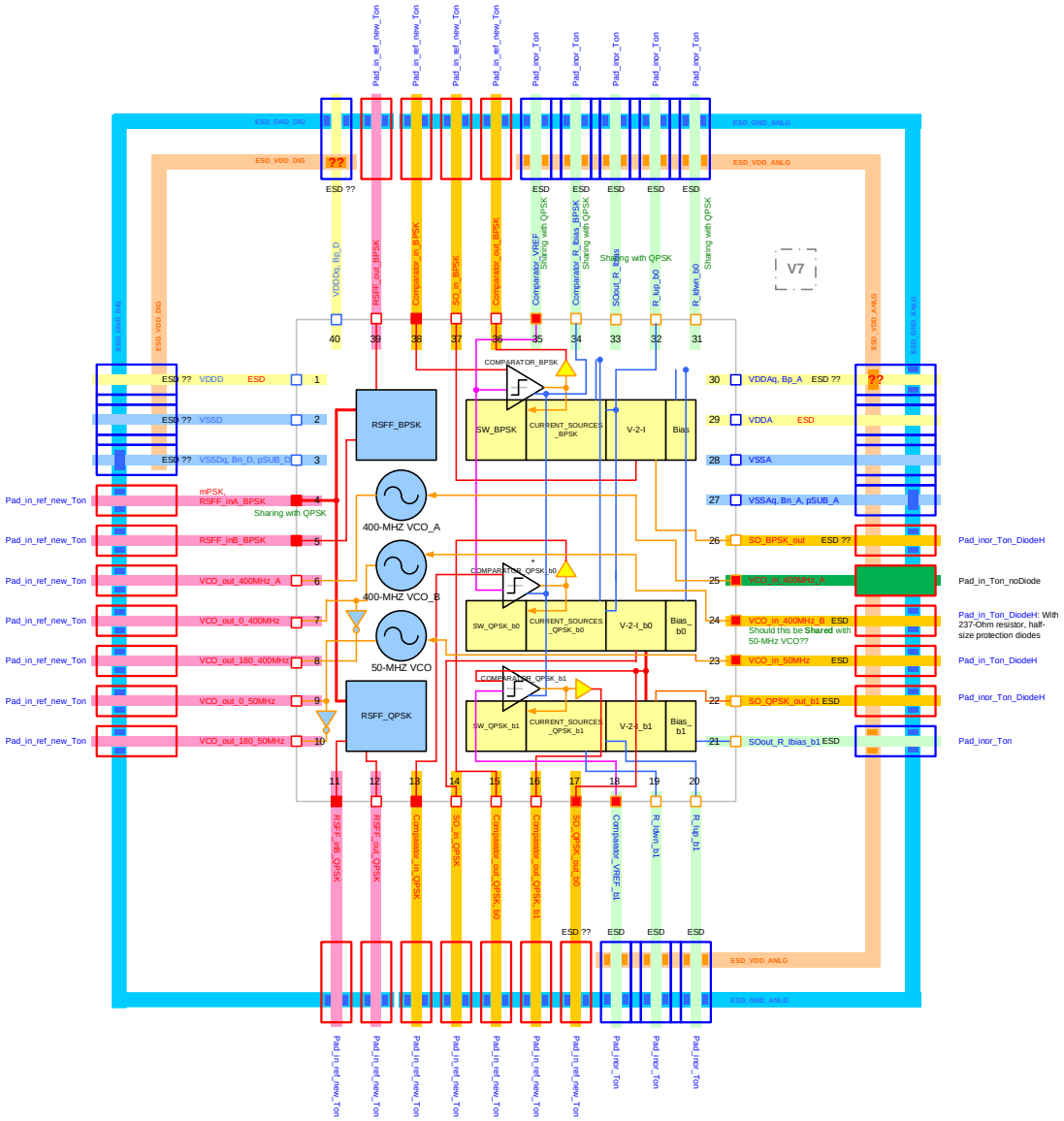
ส่วนต่อไปจะเป็นการออกแบบ pad โดยจะต้องมีการออกแบบไดโอด เพื่อให้เหมาะสมกับความถี่ และแรงดัน โดยหน้าที่ของไดโอดจะป้องกัน ESD และป้องกันการต่อสลับขั้วของไฟเลี้ยงในตำแหน่งของไฟเลี้ยง และในส่วนของความถี่สูงอินพุท RSFF หรือเอาท์พุทของ RSFF จะต้องไม่มีไดโอดเพราะจะทำให้ bandwidth ลดลงทำให้สัญญาณความถี่ลดลง ส่วนต่อไปจะเป็นการไบอัสกระแส และแรงดันของส่วนของวงจรปรับระดับแรงดันสามารถแสดงดังรูปที่ 5.70



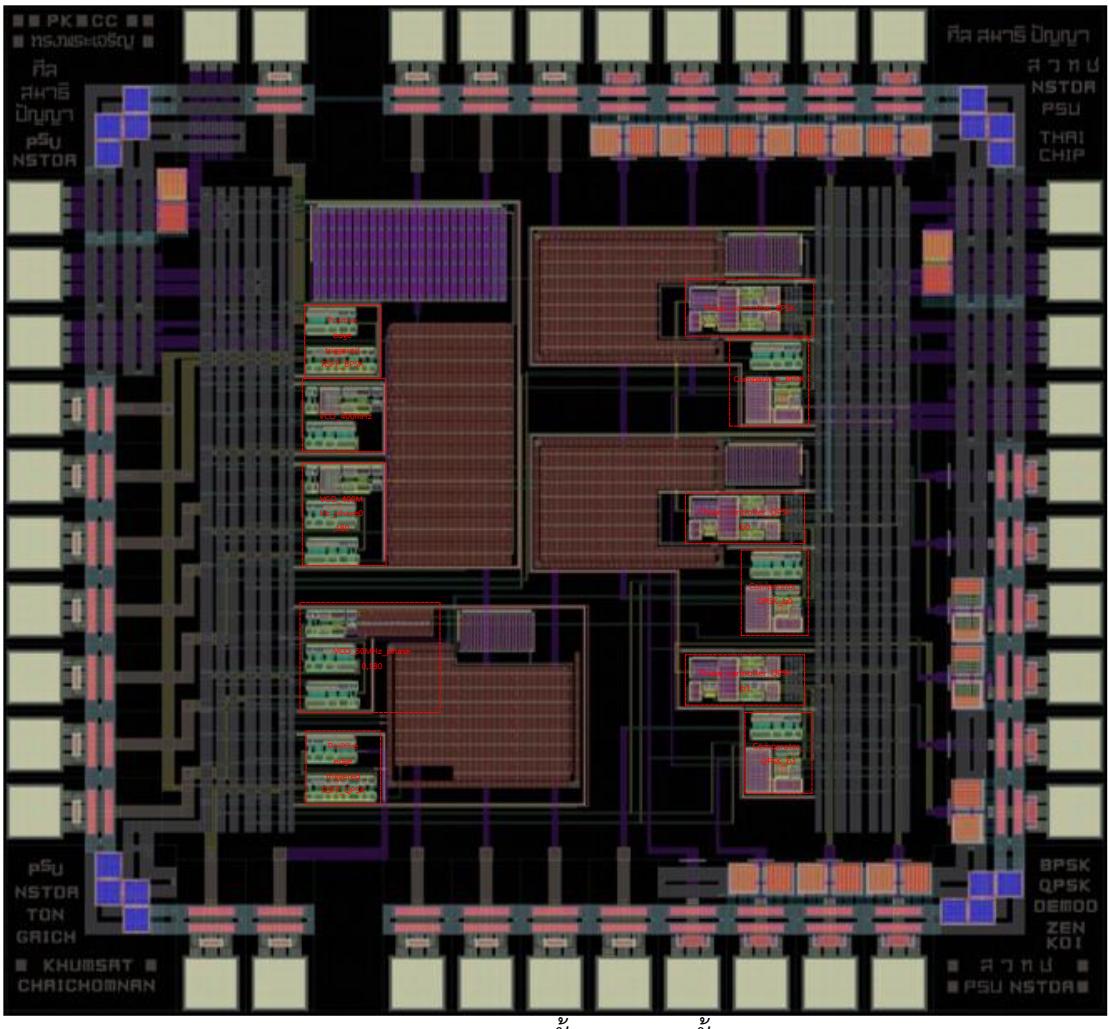
**รูปที่ 5.70** layout ของ pad บน chip

จากรูปที่ 5.70 เป็น 40 pad บน chip ที่ได้ทำการออกแบบให้เหมาะสมกับการใช้งาน โดยการออกแบบ และlayout ของแต่ละ pad จะแสดงในภาคผนวก ก ส่วนต่อไปจะเป็นการนำวงจรแต่ละบล็อกมาประกอบกันเป็นวงจรกู้คืนสัญญาณบีพีเอสเค ,คิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป และนำอินพุท และเอาท์พุทของวงจรเชื่อมต่อเข้ากับ pad เพื่อใช้ในการป้อนสัญญาณแรงดัน กระแสดีซี และป้อนสัญญาณเอซีทดสอบเข้าไป รวมทั้งผลการทดสอบเอาท์พุทในแต่ละจุดที่สนใจ โดยการออกแบบจะแสดง schematic และlayout ของระบบดังรูปที่ 5.71 ซึ่งเมื่อทำการออกแบบในส่วนได้แล้วก็จะทำการจำลองทั้งระบบรวม pad เพื่อดูประสิทธิภาพการทำงาน และสำหรับการวางตำแหน่งของวงจรจะทำการแยกระหว่างวงจรส่วนดิจิตอล และวงจรส่วนอนาล็อก เพื่อป้องกันรบกวนของทั้งสองวงจร และสำหรับไฟเลี้ยงของระบบดิจิตอล และระบบอนาล็อกจะไม่ทำการต่อเชื่อมกัน จะทำการต่อเชื่อมกันบน PCB ที่จะใช้ในการทดสอบต่อไป ในส่วนนี้จะใช้การต่อตัวต้านทาน และตัวเก็บประจุที่ไฟเลี้ยงเพื่อช่วยในการลดทอนสัญญาณรบกวนซึ่งตัวเก็บประจุ และตัวต้านทานจะมีทั้งไฟเลี้ยงดิจิตอล และอนาล็อก และการวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปจะอยู่ด้านบน และวงจรกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปจะอยู่ด้านล่าง ด้านซ้ายจะเป็นส่วนของอินพุท RSFF และเอาท์พุทของวงจร VCO

ซึ่งเป็นส่วนของสัญญาณความถี่สูงเอซี และด้านขวาจะเป็นส่วนของแรงดันไบอัสดีซีของวงจรปรับระดับแรงดัน และแรงดันดีซีอินพุทของวงจร VCO




**(a)** schematic ของ chip ทั้งระบบรวมทั้ง 40 pad



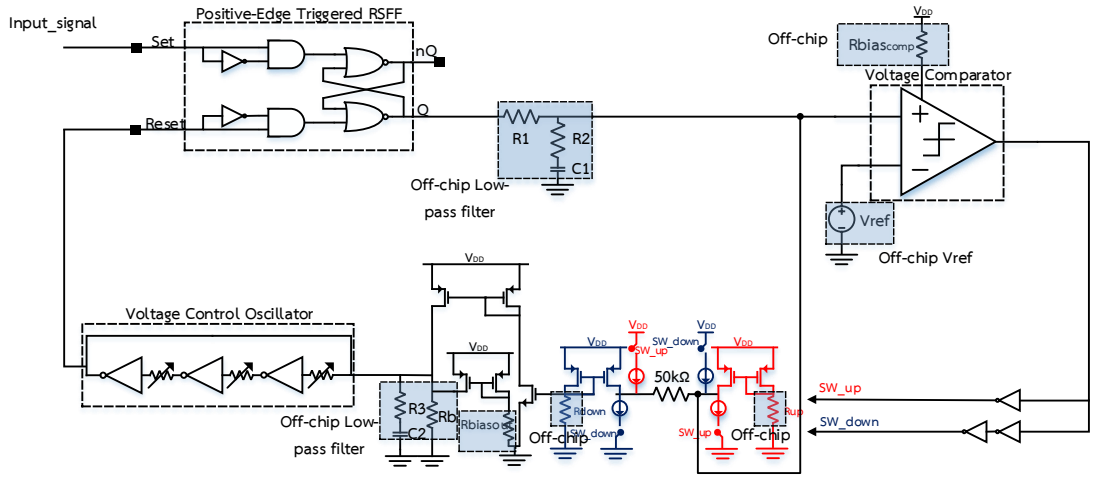

**(b)** layout ของ chip ทั้งระบบรวมทั้ง 40 pad

**รูปที่ 5.71** scheamtic และlayout ของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการพื้นฐานเฟสล็อกลูป

ส่วนต่อไปจะเป็นการทดสอบฟังก์ชันการทำงานของวงจรรวมที่ได้รับการออกแบบทั้งแบบระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป เพื่อตรวจสอบว่าการออกแบบสามารถที่ทำงานได้ตามฟังก์ชันที่ต้องการ

**5.6 การจำลองฟังก์ชันการทำงานของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป**

สำหรับการจำลองระบบจะต้องทำการออกแบบเสถียรภาพของระบบ ซึ่งได้อธิบายไว้ในบทที่ 4 และจะต้องมีการเลือกค่าตัวต้านทานสำหรับค่ากระแสดึงระดับแรงดันขึ้น และกระแสดึงระดับแรงดันลงของวงจรปรับระดับแรงดัน รวมทั้งค่าตัวต้านทานของการไบอัสระดับเอาท์พุทของวงจรปรับระดับแรงดัน ซึ่งจะแสดงวงจร และพารามิเตอร์ที่ใช้ในการจำลอง รวมทั้งวิธีการออกแบบเสถียรภาพของระบบของวงจรกรองสัญญาณความถี่ต่ำผ่านดังที่กล่าวมาแล้วในบทที่ 4 สำหรับ schematic ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกสามารถดูได้ดังรูปที่ 5.72




**รูปที่ 5.72** schematic ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อก

จากรูปที่ 5.72 เป็น schematic ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อก โดยการจำลองจะต้องทำการต่อพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุสำหรับการไบอัสวงจรเปรียบเทียบแรงดัน และวงจรปรับระดับแรงดัน โดยจะเริ่มจากคำนวณหาวงจรกรองสัญญารความถี่ต่ำผ่านซึ่งจะต้องคำนึงถึงเสถียรภาพของระบบ ซึ่งจะต้องหาอัตราขยายของวงจร positive edge triggered RSFF ที่มีค่าอัตราขยาย $K_d = 0.283$ V/rad/s, อัตราขยายของวงจร VCO มีค่าอัตราขยาย $K_{vco} = 2.09\times10^9$ rad/s/V และอัตราขยายของวงจรปรับระดับแรงดัน $K_{pc} = 1$ ซึ่งสามารถแสดงฟังก์ชันถ่ายโอนของระบบรูปที่ 5.72 ดังที่ (5.50)

$$H(s) = K_{vco}K_dK_{pc}\frac{(1+sR_2C_1)}{(1+s(R_1+R_2)C_1)}\frac{(1+sR_3C_2)}{(sR_bC_2)} \qquad (5.50)$$

สำหรับระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป จะออกแบบสัญญาณคลื่นพาห์ที่ 400 MHz ดังนั้นระบบจะต้องทำงานที่ความถี่กลาง $\omega_c = 2.5\times10^9$ rad/s ขั้นตอนการออกแบบดังนี้

**ขั้นตอนที่ 1** จากที่กล่าวมาก่อนหน้านี้สามารถทราบค่าของพารามิเตอร์ $K_d$ ,$K_{vco}$ และ$K_{pc}$ ต่อไปจะทำการหาค่าพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่าน $\tau_1=R_bC_2$ และ $\tau_2 = R_3C_2$ โดย $R_b$ เป็นตัวต้านทานที่เกิดจากการแปลงแรงดันเป็นกระแส เนื่องจากเป็นระบบอันดับสองพารามิเตอร์ที่เกี่ยวข้องสำหรับการหาค่า $\tau_1$ และ $\tau_2$ ก็คือ $\omega_n$ คือ ความถี่ธรรมชาติ และ $\zeta$ คือ แดมปิ้งแฟกเตอร์ โดย $\omega_n = \sqrt{K_{vco}K_dK_{pc}/\tau_1}$ และ $\xi = \omega_n\tau_2/2$ โดยจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05\times\omega_c$ ดังนั้น $\omega_{3dB} = 125\times10^6$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T=\omega_{3dB}/1.33=94\times10^6$ rad/s โดยจะทำการตั้งค่า $\omega_2=\omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก $-40$ dB/decade มาเป็น $-20$ dB/decade และการพล็อตทางเฟสจะมีค่า $-135^o$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m=-45^o$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2=11$ns

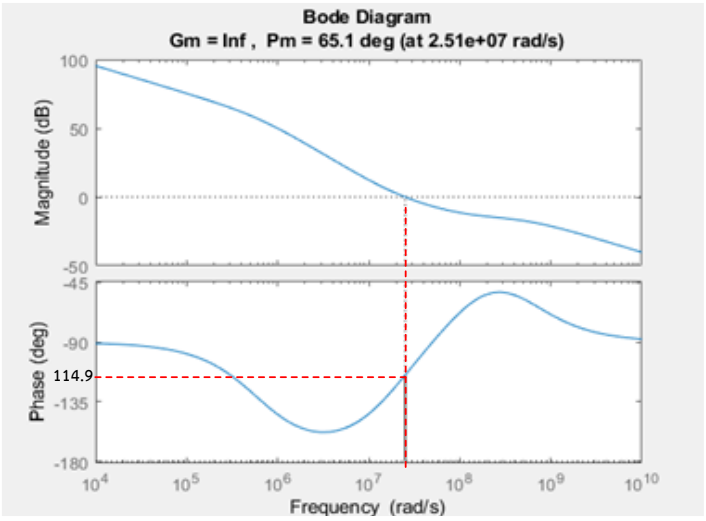
**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2.5\times10^9$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 2 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 1.5 เท่าของอัตราการส่งข้อมูล $\omega_3$=$1.5\times2\pi\times200\times10^6$=$1.88\times10^9$ rad/s และเพื่อความเสถียรภาพของระบบส่งผลให้ความถี่ $\omega_3$ ซึ่งเป็นโพลของระบบ ดังนั้นจะต้องมีการเพิ่มซีโร่ที่ความถี่ $\omega_4 = 2.5\times\omega_3 = 4.7\times10^9$ rad/s โดยค่าพารามิเตอร์ของ $\tau_3$=53ns และ $\tau_4$=21ns เนื่องจากค่าพารามิเตอร์อยู่ห่างจาก $\tau_1$ และ $\tau_2$ ดังนั้นจึงทำการละเลยผลกระทบที่จะเกิดจากเสถียรภาพ

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega$=$\omega_2$ จากสมการที่ (4.14) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (5.51)

$$G_{OL}(\omega_2) = 1 \approx \frac{K_{pc}K_dK_{vco}}{\omega_2^2\tau_1} \tag{5.51}$$

จากสมการที่ (5.51) ส่งผลให้ได้ค่าพารามิเตอร์ $\tau_1 = 67\text{ns}$ ส่วนต่อไปจะทำการทดสอบเสถียรภาพของระบบที่ได้ทำการออกแบบด้วยการพล็อตโบด ด้วยการใช้งานโปรแกรม Matlab โดยจะทำการแทนค่าพารามิเตอร์ที่ได้ทำการออกแบบขั้นตอนที่ 1-3 ลงในสมการที่ (5.50) สามารถแสดงดังที่ (5.52)

$$G_{OL}(s) = \frac{1.366\times10^{-7}s^2+18.93s+5.9\times10^8}{3.55\times10^{-15}s^3+1.2\times10^{-6}s^2+s} \tag{5.52}$$

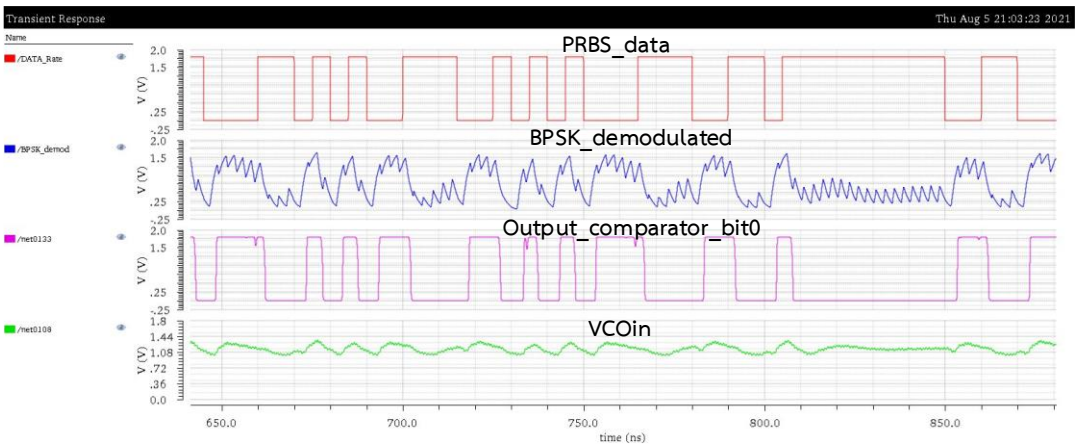



**รูปที่ 5.73** ผลการพล็อตโบดทางขนาด และเฟสของฟังก์ชันถ่ายโอนสมการที่ (5.52)

จากการออกวงจรกรองสัญญาณความถี่ต่ำผ่านของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ดังแสดงขั้นตอนที่ 1-3 และผลการจำลองโบดดังรูปที่ 5.73 จะเป็นแนวทางในการใช้เพื่อเลือกค่าตัวต้านทาน และตัวเก็บประจุในการจำลองระบบโดยสามารถแสดงค่าพารามิเตอร์ตัวเก็บประจุ และตัวต้านทานของวงจรกรองสัญญาณความถี่ต่ำผ่าน และวงจรปรับระดับแรงดัน รวมทั้งผลการจำลองระบบดังรูปที่ 5.74

| พารามิเตอร์ | ค่าพารามิเตอร์ | พารามิเตอร์ | ค่าพารามิเตอร์ |
|---|---|---|---|
| R1 | 1.2kΩ | $Vref_{comp}$ | 0.9V |
| R2 | 300Ω | $Rbias_{comp}$ | 20kΩ |
| C1 | 0.4pF | Rup | 75kΩ |
| Rb | 12kΩ | Rdown | 68kΩ |
| R3 | 5.1kΩ | Rbiasout | 24 kΩ |
| C2 | 4pF | | |

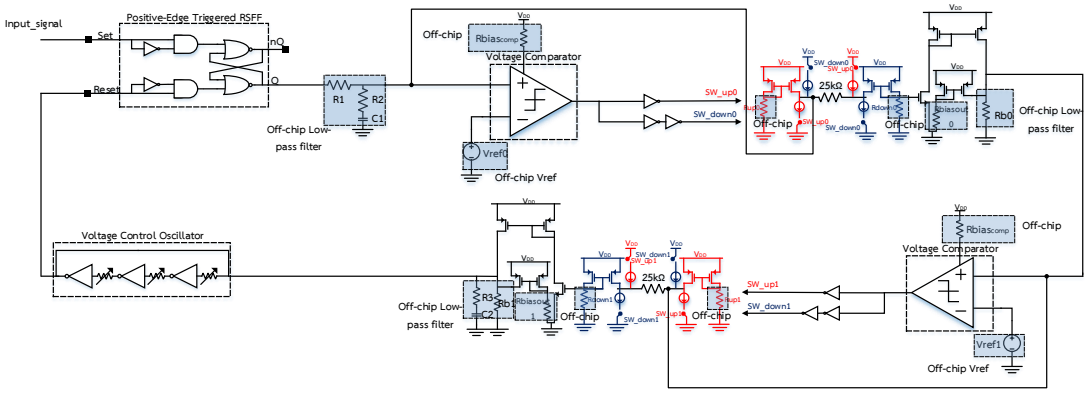
**(a)** ค่าพารามิเตอร์ที่ใช้สำหรับการจำลองระบบของรูปที่ 5.72




**(b)** ผลการจำลองระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของโครงสร้างรูปที่ 5.72 ที่อัตราการส่งข้อมูล 200Mbit/s ที่ความถี่คลื่นพาห์ 400MHz

**รูปที่ 5.74** ค่าพารามิเตอร์ และผลการจำลองของโครงสร้างรูปที่ 5.72

จากการจำลอง และออกแบบเสถียรภาพของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป พบว่าระบบสามารถที่จะทำงานได้ ที่อัตราการส่งข้อมูล 200Mbit/s ที่ความถี่คลื่นพาห์ 400MHz ส่วนต่อไปจะเป็นการจำลองระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะทำการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านให้ระบบมีเสถียรภาพ โดยขั้นตอนการออกแบบจะใช้แนวคิดแบบเดียวกับระบบกู้คืนสัญญาณบีพีเอสเค ที่ได้ออกแบบไว้ก่อนหน้า โดยสามารถแสดงขั้นตอนการออกแบบ และโครงสร้างของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ดังแสดงรูปที่ 5.75




**รูปที่ 5.75** schematic ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อก

จากรูปที่ 5.75 เป็นโครงสร้างของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป สำหรับการออกแบบเสถียรภาพของระบบ ซึ่งจะต้องหาอัตราขยายของวงจร positive edge triggered RSFF ที่มีค่าอัตราขยาย $K_d = 0.283$ V/rad/s, อัตราขยายของวงจร VCO มีค่าอัตราขยาย $K_{vco} = 2.09\times10^9$ rad/s/V และอัตราขยายของวงจรปรับระดับแรงดัน $K_{pc} = 1.5$ สำหรับการจำลองจะจำลองการทำงานที่สัญญาณคลื่นพาห์ 400 MHz และอัตราการส่งข้อมูล 133M symbol/s สามารถแสดงขั้นตอนการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านดังนี้

**ขั้นตอนที่ 1** จากที่กล่าวมาก่อนหน้านี้สามารถทราบค่าของพารามิเตอร์ $K_d$ ,$K_{vco}$ และ$K_{pc}$ ต่อไปจะทำการหาค่าพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่าน $\tau_1=R_bC_2$ และ $\tau_2 = R_3C_2$ โดย $R_b$ เป็นตัวต้านทานที่เกิดจากการแปลงแรงดันเป็นกระแส เนื่องจากเป็นระบบอันดับสองพารามิเตอร์ที่เกี่ยวข้องสำหรับการหาค่า $\tau_1$ และ $\tau_2$ ก็คือ $\omega_n$ คือ ความถี่ธรรมชาติ และ $\zeta$ คือ แดมปิ้งแฟกเตอร์ โดย $\omega_n = \sqrt{K_{vco}K_dK_{pc}/\tau_1}$ และ $\xi = \omega_n\tau_2/2$ โดยจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05\times\omega_c$ ดังนั้น $\omega_{3dB} = 125\times10^6$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T=\omega_{3dB}/1.33=94\times10^6$ rad/s โดยจะทำการตั้งค่า $\omega_2=\omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก $-40$ dB/decade มาเป็น $-20$ dB/decade และการพล็อตทางเฟสจะมีค่า $-135^o$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m=-45^o$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2=11$ns

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2.5\times10^9$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 3 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 2 เท่าของอัตราการส่งข้อมูล $\omega_3=2\times2\pi\times133\times10^6=1.67\times10^9$ rad/s และเพื่อความเสถียรภาพของระบบส่งผลให้ความถี่ $\omega_3$ ซึ่งเป็นโพลของระบบ ดังนั้นจะต้องมีการเพิ่มซีโร่ที่ความถี่ $\omega_4 = 2.5\times\omega_3 = 4.17\times10^9$ rad/s โดย

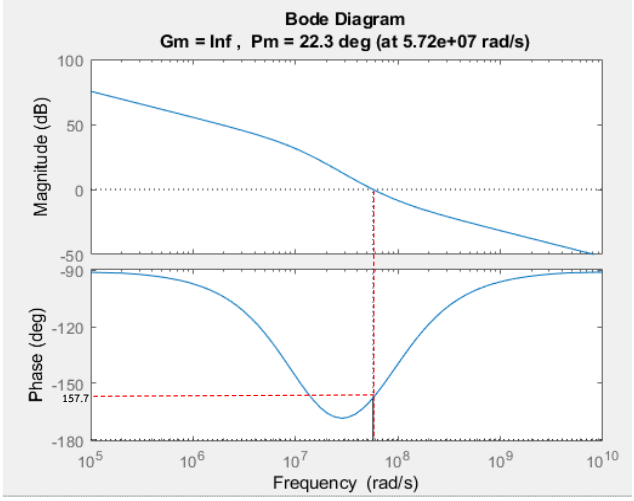
ค่าพรารามิเตอร์ของ $\tau_3$=60ns และ $\tau_4$=24ns เนื่องจากค่าพารามิเตอร์อยู่ห่างจาก $\tau_1$ และ $\tau_2$ ดังนั้นจึงทำการละเลยผลกระทบที่จะเกิดจากเสถียรภาพ

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega=\omega_2$ จากสมการที่ (4.14) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (5.53)

$$G_{OL}(\omega_2)=1\approx\frac{K_{pc}K_dK_{vco}}{\omega_2^2\tau_1} \tag{5.53}$$

จากสมการที่ (5.53) ส่งผลให้ได้ค่าพารามิเตอร์ $\tau_1=100\text{ns}$ ส่วนต่อไปจะทำการทดสอบเสถียรภาพของระบบที่ได้ทำการออกแบบด้วยการพล็อตโบด ด้วยการใช้งานโปรแกรม Matlab โดยจะทำการแทนค่าพารามิเตอร์ที่ได้ทำการออกแบบขั้นตอนที่ 1-3 ลงในสมการที่ (5.50) สามารถแสดงดังที่ (5.54)

$$G_{OL}(s)=\frac{1.56\times10^{-7}s^2+20.7s+5.9\times10^8}{6\times10^{-15}s^3+1.6\times10^{-6}s^2+s} \tag{5.54}$$



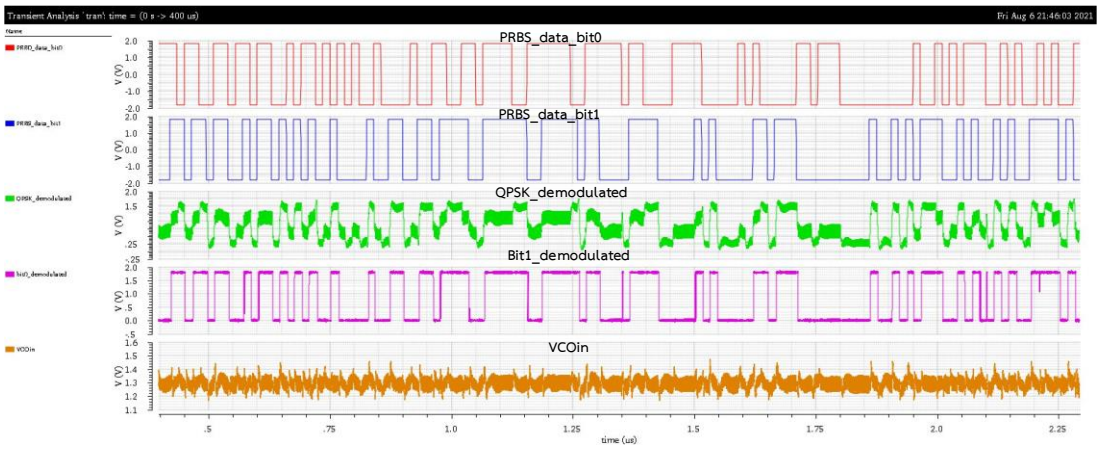

**รูปที่ 5.76** ผลการพล็อตโบดทางขนาด และเฟสของฟังก์ชันถ่ายโอนสมการที่ (5.54)

จากการออกวงจรกรองสัญญาณความถี่ต่ำผ่านของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ดังแสดงขั้นตอนที่ 1-3 และผลการจำลองโบดดังรูปที่ 5.76 จะเป็นแนวทางในการใช้เพื่อเลือกค่าตัวต้านทาน และตัวเก็บประจุในการจำลองระบบโดยสามารถแสดงค่าพารามิเตอร์ตัวเก็บประจุ และตัวต้านทานของวงจรกรองสัญญาณความถี่ต่ำผ่าน และวงจรปรับระดับแรงดัน รวมทั้งผลการจำลองระบบดังรูปที่ 5.77

| พารามิเตอร์ | ค่าพารามิเตอร์ | พารามิเตอร์ | ค่าพารามิเตอร์ |
|---|---|---|---|
| R1 | 1.2kΩ | $Vref_{comp0}$ | 0.900V |

| | | | |
|---|---|---|---|
| R2 | 150Ω | $Rbias_{comp}$ | 20kΩ |
| C1 | 0.4pF | Rup0 | 64kΩ |
| Rb0 | 12k Ω | Rdown0 | 62kΩ |
| R3 | 2kΩ | Rbiasout0 | 48 kΩ |
| C2 | 13.8pF | Rdown1 | 56kΩ |
| Rb1 | 15k Ω | Rup1 | 54kΩ |
| $Vref_{comp1}$ | 0.850V | Rbiasout1 | 64 kΩ |

**(a)** ค่าพารามิเตอร์ที่ใช้สำหรับการจำลองระบบของรูปที่ 5.75




**(b)** ผลการจำลองระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของโครงสร้างรูปที่ 5.75 ที่อัตราการส่งข้อมูล 133Msymbol/s ที่ความถี่คลื่นพาห์ 400MHz

**รูปที่ 5.77** ค่าพารามิเตอร์ และผลการจำลองของโครงสร้างรูปที่ 5.75

จากการจำลองระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ซึ่งผลการจำลองระบบสามารถที่จะทำงานได้ ซึ่งค่าพารามิเตอร์ตัวเก็บประจุ และตัวต้านทานของวงจรกรองสัญญาณความถี่ต่ำผ่าน และวงจรไบอัสกระแส และแรงดันจะอยู่นอก chip เพื่อความสะดวกในการปรับเปลี่ยนค่าพารามิเตอร์เพื่อให้ระบบสามารถที่จะทำงานได้ โดยสามารถที่จะแสดงตารางของประสิทธิภาพของการจำลองของระบบในหัวข้อที่ 5.6 ดังแสดงรูปที่ 5.78

| Parameters | BPSK | QPSK |
|---|---|---|
| Datarate | 200Mbit/s | 133Msymbol/s |
| Lock range | 4MHz | 2MHz |
| Power(mW) | 6 | 6.67 |
| FoM(pJ/bit) | 30 | 25 |

**รูปที่ 5.78** ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่ได้จำลองในหัวข้อ 5.6

**5.7 สรุป**

สำหรับบทนี้จะเป็นการนำแนวคิดในบทที่ 3 มาออกแบบวงจรส่วนต่างๆที่ใช้ในระบบกู้คืนสัญญาณ เช่นวงจร positive edge triggered RSFF, วงจร voltage compataor, วงจร Voltage Control Oscillators และวงจรปรับระดับแรงดัน โดยการออกแบบจะออกแบบระดับทรายซิสเตอร์โดยใช้ process umc 0.18nm สำหรับขั้นตอนการออกแบบของแต่ละวงจรจะเริ่มตั้งแต่ฟังก์ชันการทำงานที่ต้องการ แล้วนำมาออกแบบเป็น schematic เมื่อschematic ทำงานตามฟังก์ชันที่ต้องการถัดไปก็นำมาทำการวาด layout เพื่อที่จะสามารถนำไปใช้งานได้จริง เมื่อทำการออกแบบทั้ง schematic และ layout ของแต่ละวงจรเสร็จเรียบร้อย ก็จะนำมาทำการจำลองเปรียบเทียบกันเพื่อดูประสิทธิภาพ และการทำงานตามฟังก์ชันที่ต้องการ เมื่อผลการจำลองเป็นที่น่าพอใจ ส่วนต่อไปก็นำแต่ละวงจรมาต่อเชื่อมกันเพื่อเป็นระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสดียว ลูปเดียว บนพื้นฐานเฟสล็อก และทำการแสดงขั้นตอนการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่าน ที่ทำให้ระบบเสถียรภาพ

**5.8 เอกสารอ้างอิง**

[1] J.M. Rabaey, Digital Integrated Circuits, Prentice-Hall, Upper Saddle River, NJ, 1996

[2] N. Weste and K. Eshraghian, CMOS VLSI Design, 2nd ed., Addison-Wesley, Reading, MA, 1994.

[3]. B. Razavi. RF Microelectronic., Prentice Hall PTR, 1998.

[4] Razavi, B., Design of Analog CMOS Integrated Circuit, New York: McGraw-Hill, 2001

[5] Meng-Lieh Sheu, Ta-Wei Lin, and Wei-Hung Hsu, .. Wide Frequency Range Voltage Controlled Ring Oscillators based on Transmission Gates" , Proc. of 2005 IEEE International Symposium on Circuits and Systems, ISCAS'2005, vol.3, pp.2731-2734, May 2005.

[6] Paul R. Gray, Pual J. Hurst, Stephen H. Lewis and Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, 5$^{th}$ed., New York: John Willy and Sons, 2010

[7] S. Babayan-Mashhadi and R. Lotfi, “Analysis and design of lowvoltage, low-power double-tail dynamic comparator,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 22, no. 2, pp. 343-352, Feb. 2014.

[8] D. Johns, K. Martin, “Analog Integrated Circuit Design,” John Wiley & Sons, 1997.

# บทที่ 6
# การออกแบบ และกระบวนการทดสอบของไอซีระบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป ดีมอดูเลตบีพีเอสเค และคิวพีเอสเค

## 6.1 บทนำ

กระบวนการออกแบบ และทดสอบเป็นส่วนสำคัญที่เป็นปัจจัยหลักของประสิทธิภาพของการทำงานของไอซีที่ได้ทำการออกแบบในบทที่ 5 และมีความสำคัญไม่น้อยไปกว่าการออกแบบวงจรในระดับซีมอส สำหรับการทดสอบจะต้องมีการสร้างสัญญาณข้อมูลแบบสัญญาณสุ่ม (PRBS) สร้างวงจรมอดูเลเตอร์บีพีเอสเค และคิวพีเอสเค ด้วยการใช้ FPGA จะต้องมีการออกแบบ PCB เพื่อใช้ในการป้อนค่าไฟเลี้ยงดีซี สัญญาณทดสอบมอดูเลเตอร์บีพีเอสเค และคิวพีเอสเค และใช้เพื่อเชื่อมต่อวงจรกรองความถี่ต่ำผ่าน และตัวต้านทานสำหรับตั้งกระแสไบอัสส่วนต่างๆของไอซี และใช้สำหรับเป็นจุดสำหรับการวัดค่าพารามิเตอร์แรงดัน กระแส และสัญญาณที่สนใจ ส่วนสุดท้ายจะเป็นการวัดประสิทธิภาพพารามิเตอร์ตามมาตรฐานสากล เช่น BER

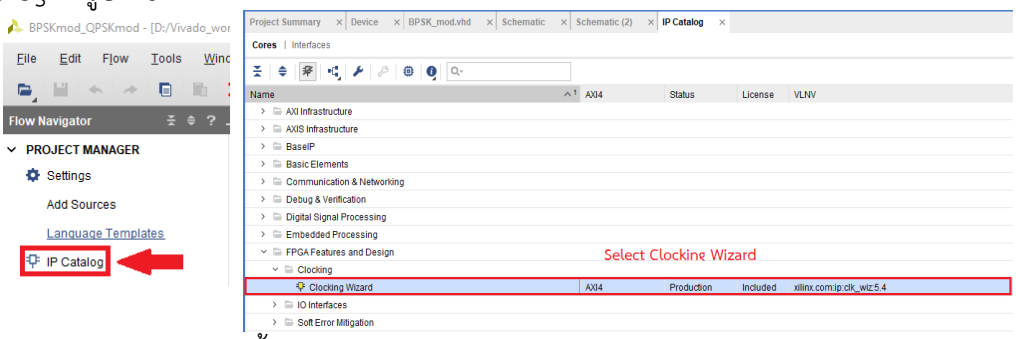
## 6.2 การออกแบบ และกระบวนการทดสอบบีพีเอสเคดีมอดูเลเตอร์

สำหรับกระบวนการทดสอบจะเริ่มจากการสร้างสัญญาณมอดูเลตบีพีเอสเค ด้วยวงจรมอดูเลเตอร์บีพีเอส และสร้างสัญญาณข้อมูลด้วยวงจรสร้างสัญญาณแบบสุ่ม (PRBS) โดยใช้ FPGA มาช่วยในการสร้างสัญญาณ และออกแบบด้วยภาษา VHDL บนโปรแกรม Vivado ในที่นี้ใช้บอร์ด Zybo z7

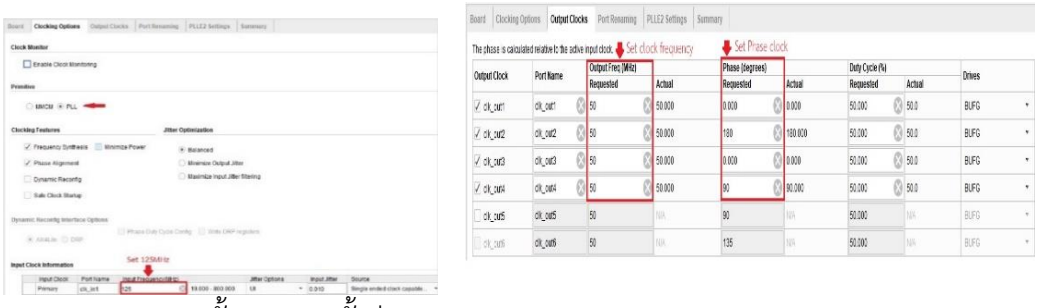
## 6.3 การออกแบบ และกระบวนการทดสอบบีพีเอสเคมอดูเลเตอร์ด้วย FPGA บอร์ด Zybo z7

### 6.3.1 การสร้างสัญญาณนาฬิกา

สำหรับสัญญาณนาฬิกาใช้เป็นสัญญาณอินพุทของวงจรสร้างสัญญาณแบบสุ่ม (PRBS) และใช้เป็นสัญญาณคลื่นพาห์ที่มีเฟส 0 และเฟส 180 องศาของวงจรมอดูเลเตอร์ โดยในที่นี้จะเลือก IP catalog ที่มีวงจร PLL ในบอร์ด Zybo z7 เพื่อสร้างสัญญาณนาฬิกา สามารถแสดงวิธีการใช้ IP catalog ดังรูปที่ 6.1




**(a)** ขั้นตอนการเลือก clocking wizard ใน IP catalog



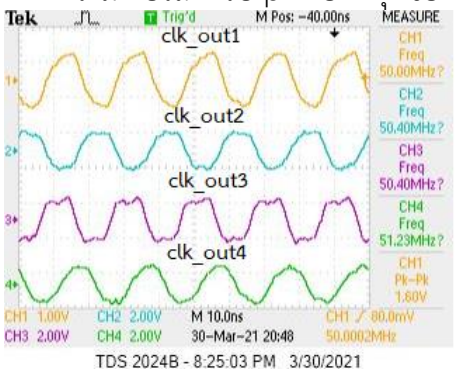
**(b)** ขั้นตอนการตั้งค่าphase, frequency ของ clocking wizard

**รูปที่ 6.1** ขั้นตอน และวิธีการตั้งค่าพารามิเตอร์ของ Clocking Wizard

จากรูปที่ 6 ขั้นตอนการตั้งค่าพารามิเตอร์ของ clocking wizard ในที่นี้ได้ทำการเลือก clock_out ด้วยกัน 4 เอาท์พุท ได้แก่ clk_out1, clk_out2, clk_out3 และclk_out4 สำหรับหน้าที่ของ clk_out1, clk_out2 จะเป็นความถี่ของคลื่นพาห์ซึ่ง clk_out1 มีความถี่ 50 MHz เฟส 0 องศา clk_out2 มีความถี่ 50 MHz เฟส 180 องศา ส่วนหน้าที่ของ clk_out3 จะเป็นสัญญาณของอินพุทของวงจรสร้างสัญญาณแบบสุ่ม (PRBS) ซึ่ง clk_out3 มีความถี่ 50 MHz เฟส 0 องศา โดยในที่นี้จะต้องมีการสร้างวงจรหารความถี่เพื่อลดความถี่ของสัญญาณข้อมูลให้มีค่าน้อยกว่าสัญญาณคลื่นพาห์ และสุดท้ายหน้าที่ของ clk_out4 ซึ่งเป็นสัญญาณคลื่นพาห์ที่ใช้สำหรับการจำลองเป็นสัญญาณอ้างอิงแทนสัญญาณจากวงจร VCO เพื่อทดสอบส่วนต่างๆของวงจร และวงจรกรองความถี่ต่ำผ่านที่ได้ออกแบบ สามารถแสดงรูปที่ 6.2 เป็นโค้ดที่ได้จากการสร้างของ clocking wizard และการตั้งค่า pin เอาท์พุทที่จะทำการวัดเพื่อตรวจสอบลักษณะสัญญาณ

```
##Pmod Header JA (XADC)
set_property -dict { PACKAGE_PIN N15   IOSTANDARD LVCMOS33 } [get_ports { clk_1}]; #IO_L21P_T3_DQS_AD14P_35 Sch=JA1_R_p
set_property -dict { PACKAGE_PIN L14   IOSTANDARD LVCMOS33 } [get_ports { clk_2 }]; #IO_L22P_T3_AD7P_35 Sch=JA2_R_P
set_property -dict { PACKAGE_PIN K16   IOSTANDARD LVCMOS33 } [get_ports { clk_3 }]; #IO_L24P_T3_AD15P_35 Sch=JA3_R_P
set_property -dict { PACKAGE_PIN K14   IOSTANDARD LVCMOS33 } [get_ports { clk_4 }]; #IO_L20P_T3_AD6P_35 Sch=JA4_R_P
```

**(c)** การตั้งค่าพารามิเตอร์สำหรับ pin เอาท์พุทของ Zybo z7



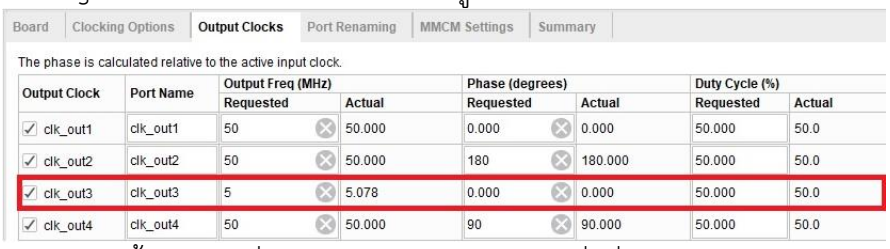

**(d)** ผลการทดสอบ clocking wizard

**รูปที่ 6.2** กระบวนการออกแบบ และทดสอบ clocking wizard

### 6.3.2 วงจรหารความถี่ (frequency Divider)

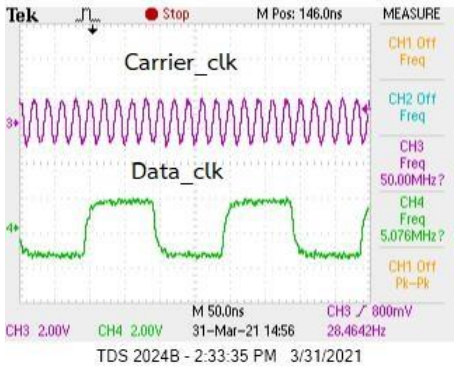
สำหรับวงจรหารความถี่ใช้เป็นวงจรที่มีหน้าที่หารความถี่นาฬิกาของ clk_out3 ที่สร้างมาจาก clocking wizard โดยสัญญาณเอาท์พุทที่ได้จากวงจรหารความถี่จะเป็นสัญญาณนาฬิกาที่เป็นอินพุทของวงจรสร้างสัญญาณแบบสุ่ม โดยตอนนี้สัญญาณเอาท์พุทของวงจรหารความถี่ ($f_{divider}$) มีค่าเท่ากับ clk_out3/10 เพื่อทำการทดสอบสัญญาณข้อมูลแบบสุ่มที่ความถี่ต่ำกว่าความถี่คลื่นพาห์

(clk_out1, clk_out2) 10 เท่า ในที่นี้วงจรหารความถี่สามารถทำได้ด้วยกันสองวิธี วิธีที่หนึ่งเป็นการตั้งค่าใน clocking wizard สามารถแสดงขั้นตอนดังรูปที่ 6.30




| Output Clock | Port Name | Output Freq (MHz) | | Phase (degrees) | | Duty Cycle (%) | |
|---|---|---|---|---|---|---|---|
| | | Requested | Actual | Requested | Actual | Requested | Actual |
| clk_out1 | clk_out1 | 50 | 50.000 | 0.000 | 0.000 | 50.000 | 50.0 |
| clk_out2 | clk_out2 | 50 | 50.000 | 180 | 180.000 | 50.000 | 50.0 |
| clk_out3 | clk_out3 | 5 | 5.078 | 0.000 | 0.000 | 50.000 | 50.0 |
| clk_out4 | clk_out4 | 50 | 50.000 | 90 | 90.000 | 50.000 | 50.0 |

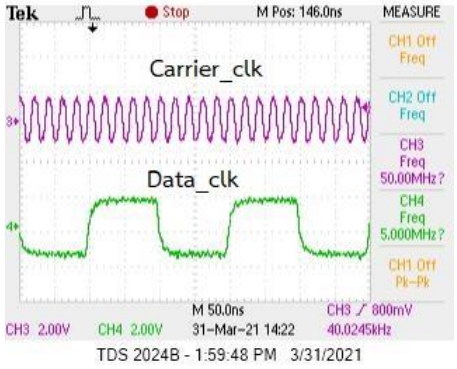
**(a)** การตั้งค่าความถี่ของ clk_out3 เท่ากับความถี่คลื่นพาห์ clk_out1/10




**(b)** ผลการวัดความถี่คลื่นพาห์ และความถี่สัญญาณข้อมูล

**รูปที่ 6.3** วิธีหารความถี่ด้วยการตั้งค่าจาก clocking wizard

จากวิธีที่หนึ่งเป็นการตั้งค่าจาก clocking wizard ซึ่งความถี่ที่เกิดขึ้นนั้นมีความคลาดเคลื่นจากที่ต้องการและโดยปกติแล้วต้องมีการเปลี่ยนความถี่คลื่นพาห์ในช่วงความถี่ค่าหนึ่งอาจจะเป็นช่วงตามความถี่ VCO ที่ได้ออกแบบไว้ในไอซี วิธีที่สองจะเป็นการสร้างวงจรหารความถี่เพิ่มเข้ามาเพื่อนำสัญญาณคลื่นพาห์ผ่านเข้าไปหารความถี่เพื่อสร้างสัญญาณนาฬิกาของสัญญาณข้อมูลก่อนจะเข้าไปยังวงจรสร้างสัญญาณแบบสุ่ม PRBS แสดงโค้ด และผลวัดของวิธีที่สองดังรูปที่ 6.4




**(a)** ผลการวัดความถี่คลื่นพาห์ และความถี่สัญญาณข้อมูล

**รูปที่ 6.4** วิธีหารความถี่ด้วยการสร้างวงจรหารความถี่ด้วยภาษา VHDL

### 6.3.3 วงจรสร้างสัญญาณแบบสุ่ม

เป็นการสร้างบิตข้อมูลดิจิตอลแบบมีการสุ่ม โดยจะใช้วงจร Linear Feedback Shift Register (LFSR) ซึ่งสัญญาณที่สร้างขึ้นในทางอุดมคติไม่สามารถที่จะคาดการบิตข้อมูลดิจิตอลว่าจะมีบิต 0 หรือบิต1 โดยวงจร LFSR จะประกอบด้วย Shift Register และ XOR gate จากการที่สัญญาณที่เกิดขึ้นไม่สามารถที่จะคาดการได้จึงนิยมนำมาทดสอบระบบรับส่งทางด้านการสื่อสาร ในงานส่วนนี้จะสามารถตัว Shift Resister จำนวน 16 ตัว สามารถแสดงตารางของจำนวนของบิต ความยาวสูงสุดของลูป และ Taps ดังตารางที่ 6-1

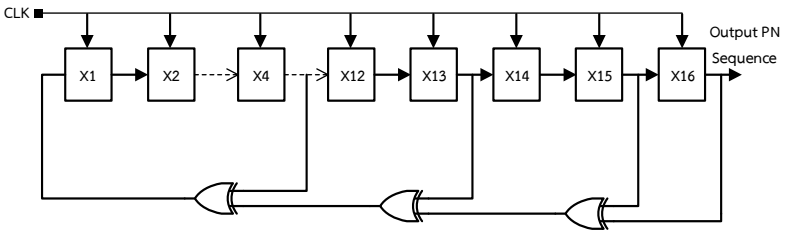
| Number of bits (N) | Length of Loop ( $2^N$-1 ) | Taps |
|---|---|---|
| 16 | 65535 | 1,2,4,15 |

**ตารางที่ 6-1** ตารางค่าพารามิเตอร์ LFSR 16 บิต

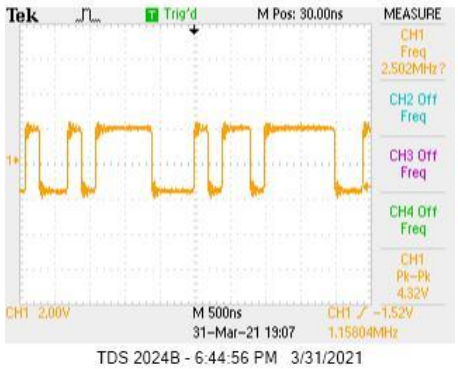
และสมการพอลิโนเมียลของ LFSR 16 บิต แสดงดังนี้

$$X^{16} + X^{15} + X^{13} + X^4 + 1 \tag{6.1}$$

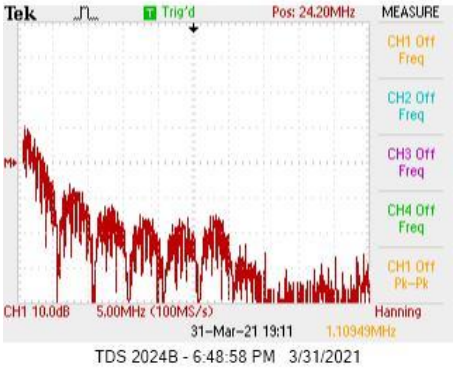
ส่วนต่อไปจะเป็นการแสดงบล็อกไดอะแกรมของ LFSR และโค้ด VHDL รวมทั้งผลการวัดดังแสดงรูปที่ 6.5




**(a)** บล็อกไดแกรมของวงจร LFSR 16 บิต




**(b)** การวัดผลของสัญญาณวงจรสร้างสัญญาณแบบสุ่ม

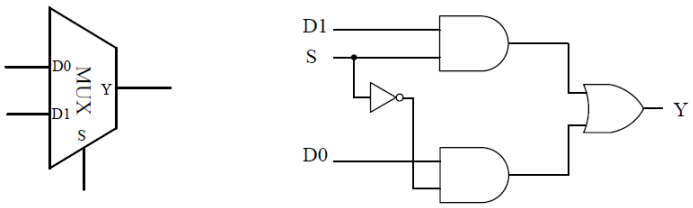



**(c)** สเปกตรัมของสัญญาณวงจรสร้างสัญญาณแบบสุ่ม

**รูปที่ 6.5** กระบวนการสร้าง และวัดผลวงจรสร้างสัญญาณแบบสุ่ม

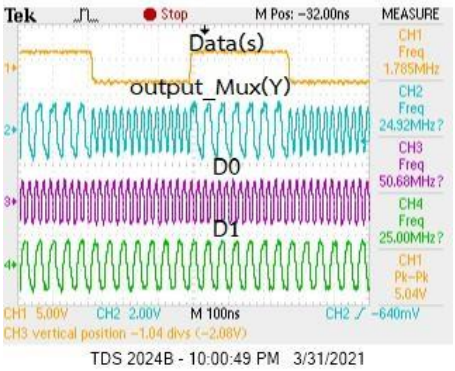
### 6.3.4 วงจรดิจิตอลมัลติเพล็กซ์เซอร์ (Mux 2:1)

เป็นวงจรเลือกข้อมูลที่มีเพียงเอาท์พุทเดียว และมีสองอินพุท ทำหน้าเลือกสัญญาณอินพุทมาเพียงค่าเดียวมายังเอาท์พุท ในที่นี้วงจร Mux2:1 จะเป็นวงจรในการทำวงจรมอดูเลเตอร์บีพีเอสเคสำหรับวงจรดิจิตอลมัลติเพล็กซ์ สามารถแสดงดังรูปที่ 6.6




**รูปที่ 6.6** Schematic ของวงจรมัลติเพล็กซ์ 2:1

จากวงจรรูปที่ 6.6 เมื่อสัญญาณข้อมูล (s) เป็น Active High (บิต1) เอาท์พุท Y จะเป็นสัญญาณอินพุท D1 และเมื่อสัญญาณข้อมูล (s) เป็น Active Low (บิต0) เอาท์พุท Y จะเป็นสัญญาณอินพุท D0 ขั้นตอนต่อไปจะทำการเขียนโค้ดด้วยภาษา VHDL เพื่อสร้างวงจร Mux2:1 และทำการทดสอบด้วยการสร้างสัญญาณอินพุท D1 มีความถี่ 50MHz และสัญญาณอินพุท D0 มีความถี่ 25 MHz เพื่อทดสอบการทำงานของวงจร Mux2:1 ที่ได้ทำการออกแบบใน FPGA แสดงดังรูปที่ 6.7

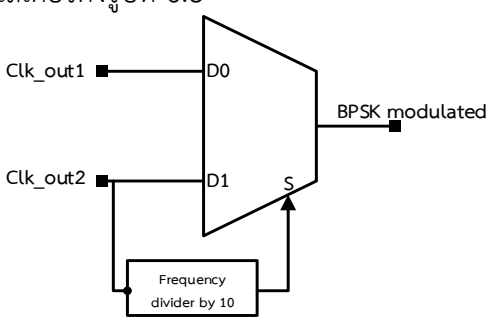



**(a)** ผลวัดของการทดสอบวงจร Mux2:1

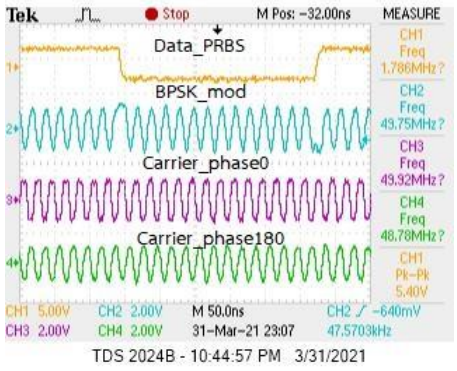
**รูปที่ 6.7** กระบวนการออกแบบ และทดสอบวงจรมัลติเพล็กซ์ (Mux 2:1)

### 6.3.5 วงจรบีพีเอสเค มอดูเลเตอร์

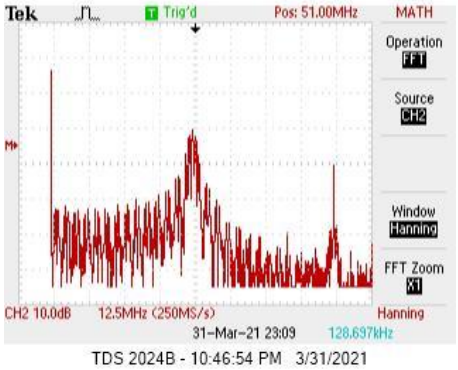
เป็นวงจรที่สัญญาณข้อมูลจะเปลี่ยนเป็นความถี่คลื่นพาห์ที่มีเฟสต่างกัน 180 องศา เมื่อสัญญาณข้อมูลเป็น Active High (บิต 1) สัญญาณเอาท์พุทของวงจรบีพีเอสเค มอดูเลเตอร์จะเป็นสัญญาณคลื่นพาห์เฟส 180 องศา และเมื่อสัญญาณข้อมูลเป็น Active Low (บิต 0) สัญญาณเอาท์พุทของวงจรบีพีเอสเค มอดูเลเตอร์จะเป็นสัญญาณคลื่นพาห์เฟส 0 องศา สามารถแสดงกระบวน และการทดสอบวงจรบีพีเอสเค มอดูเลเตอร์ดังรูปที่ 6.8




**(a)** บล็อกไดอะแกรมของวงจรบีพีเอสเค มอดูเลเตอร์




**(b)** ผลวัดของวงจรบีพีเอสเค มอดูเลเตอร์

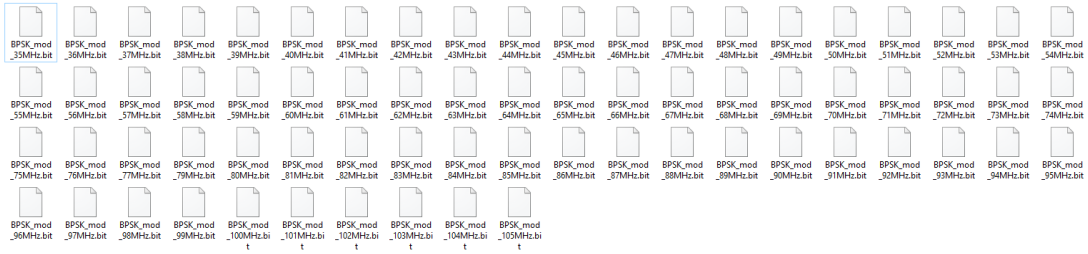



**(c)** สเปกตรัมวงจรบีพีเอสเค มอดูเลเตอร์

**รูปที่ 6.8** กระบวนการออกแบบ และทดสอบวงจรบีพีเอสเค มอดูเลเตอร์

จากกระบวนการสร้างวงจรบีพีเอสเคมอดูเลเตอร์ซึ่งสามารถสร้างความถี่คลื่นพาห์ได้เพียงค่าเดียว แต่เนื่องจากกระบวนทดสอบไอซีจำเป็นต้องมีการกวาดความถี่คลื่นพาห์เพื่อทำการทดสอบช่วงล็อก และ

ช่วงการเข้าล็อกของไอซีบีพีเอส คิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ดีมอดูเลเตอร์ เพื่อความสะดวกและรวดเร็วในการทำงานจึงได้ทำการสร้างความถี่คั่นพาหี และวงจรมอดูเลเตอร์แต่ละความถี่คลื่นพาห์ด้วยการสร้าง Bitstream ในช่วงความถี่ทำงานของวงจร VCO นั้นคือความถี่ช่วง 35MHz-105MHz สามารถแสดง bitstream ดังรูปที่ 6.9



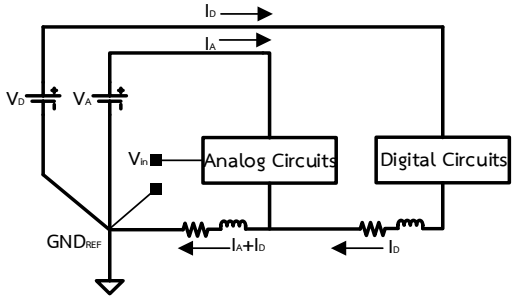

**รูปที่ 6.9** bitstream ของวงจรบีพีเอสเค มอดูเลเตอร์ช่วงความถี่คลื่นพาห์ 35MHz-105MH

## 6.4 การออกแบบแผ่นปริ้น หรือ แผ่น PCB สำหรับการทดสอบไอซี

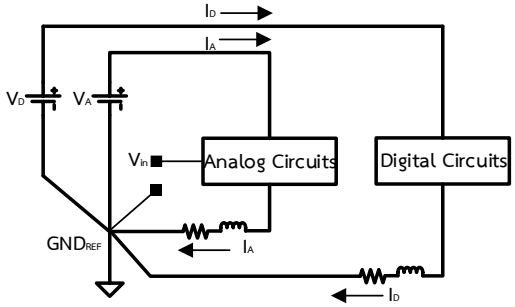
อีกหนึ่งสำคัญสำหรับการทดสอบไอซีจะต้องมีการสร้าง PCB เพื่อเป็นส่วนเชื่อมต่อของไอซีที่ทำการทดสอบกับอุปกรณ์ทางไฟฟ้า เช่นแรงดันดีซีที่ทำหน้าที่เป็นไฟเลี้ยง, ตัวต้านทาน และตัวเก็บประจุ, sma connector สำหรับการป้อนสัญญาณทดสอบเข้าไปยังไอซี และเป็นส่วนสำหรับวัดเอาท์พุทของไอซี การออกแบบ PCB จะต้องทำอย่างระมัดระวัง และใช้ความเข้าใจทางด้านวงจร และสายส่งเพื่อทำให้การทดสอบไอซีมีประสิทธิภาพสูงสุด หรือโดยลดทอน parasitic ของตัวเก็บประจุ และตัวต้านทาน สัญญาณรบกวน(noise) และอีกส่วนสำคัญระดับกราวน์ ไฟเลี้ยง และสัญญาณจะต้องไม่มีการรบกวนกัน ในที่นี้ไอซีที่ทำการทดสอบเป็นระบบที่มีการ Mixed-Signal ซึ่งการออกแบบระบบกราวด์จะต้องระมัดระวังไม่สามารถที่จะเชื่อมต่อกราวนด์ และไฟเลี้ยงเข้ากันอย่างไม่มีหลักการจะส่งผลให้สัญญาณของระบบแอนาล็อก และดิจิตอลมีการรบกวนซึ่งกันและกันส่งผลให้ประสิทธิภาพของไอซีที่ทำการทดสอบได้ประสิทธิภาพลดลงจากเดิม และอาจส่งผลกระทบให้ระบบมีการทำงานที่ผิดพลาดหรือไม่สามารถทำงานตามฟังก์ชันที่ต้องการได้ สำหรับ PCB ที่ออกแบบจะสนใจระบบ ground planes, grounding mixed-signal ICs และการออกแบบสายส่ง 50 ohms

### 6.4.1 Ground Planes

การใช้พื้นที่ระนาบด้านหนึ่งจาก PCB สองด้าน หรือใช้พื้นที่ระนาบหนึ่งชั้นจาก PCB หลายชั้นเพื่อทำการเชื่อมต่อทองแดงเข้าด้วยกันเพื่อทำหน้าที่เป็นกราวนด์ ของแผ่น PCB สำหรับเทสไอซี ตามทฤษฎีเมื่อพื้นที่การเชื่อมต่อมีขนาดใหญ่จะทำให้บริเวณนั้นมีค่าความต้านทานที่ต่ำ และมีโอกาสที่จะส่งผลให้ค่า parasitic inductance มีค่าต่ำ และความแตกต่างระหว่างแรงดันของแต่ละจุดจะมีความแตกต่างกันน้อย สำหรับกระแสย้อนกลับของวงจรดิจิตอล($I_D$) และกระแสย้อนกลับของวงจรแอนาล็อก($I_A$)รูปที่ 6.10(a) ที่เชื่อมต่อร่วมกันก่อนที่จะย้อนกลับไปยัง $GND_{REF}$ ส่งผลให้เกิดกระแส $I_D+I_A$ วิ่งไปยัง $GND_{REF}$ วิธีการเชื่อมต่อแบบนี้จะส่งผลให้มีการใช้ตัวต้านทาน และตัวเก็บประจุของดิจิตอลและแอนาล็อกด้วยกันทำให้เกิดค่าคลาดเคลื่นจากระบบเดิม การย้อนกลับของกระแสดิจิตอล และกระแสแอนาล็อกจะต้องเชื่อมต่อเข้า $GND_{REF}$ แบบ star หรือมีกราวนด์ของระบบพียงจุดเดียวแสดงดังรูปที่ 6.10(b) สำหรับหลักกการเชื่อมต่อพยายามให้ตัวต้านทาน และตัวเหนียวนำมีค่าน้อยซึ่งการเชื่อมต่อในรูปที่ 6.10(b) จะส่งผลให้ค่าตัวต้านทาน และค่าตัวเหนียวนำมีค่าลดลง




**(a)** การย้อนกลับของกระแสดิจิตอล และการย้อนกลับกระแสแอนาล็อกเชื่อมต่อเข้าด้วยกันทำให้เกิดกระแส ความต้านทานและตัวเหนียวนำที่สูงขึ้นเป็นวิธีที่ไม่ถูกต้อง

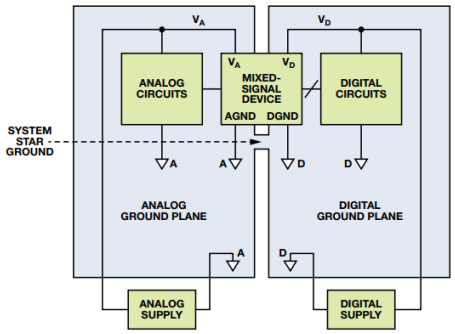



**(b)** การย้อนกลับของกระแสดิจิตอล และการย้อนกลับกระแสแอนาล็อก แยกออกจากกัน และไปต่อเชื่อมกับ $GND_{REF}$ แบบ star ทำให้ความต้านทาน และตัวเหนียวนำน้อยลงเป็นวิธีที่ถูกต้อง

**รูปที่ 6.10** กระบวนการของ Ground planes ของระบบดิจิตอล และแอนาล็อกบน PCB เดียวกัน

### 6.4.2 Grounding Mixed-signal

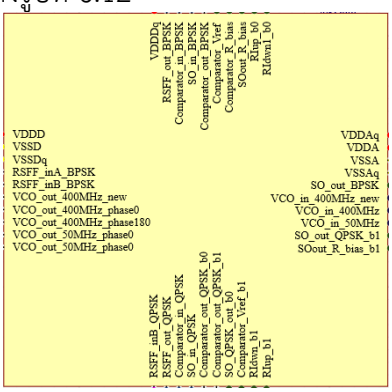
โดยปกติระบบกราวนด์ของดิจิตอล และระบบกราวนด์ของแอนาล็อกจะแยกออกจากกันบน PCB สำหรับกราวนด์ดิจิตอล (DGND) และกราวนด์แอนาล็อก(AGND) จะทำการเชื่อมกันขนาดเล็กแบบStar จากการแยกระบบกราวนด์ด้วยวิธีนี้จะทำให้สัญญาณรบกวนของกราวนด์ดิจิตอลจะไหลไปยังไฟเลี้ยงของดิจิตอลไม่ไปรบกวนทางด้านแอนาล็อกที่มีความ sensitive สูง สามารถแสดงดังรูปที่ 6.11



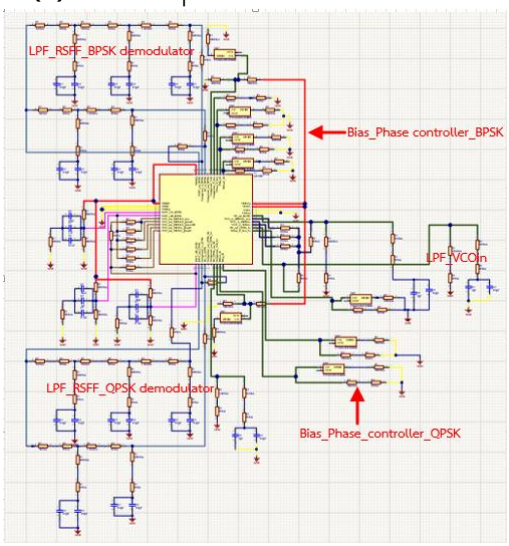

**รูปที่ 6.11** ระบบกราวนด์ของ Mixed-signal ICs บน PCB เดียวกัน [6.1]

### 6.4.3 Schematic และ layout ของ PCB สำหรับทดสอบไอซี และไอซี

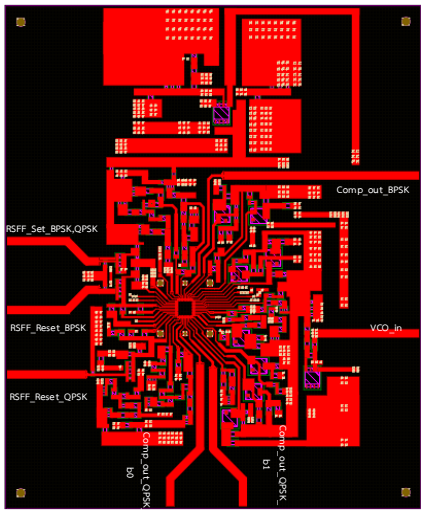
สำหรับส่วนนี้จะเป็นการออกแบบ PCB เพื่อจะทำการทดสอบวงจร โดยจะต้องทำการวาด schematic ของบอร์ด PCB เพื่อนำไปวาด layout PCB เพื่อสร้างชิ้นงานออกมา ตำแหน่งการวาดและการเดินทางของระบบไฟเลี้ยง กราวนด์จะคำนึงถึงหลักการก่อนหน้าที่ได้กล่าวแล้วสามารถดู schematic และ layout แสดงดังรูปที่ 6.12



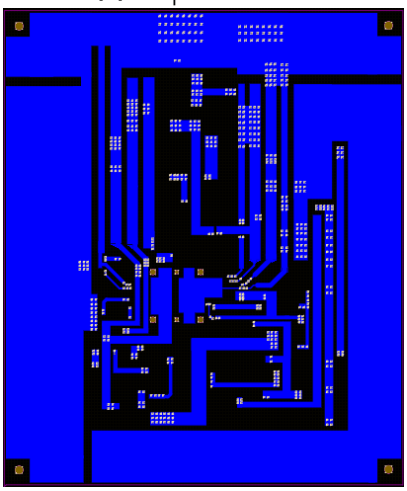

**(a)** ตำแหน่ง pin ของไอซีที่ทดสอบ



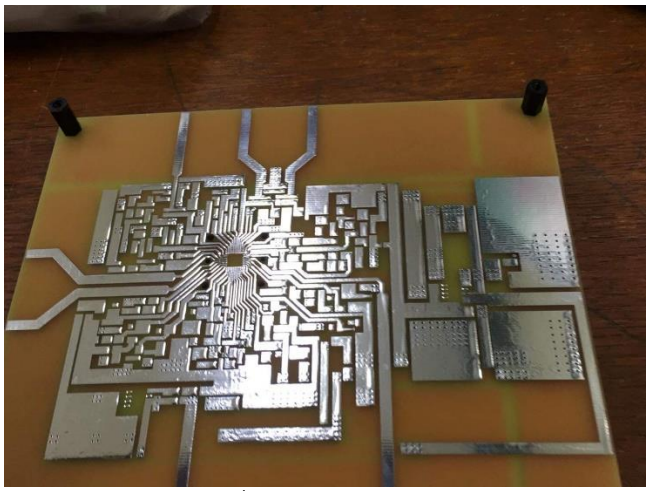

**(b)** Schematic ของ PCB ที่ทดสอบไอซี



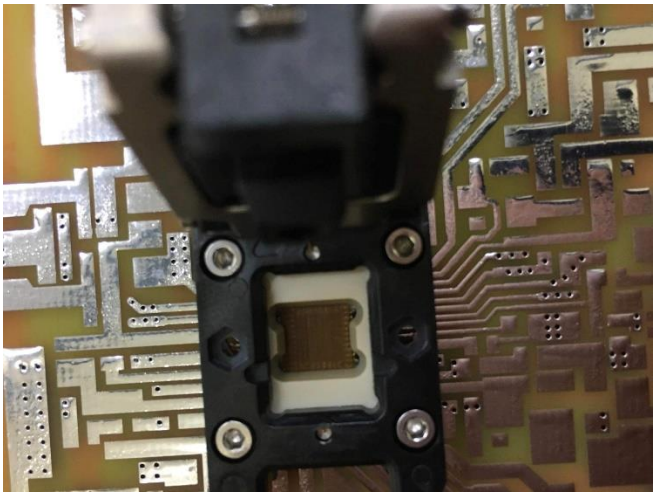

**(c)** Top view PCB



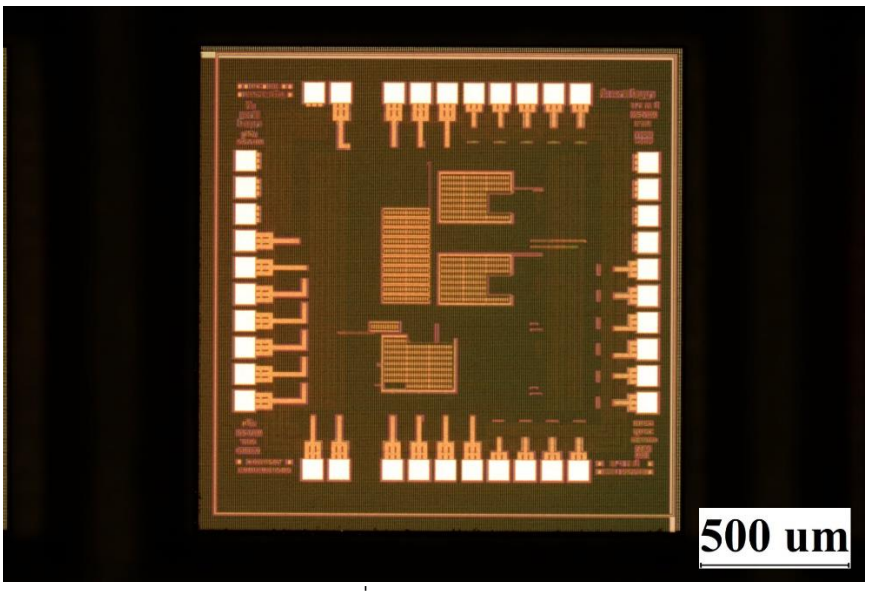
**(d)** Bottom view PCB



**(e)** PCB ที่ใช้สำหรับการทอสอบไอซี



**(f)** socket ที่ใช้สำหรับการทดสอบไอซี




**(g)** ไอซีที่ใช้สำหรับการทดสอบ

**รูปที่ 6.12** กระบวนการออกแบบ PCB ,socket และไอซี

## 6.5 การทดสอบไอซีบีพีเอสเค ลูปเดียว เฟสเดียว บนหลักการเฟสล็อกลูป ดีมอดูเลเตอร์

จากหัวข้อก่อนหน้าได้ทำการออกแบบ PCB และวงจรบีพีเอสมอดูเลเตอร์ด้วย FPGA ขั้นตอนต่อไปจะทำการทดสอบไอซี เริ่มจากการทดสอบบล็อก positive edge triggered RSFF, VCO, Comparator, Phase controller และระบบรวมทั้งหมด

### 6.5.1 ทดสอบวงจร positive edge triggered RSFF

การทดสอบวงจร positive edge triggered RSFF จำเป็นต้องสร้างสัญญาณทดสอบที่มีผลต่างเฟสต่างกันเข้าที่ขา set และขา reset เพื่อดูกราฟคุณลักษณะของวงจร positive edge triggered RSFF มาช่วยในการคำนวณค่าเกนเพื่อช่วยในการออกแบบเสถียรภาพของระบบด้วยวงจรกรองสัญญาณความถี่ต่ำผ่านสัญญาณทดสอบผลต่างเฟสจะสร้างขึ้นมาจากFPGA เฟสต่างที่สร้างขึ้นจะประกอบด้วย 4 เฟส 45, 90, 135, 180 องศา และทำการสลับขาอินพุทระหว่างขา set และขา reset จะส่งผลให้เราได้เฟส 225, 270, 315, 360 องศา ส่งผลให้เฟสผลต่างทั้งหมดมี 8 ค่าซึ่งมีค่า

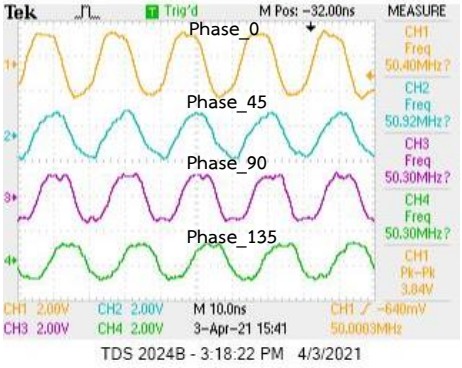
ความละเอียดเพียงพอสำหรับการวัดกราฟคุณลักษณะ กระบวนการสร้างสัญญาณทดสอบ และผลวัดสัญญาณทดสอบแสดงดังรูปที่ 6.13

Board | Clocking Options | **Output Clocks** | Port Renaming | MMCM Settings | Summary

The phase is calculated relative to the active input clock.

| Output Clock | Port Name | Output Freq (MHz) | | Phase (degrees) | | Duty Cycle (%) | | Drives |
|---|---|---|---|---|---|---|---|---|
| | | Requested | Actual | Requested | Actual | Requested | Actual | |
| ☑ clk_out1 | clk_out1 | 50 | 50.000 | 0 | 0.000 | 50.000 | 50.0 | BUFG |
| ☑ clk_out2 | clk_out2 | 50 | 50.000 | 45 | 45.000 | 50.000 | 50.0 | BUFG |
| ☑ clk_out3 | clk_out3 | 50 | 50.000 | 90 | 90.000 | 50.000 | 50.0 | BUFG |
| ☑ clk_out4 | clk_out4 | 50 | 50.000 | 135 | 135.000 | 50.000 | 50.0 | BUFG |
| ☑ clk_out5 | clk_out5 | 50 | 50.000 | 180 | 180.000 | 50.000 | 50.0 | BUFG |

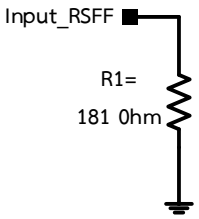
**(a)** กระบวนการสร้างผลต่างเฟสอินพุทเพื่อทดสอบ positive edge triggered RSFF



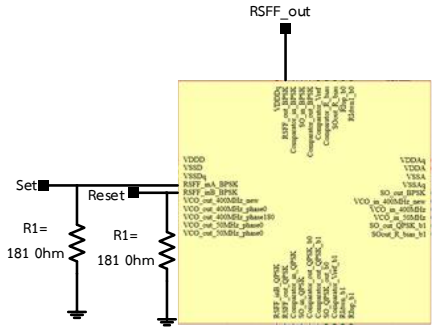

**(b)** ผลการทดสอบของรูปที่ 6.13(a)

**รูปที่ 6.13** กระบวนการและผลการทดสอบการสร้างสัญญาณเฟสผลต่างเพื่อทดสอบ positive edge triggered RSFF

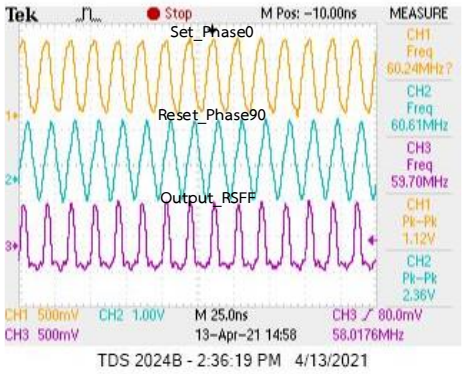
เมื่อสามารถสร้างสัญญาณเฟสผลต่างเพื่อทดสอบ positive edge triggered RSFF จาก FPGA แต่เนื่องจากไบอัสดีซีเอาท์พุทที่ได้จาก FPGA มีค่า 1.8 $V_{DC}$ และขนาดของสัญญาณแรงดันเอซีมีค่า 4 $V_{pk\text{-}pk}$ ซึ่งไอซีที่ทำการออกแบบต้องการแรงดันเอซีไม่เกิน 1.8 $V_{pk\text{-}pk}$ จะต้องทำการสร้างวงจรเพื่อลดระดับสัญญาณแรงดันเอซีจากแรงดัน 4 $V_{pk\text{-}pk}$ ให้มีค่าแรงดันเหลือเพียง 1.8 $V_{pk\text{-}pk}$ อย่างไรก็ตามควรจะทำการออกแบบให้มีแรงดันต่ำกว่า 1.8 $V_{pk\text{-}pk}$ เพื่อป้องกันเมื่อสัญญาณรบกวนเข้ามาเสริมส่งผลให้แรงดันเอซีมีขนาดใหญ่ขึ้นกว่า 1.8 $V_{pk\text{-}pk}$ ส่งผลให้ไอซีมีโอกาสเสียหายได้ แต่เนื่องจากทำการลดระดับแรงดันเอซีให้ต่ำกว่า 1.8 $V_{pk\text{-}pk}$ จะต้องทำสร้างวงจรไบอัสดีซีที่ 0.9 $V_{DC}$ เพื่อให้วงจร positive edge triggered RSFF ทำงานได้ถูกต้องตามฟังก์ชัน



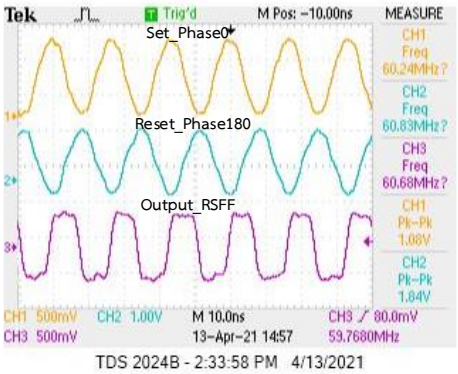

**(a)** วงจรลดทอนสัญญาณเอซี และไบอัสดีซีสำหรับทดสอบ positive edge triggered RSFF



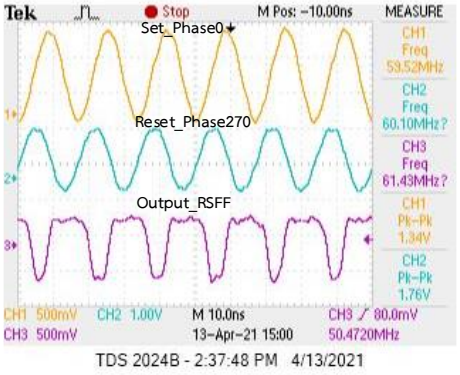

**(b)** การทดสอบ positive edge triggered RSFF




**(c)** ผลการทดสอบ positive edge triggered RSFF ที่ผลต่างอินพุท 90 องศา




**(d)** ผลการทดสอบ positive edge triggered RSFF ที่ผลต่างอินพุท 180 องศา




**(e)** ผลการทดสอบ positive edge triggered RSFF ที่ผลต่างอินพุท 270 องศา

**รูปที่ 6.14** กระบวนการ และผลการทดสอบไอซีของวงจร positive edge triggered RSFF ที่ความถี่ 60 MHz

ต่อไปจะเป็นการวัดคุณลักษณะของวงจร positive edge triggered RSFF เพื่อใช้ในการออกแบบเสถียรภาพของระบบ จะทำการทดสอบที่ความถี่ 60 MHz โดยแกน Y จะเป็นแรงดันเฉลี่ยเอาท์พุทของ RSFF ที่ผ่านวงจรกรองสัญญาณความถี่ต่ำผ่าน และแกน X จะเป็นผลต่างเฟสระหว่างอินพุท Set และอินพุท Reset ซึ่งนำค่าพารามิเตอร์ของความสัมพันธ์ระหว่างแรงดันเฉลี่ยเอาท์พุทของ RSFF หารด้วยผลต่างเฟสของอินพุทของ RSFF เพื่อนำค่าไปเป็นเกนของวงจร positive edge triggered RSFF ($K_{PD}$)

**รูปที่ 6.15** กราฟคุณลักษณะของวงจร positive edge triggered RSFF

จากกราฟรูปที่ 6.15 สามารถที่จะทำการคำนวณหาค่าอัตราขยายของวงจร positive edge triggered RSFF ดังที่ (6.2)

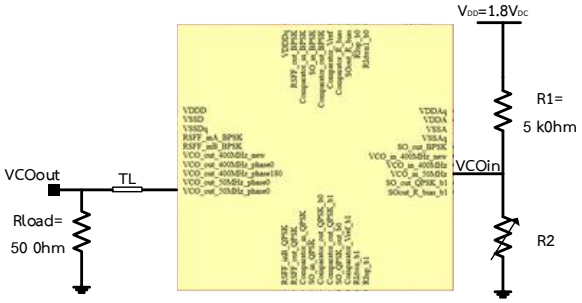
$$K_{PD} = \frac{1.78V}{2\pi} \tag{6.2}$$

จากสมการที่ 6.2 จะนำไปช่วยในการออกแบบลูปวงจรกรองเพื่อให้ระบบเสถียรภาพในขั้นตอนต่อไป ส่วนต่อไปจะเป็นการทดสอบและวัดผลการทดสอบของวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน

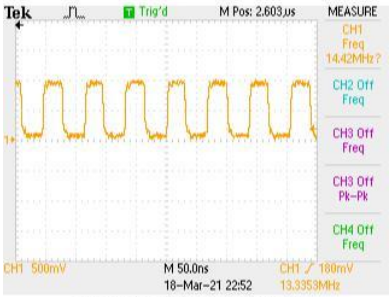
### 6.5.2 ทดสอบวงจร Voltage Control Oscillator (VCO)

การทดสอบดำเนินการด้วยการป้อนแรงดันอินพุทดีซีเข้าไปยัง $VCO_{in}$ โดยแรงดันดีซีจะต้องมีการปรับเปลี่ยนได้เพื่อดูการทำงานของความถี่เอาท์พุท $VCO_{out}$ ที่เปลี่ยนแปลง และเพื่อหาคุณลักษณะ

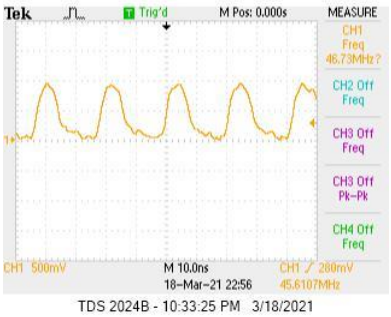
ของวงจร VCO และเพื่อป้องกันไม่ให้ตัวไอซีเสียหายสามารถที่จะสร้างแรงดันดีซีอินพุทของ $VCOi_n$ จากการแบ่งแรงดันจากไฟเลี้ยงด้วยตัวต้านทานสองตัวปรับค่าได้ ส่วนของสัญญาณ $VCO_{out}$ จะทำการต่อด้วยโหลด 50 โอห์มเพื่อป้องกันผลกระทบจากสายส่งสามารถแสดงรูปสัญญาณ $VCO_{out}$ ดังรูปที่ 6.16




**(a)** การทดสอบ VCO



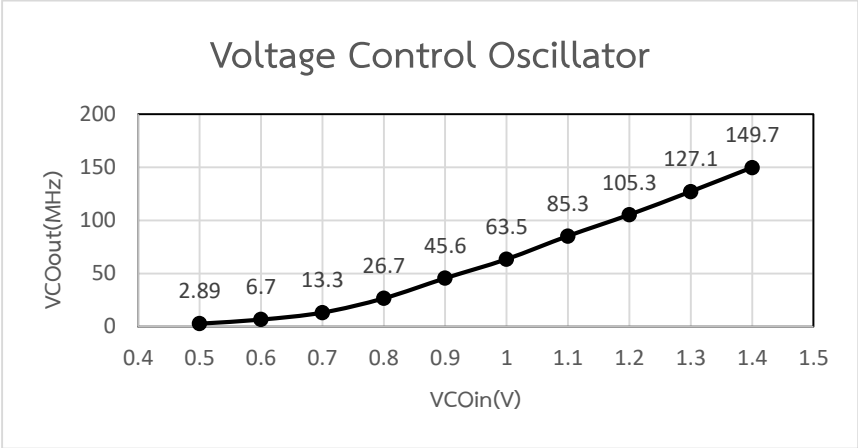

**(b)** ผลการทดสอบที่แรงดัน $VCO_{in}$=0.7 และความถี่ $VCO_{out}$=14.42 MHz




**(c)** ผลการทดสอบที่แรงดัน $VCO_{in}$=0.9 และความถี่ $VCO_{out}$=46.73 MHz

**รูปที่ 6.16** การทดสอบ และผลการวัดของวงจร VCO

ต่อไปจะทำการวัดกราฟคุณลักษณะของวงจร VCO เพื่อช่วยในการออกแบบเสถียรภาพของระบบโดยกราฟที่จะพล็อตแกน Y จะเป็นความถี่เอาท์พุทของ $VCO_{out}$ และแกน X จะเป็นแรงดันดีซีอินพุทของ $VCO_{in}$ โดยอัตราขยายของ VCO สามารถที่จะคำนวณด้วยการนำความถี่เอาท์พุทของ $VCO_{out}$ หารด้วยแรงดันดีซีอินพุทของ $VCO_{in}$ มีหน่วยเป็น (rad/s/V) สามารถแสดงดังรูปที่ 6.17




**รูปที่ 6.17** กราฟคุณลักษณะของวงจร VCO

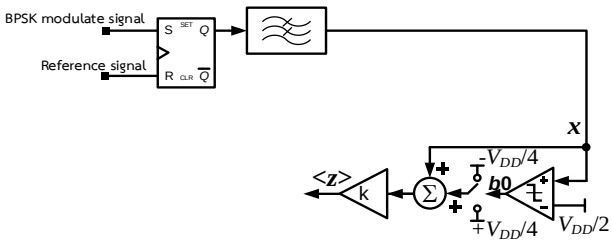
จากกราฟรูปที่ 6.17 สามารถนำมาคำนวณหาค่าอัตราขยายของ VCO ดังที่ (6.3)

$$K_{VCO} = 2\pi\left(\frac{105.3\times10^{6} - 26.7\times10^{6}}{1.2-0.8}\right)\frac{rad/s}{V}$$

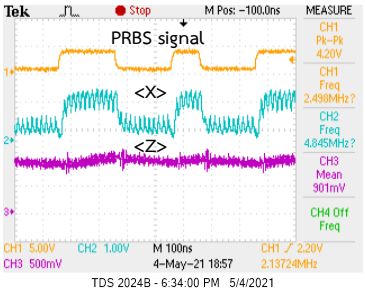
$$= 1.2\times10^{9} \text{ rad/s/V} \qquad (6.3)$$

### 6.5.3 ทดสอบวงจร 1-bit sub-ranging/re-scaling

การทดสอบวงจร 1-bit sub-range/re-scaling เริ่มจากการป้อนสัญญาณบีพีเอสเค มอดูเลตไปยังขา set ของ positive edge triggered RSFF และป้อนสัญญาณอ้างอิงที่มีความถี่เดียวกับสัญญาณบีพีเอสเค มอดูเลตไปยังขา reset ของ positive edge triggered RSFF และนำสัญญาณเอาท์พุทของ RSFF ผ่านวงจรกรองสัญญาณความถี่ต่ำผ่านเข้าไปยังอินพุทของวงจร voltage comparator และอินพุทของวงจรดึงขึ้นดึงลงของระดับแรงดันสามารถแสดงแนวทางการทดสอบระบบด้วยSchematic ดังรูปที่ 6.18




**(a)** Schematic ของการทดสอบวงจร 1-bit sub-ranging/re-scaling



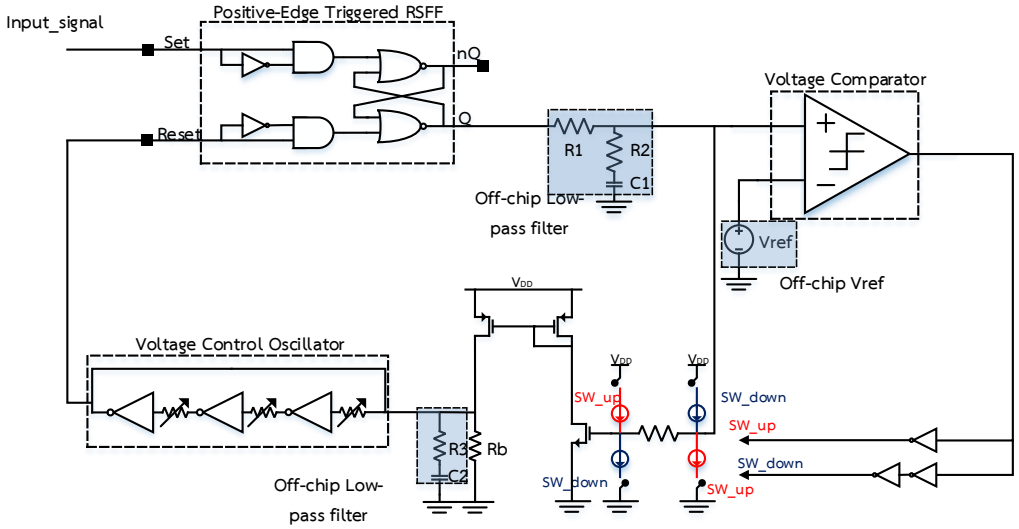

**(b)** ผลการทดสอบวงจร วงจร 1-bit sub-ranging/re-scaling

**รูปที่ 6.18** Schematic และผลการทดสอบวงจร 1-bit sub-ranging/re-scaling

จากการทดสอบสัญญาณ <X> เป็นสัญญาณแรงดันที่มีสองระดับ ตามหลักการของการกู้สัญญาณบีพีเอสเค ดีมอดูเลเตอร์ ซึ่งสัญญาณ <X> จะเป็นสัญญาณอินพุทของวงจร 1-bit sub-ranging/re-scaling เพื่อทำให้ระดับแรงดันสองระดับเหลือเพียงระดับเดียวเอาท์พุทก็คือ <Z> เพื่อเป็นอินพุทของ $VCO_{in}$ ระดับแรงดันดีซีของสัญญาณ <Z> จะปรับเปลี่ยนตามค่า $VCO_{in}$ ที่ต้องการความถี่เอาท์พุทของ $VCO_{out}$ ต่อไปจะเป็นการทดสอบระบบลูปปิดเพื่อตรวจสอบการทำงานของวงจรบีพีเอสเค ดีมอดูเลเตอร์ที่ได้ออกแบบ โดยบล็อก positive edge triggred ,VCO และวงจร 1-bit sub-ranging/re-scaling สามารถที่ทำงานได้ตามต้องการส่วนต่อไปจะเกี่ยวข้องกับการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านเพื่อให้ระบบปิดมีเสถียรภาพ โดยจะใช้หลักการของวิชาควบคุม และการออกแบบในบทที่ 4 และ5 มาช่วยในการออกแบบเสถียรภาพของระบบลูปปิด

**6.5.4 การออกแบบและทดสอบเสถียรภาพของระบบบีพีเอสเค มอดูเลเตอร์ ด้วยหลักการพื้นฐานของเฟสล็อกลูป**

จากหัวข้อ 6.5.1 ,6.5.2 และ 6.5.3 สามารถที่จะพิสูจน์และทดสอบการทำงานของฟังก์ชันต่างๆตามที่ได้ออกแบบไว้ และหาค่าพารามิเตอร์ของอัตราขยายของวงจร positive edge triggered RSFF และวงจร VCO เพื่อนำค่าพารามิเตอร์เหล่านี้มาช่วยในการออกแบบเสถียรภาพของระบบโดยเริ่มจากการให้ค่าพารามิเตอร์ของวงจร 1-bit sub-ranging/re-scaling มีค่าเท่ากับ 1 และให้วงจรกรองสัญญาณความถี่ต่ำผ่านอยู่หลังวงจร positive edge triggered RSFF โดยจะเป็นการออกแบบด้วยโครงสร้าง lead-lag $\left(1+s\tau_4/1+s\tau_3\right)$ และวงจรกรองสัญญาณความถี่ต่ำก่อนอินพุท $VCO_{in}$ จะเป็นโครงสร้างแต่เนื่องจากอินพุทของวงจรกรองเป็นสัญญาณกระแสดังนั้นโครงสร้างของวงจรกรองสัญญาณความถี่ต่ำผ่าน จะอยู่ในรูปแบบตัวต้านทานต่ออนุกรมกับตัวเก็บประจุลงกราวด์ สามารถแสดงดังรูปที่ 6.19




**รูปที่ 6.19** schematic สำหรับทดสอบระบบเฟสล็อกลูปบนโครงสร้างระบบกู้คืนสัญญาณบีพีเอสเคแบบเฟสเดียว ลูปเดียว

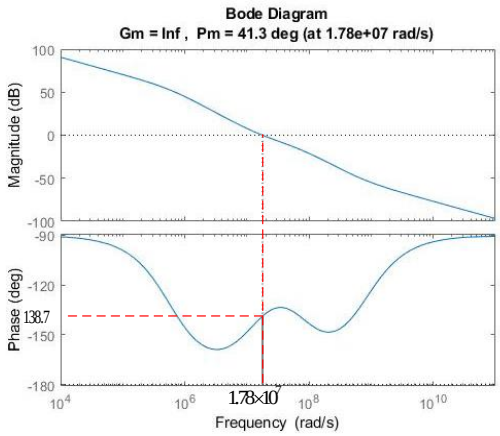
จากรูปที่ 6.19 สามารถเขียนฟังก์ชันถ่ายโอนของระบบเปิดเพื่อทำการพิจารณาเสถียรภาพของระบบสามารถแสดงดังที่ (6.4)

$$H(s) = K_{vco}K_dK_{pc}\frac{\left(1+sR_2C_1\right)}{\left(1+s\left(R_1+R_2\right)C_1\right)}\frac{\left(1+sR_3C_2\right)}{\left(sR_bC_2\right)} \quad (6.4)$$

สำหรับเฟสล็อกลูปจะแสดงการออกแบบในหัวข้อนี้ ซึ่งสัญญาณคลื่นพาห์ถูกตั้งค่าไว้ที่ 60MHz ดังนั้นระบบเฟสล็อกลูปจะทำงานที่ความถี่กลาง $\omega_c = 0.38\times10^9$ rad/s สำหรับค่าพารามิเตอร์ของลูปจะมีค่าดังนี้ $K_d = 1.78/2\pi$ V/rad, $K_{pc} = 1$, $K_{vco} = 1.2\times10^9$ rad/s/V โดยจะทำการออกแบบวงจรกรองความถี่ต่ำผ่านแบบ lead-lag หลังเอาท์พุทของวงจร RSFF จะทำการพิจารณาและออกแบบจากฟังก์ชันถ่ายโอนระบบเปิด และพิจารณาเสถียรภาพจากการพล็อตของโบด และทางเดินของราก (root locus) สามารถแสดงดังที่ (6.5)

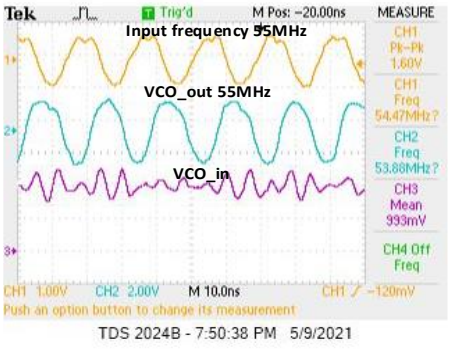
$$G_{OL}(s) = \frac{3.162\times10^{-8}s^2+24.22s+3.396\times10^8}{2.208\times10^{-14}s^3+1.673\times10^{-6}s^2+s} \quad (6.5)$$

จากสมการที่ (6.5) นำไปพล็อตโบดในโปรแกรม Matlab เพื่อดูเกนมาร์จิน และเฟสมาร์จิน สำหรับการออกแบบเสถียรภาพของระบบ

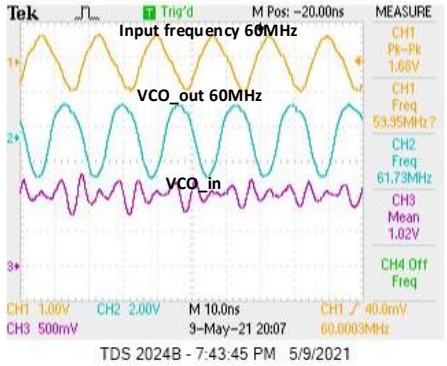



**รูปที่ 6.20** การพล็อตโบดของฟังก์ชันถ่านโอนระบบเปิดของสมการที่ (6.5)

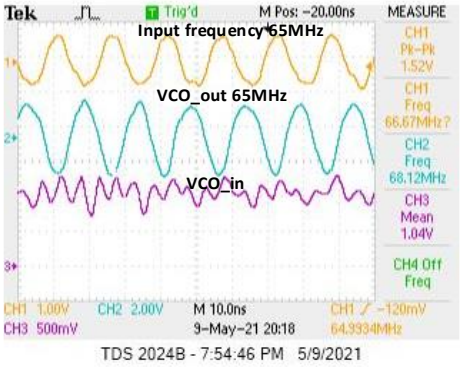
จากการพล็อตโบดรูปที่ 6.20 จะมีเฟสมาร์จินอยู่ที่ $66.8^\circ$ และมีความถี่ธรรมชาติ $\omega_n = 1.43\times10^7$ และแดมปิ้งแฟกเตอร์ $\zeta=0.5$ ต่อไปจะทำการหาค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุจาก $\tau$ ที่ได้ออกแบบในขั้นตอนที่ 1-3 เริ่มคำนวณจาก $\tau_1=R_bC_2$ และ $\tau_2=R_3C_2$ โดยกำหนดค่าพารามิเตอร์ตัวเก็บประจุ $C_2=0.11$nF ดังนั้นค่าพารามิเตอร์ $R_b=1.66\times10^{-6}/0.11\times10^{-9}=15\,\text{k}\Omega$ และค่าพารามิเตอร์ $R_3=70\times10^{-6}/0.11\times10^{-9}=635\,\Omega$ และต่อไปจะทำการกำหนดค่าพารามิเตอร์ตัวเก็บประจุ $C_1=1.4$pF ดังนั้นค่าพารามิเตอร์ $R_2=1.33\times10^{-9}/1.4\times10^{-12}=1\text{k}\Omega$ และค่าพารามิเตอร์ $R_1=13.3\times10^{-9}/1.4\times10^{-12}=8.5\text{k}\Omega$ นำค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุที่ได้จากการคำนวณไปต่อลงบนบอร์ดทดสอบไอซีเพื่อตรวจสอบผลการทดสอบสามารถแสดงดังรูปที่ 6.21




**(a)** ผลการทดสอบเฟสล็อกลูปที่ความถี่ 55 MHz




**(b)** ผลการทดสอบเฟสล็อกลูปที่ความถี่ 60 MHz




**(c)** ผลการทดสอบเฟสล็อกลูปที่ความถี่ 65 MHz

**รูปที่ 6.21** ผลการทดสอบเฟสล็อกลูปบนโครงสร้างบีพีเอสเคดีมอดูเลเตอร์

ผลการทดสอบรูปที่ 6.21 พบว่าหลักการออกแบบสามารถที่จะใช้ในการทดสอบเฟสล็อกลูปที่ส่งผลให้ระบบมีเสถียรภาพ ส่วนต่อไปจะทำการพิจารณาช่วงความถี่ล็อก $(\omega_L)$ ,เวลาในการเข้าล็อก $(T_L)$ และช่วงความถี่เข้าล็อก$(\omega_P)$

**6.5.4.1 ความถี่ช่วงล็อก** $\omega_L$

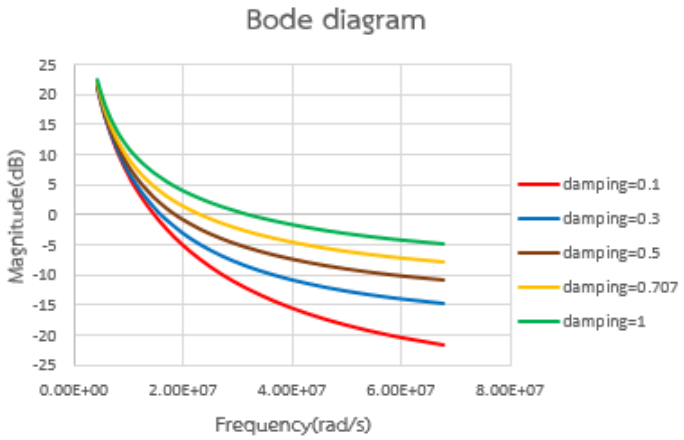
ช่วงความถี่ที่สัญญาณอาท์พุทของ VCO มีความถี่เท่ากับความถี่อินพุหรือความถี่อ้างอิง และระบบเฟสล็อกลูปจะคงสถานะนี้ไปไม่มีการเปลี่ยนแปลงถ้าความถี่อ้างอิงไม่มีการเปลี่ยนแปลง และจาก **[6.2]** ตัวเปรียบเทียบเฟสแบบ positive edge triggered จะมีความถี่ช่วงล็อกดังที่ (6.6)

$$\Delta\omega_L = 2\pi\xi\omega_n \tag{6.6}$$

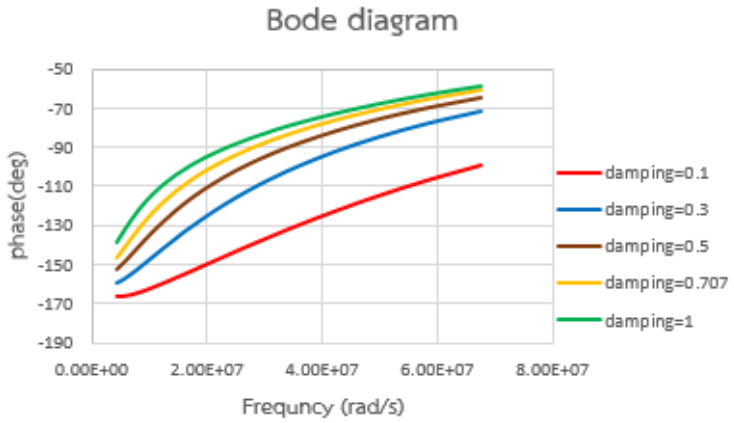
จากสมการที่ (6.6) พบว่าช่วงความถี่ล็อกขึ้นอยู่กับพารามิเตอร์ $\omega_n$ คือ ความถี่ธรรมชาติ และ $\zeta$ คือ แดมปิ้งแฟกเตอร์ ในที่นี้จะพิจารณาเป็นระบบอันดับสอง ทำการละเลยวงจรกรองสัญญาณความถี่ต่ำหลังเอาท์พุทของวงจร positive edge triggered RSFF ดังนั้นพารามิเตอร์ที่จะทำการเปลี่ยนแปลงเพื่อทดสอบช่วงความถี่ล็อกก็คือ $\zeta$ โดยพารามิเตอร์ $\zeta$ คำนวณได้ดังที่ (6.7)

$$\xi = \omega_n\tau_2/2 \tag{6.7}$$

จากสมการที่ (6.7) จะทำการเปลี่ยนแปลง $\zeta$ ด้วยการปรับค่าพารามิเตอร์ $\tau_2$ หรือเปลี่ยนแปลงค่าพารามิเตอร์ความต้านทาน $R_3$ ต่อไปจะทำการพิจารณา $\zeta$=0.1 , $\zeta$=0.3 , $\zeta$=0.5 , $\zeta$=0.707 และ $\zeta$=1 ซึ่งจะทำการพล็อตโบดด้วยโปรแกรม Matlab เพื่อดูเสถียรภาพของระบบ เฟสมาร์จิน ,เกนมาร์จินของพารามิเตอร์ $\zeta$ ที่ค่าต่างๆ โดย $\omega_n = \sqrt{K_{vco}K_dK_{pc}/\tau_1} = 14.3$ Mrad/s สามารถแสดงการพล็อตโบดดังรูปที่ 6.22




**(a)** ขนาดของโบดที่พารามิเตอร์ $\zeta$ ที่ทดสอบของฟังก์ชันถ่ายโอนสมการที่ (6.6)




**(b)** เฟสของโบดที่พารามิเตอร์ $\zeta$ ที่ทดสอบของฟังก์ชันถ่ายโอนสมการที่ (6.6)

**รูปที่ 6.22** ขนาด และเฟสที่พารามิเตอร์ $\zeta$ ที่ทดสอบของฟังก์ชันถ่ายโอนสมการที่ (6.6)

ต่อไปจะแสดงตารางค่าพารามิเตอร์ที่ได้จากการพล็อตโบดของฟังก์ชันถ่ายโอนสมการที่ (6.6) โดยจะแสดงดังตารางที่ 6-2

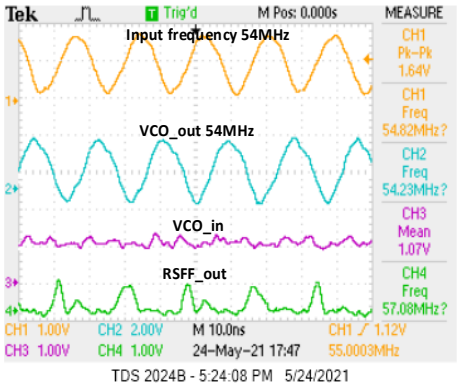
| Damping ratio | Phase margin (deg) | $\tau_2$ |
|---|---|---|
| 0.1 | 4.05 | 14ns |
| 0.3 | 24.8 | 42ns |
| 0.5 | 41.3 | 70ns |
| 0.707 | 52.4 | 100ns |
| 1 | 58.7 | 140ns |

**ตารางที่ 6-2** พารามิเตอร์ของ $\zeta$ , $\tau_2$ และ เฟสมาร์จิน

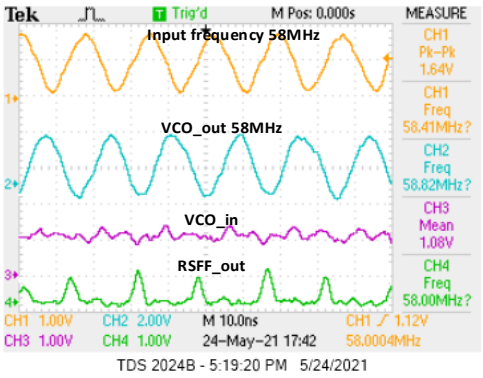
**6.5.4.2 ผลการทดสอบความถี่ช่วงล็อก $\omega_L$**

การทดสอบนี้จะทำการเปลี่ยนแปลงค่าตัวต้านทาน $R_3$ เพื่อทำการเปลี่ยนแปลง $\zeta$=0.1 , $\zeta$=0.3 , $\zeta$=0.5 , $\zeta$=0.707 และ $\zeta$=1 ตามลำดับ สำหรับการคำนวณค่าตัวต้านทาน $R_3 = \tau_2 / C_2$ ผลการทดสอบจะทำการวัดช่วงความถี่ล็อก สามารถแสดงผลการทดสอบดังต่อไปนี้

$\zeta=0.1, R_3 = 127\Omega$



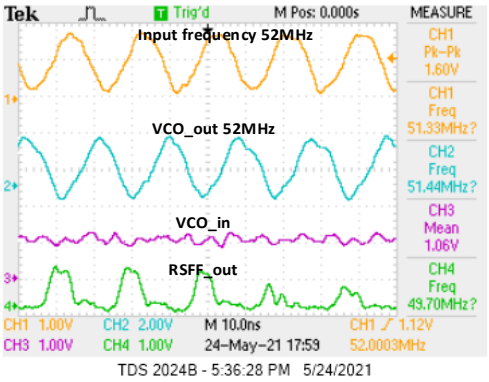

(a) ความถี่ที่มีค่าต่ำสุดที่ระบบสามารถล็อกความถี่ 54MHz



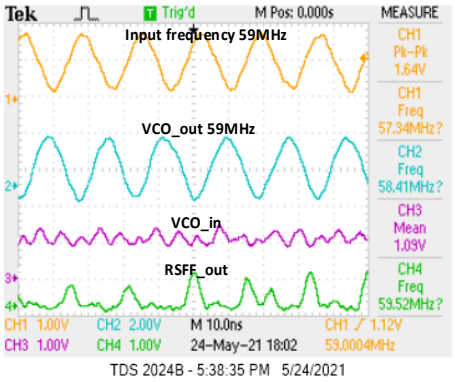

(b) ความถี่ที่มีค่าสูงสุดที่ระบบสามารถล็อกความถี่ 58MHz

**รูปที่ 6.23** ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta=0.1$

$\zeta=0.3, R_3 = 381\Omega$



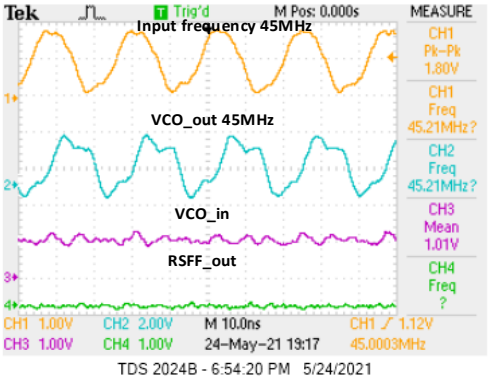

(a) ความถี่ที่มีค่าต่ำสุดที่ระบบสามารถล็อกความถี่ 50MHz



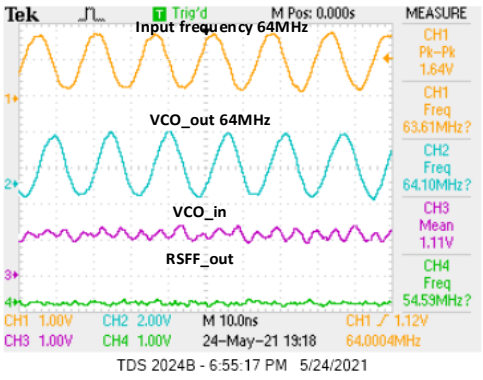

(b) ความถี่ที่มีค่าสูงสุดที่ระบบสามารถล็อกความถี่ 64MHz

**รูปที่ 6.24** ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.3

$\zeta$=0.5,$R_3$ = 635Ω



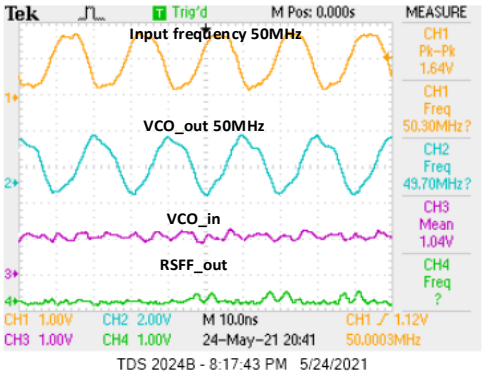

(a) ความถี่ที่มีค่าต่ำสุดที่ระบบสามารถล็อกความถี่ 45MHz



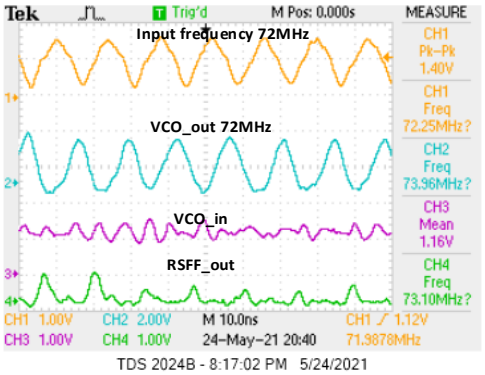

(b) ความถี่ที่มีค่าสูงสุดที่ระบบสามารถล็อกความถี่ 64MHz

**รูปที่ 6.25** ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta$=0.5

$\zeta=0.707, R_3 = 900\Omega$



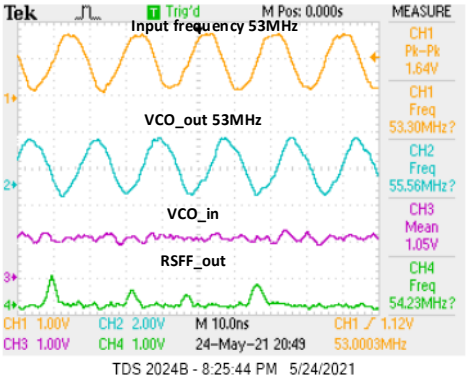

**(a)** ความถี่ที่มีค่าต่ำสุดที่ระบบสามารถล็อกความถี่ 50MHz



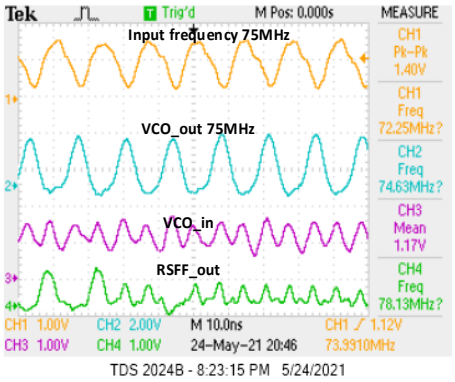

**(b)** ความถี่ที่มีค่าสูงสุดที่ระบบสามารถล็อกความถี่ 72MHz

**รูปที่ 6.26** ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta=0.707$

$\zeta=0.707, R_3=1.27k\Omega$




**(a)** ความถี่ที่มีค่าต่ำสุดที่ระบบสามารถล็อกความถี่ 53MHz



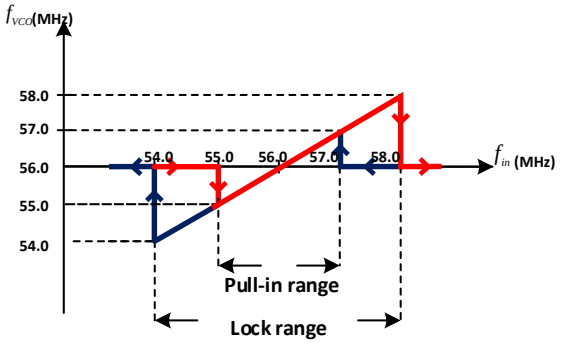

(b) ความถี่ที่มีค่าสูงสุดที่ระบบสามารถล็อกความถี่ 75MHz

**รูปที่ 6.27** ผลการทดสอบเฟสล็อกลูปที่มีค่า $\zeta=1$

**6.5.4.3 คุณลักษณะของความถี่เข้าล็อก $\omega_P$ และความถี่ช่วงล็อก $\omega_L$ ของการทดสอบเฟสล็อกลูป**

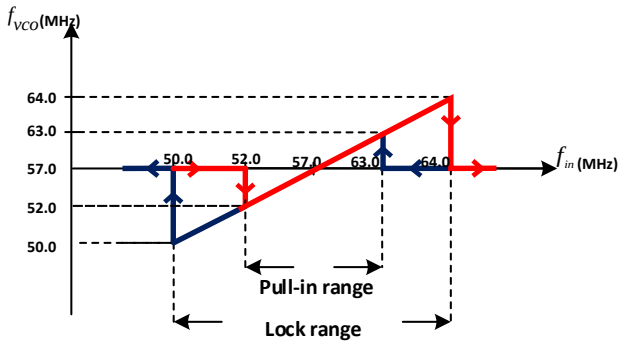
หัวข้อนี้จะทำการวัดความถี่เข้าล็อก และความถี่ช่วงล็อกของการทดสอบเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ ซึ่งจะมีการเปลี่ยนแปลง $\zeta=0.1, \zeta=0.3, \zeta=0.5, \zeta=0.707$ และ $\zeta=1$ หรือการเปลี่ยนแปลงตำแหน่งของซีโร่ในระบบซึ่งค่าพารามิเตอร์จะเหมือนกับหัวข้อ 6.5.4.2 สำหรับช่วงล็อกเป็นประสิทธิภาพอย่างหนึ่งของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการพื้นฐานเฟสล็อกลูป เนื่องจากตำแหน่งของโพลหรือ $R_b$ เป็นส่วนเกนของวงจร phase controller ที่เรียกว่า 1-bit sub-ranging/re-scaling ดังนั้นการเปลี่ยนตำแหน่งโพลเพื่อเปลี่ยน $\zeta$ นั้นจะไม่สะดวกในการคำนวณเพราะมีผลกระทบต่อเกน และลูปของวงจรกรอง

$\zeta=0.1, R_3 = 127\Omega$



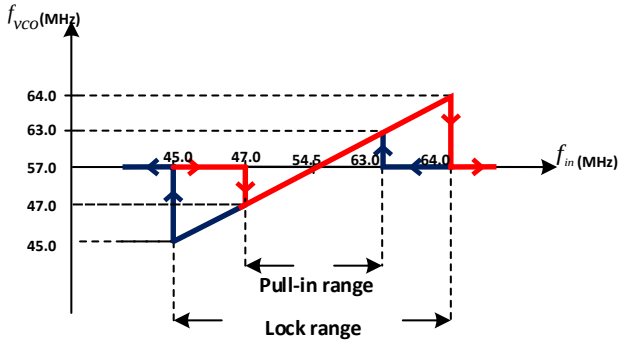

**รูปที่ 6.28** คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta=0.1$

$\zeta$=0.3,$R_3$ = 381Ω



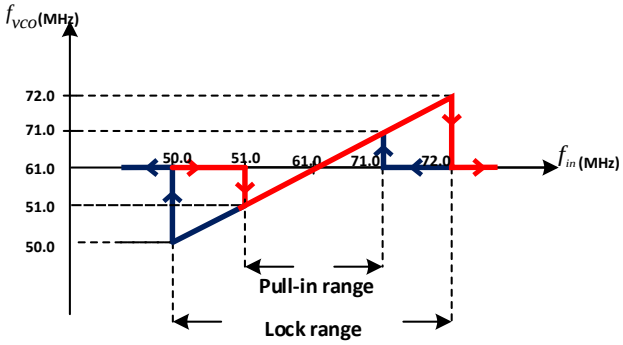

**รูปที่ 6.29** คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.3

$\zeta$=0.5,$R_3$ = 635Ω



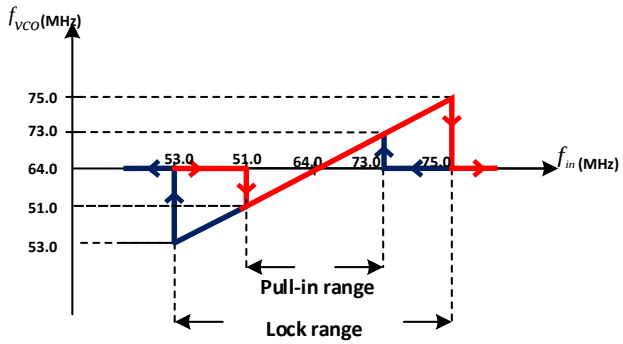

**รูปที่ 6.30** คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.5

$\zeta$=0.707,$R_3$ = 900Ω




**รูปที่ 6.31** คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta$=0.707

$\zeta=0.707, R_3=1.27k\Omega$

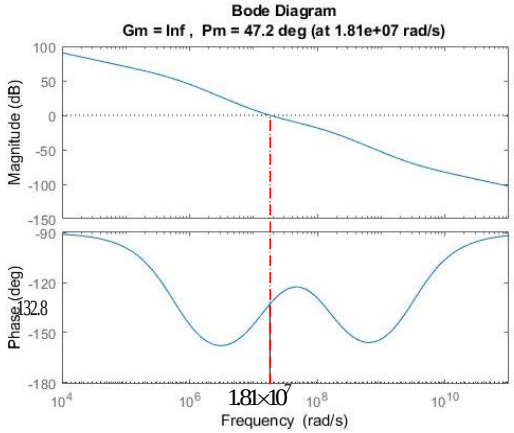



**รูปที่ 6.32** คุณลักษณะของเฟสล็อกลูปบนโครงสร้างบีพีเอสเค ดีมอดูเลเตอร์ที่มี $\zeta=1$

### 6.5.5 การออกแบบและทดสอบระบบกู้คืนสัญญาณบีพีเอสเค บนโครงสร้างบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

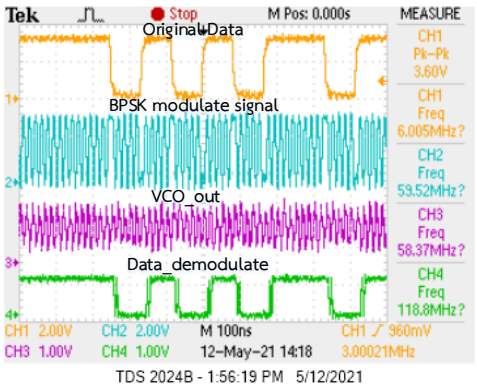
จากหัวข้อ 6.5.4 เป็นการทดสอบเสถียรภาพของระบบด้วยการทดสอบเฟสล็อกลูปเพื่อตรวจสอบการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่าน ต่อไปจะทำการทดสอบระบบกู้คืนสัญญาณบีพีเอสเค ดีมอดูเลเตอร์ ด้วยการป้อนสัญญาณบีพีเอสเค มอดูเลตเข้าไป จากหัวข้อ 6.5.4 จะทำการละเลยวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุท RSFF แต่ระบบกู้คืนสัญญาณบีพีเอสเคจะต้องมีการปรับเปลี่ยนวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุท RSFF เพื่อที่จะได้อัตราการส่งข้อมูลตามต้องการ ดังนั้นการออกแบบเสถียรภาพของระบบจะต้องคำนึงถึงวงจรกรองสัญญาณความถี่ต่ำผ่านนี้ การออกแบบต้องการอัตราการส่งข้อมูล 12Mbps ที่สัญญาณคลื่นพาห์ 60MHz และค่าพารามิเตอร์ $K_d = 1.78/2\pi$ V/rad, $K_{pc}=1$, $K_{vco}=1.2\times10^9$ rad/s/V โดยค่าพารามิเตอร์ $K_{pc}=1$ เป็นค่าคงที่สมมติเพื่อให้สะดวกในการออกแบบเสถียรภาพแสดงดังที่ (6.8) และแสดงการพล็อตของโบดดังรูปที่ 6.33

$$G_{OL}(s)=\frac{7.845\times10^{-9}s^2+23.88s+3.396\times10^8}{1.096\times10^{-14}s^3+1.667\times10^{-6}s^2+s} \tag{6.8}$$

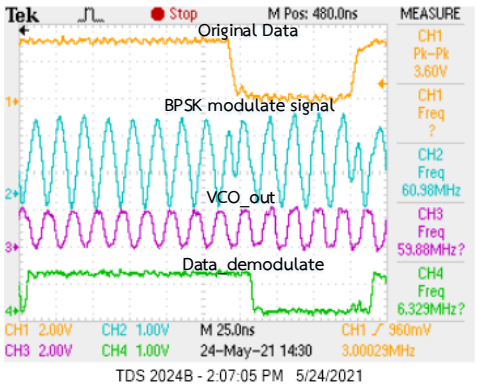



**รูปที่ 6.33** การพล็อตโบดของฟังก์ชันถ่ายโอนระบบเปิดของสมการที่ (6.8)

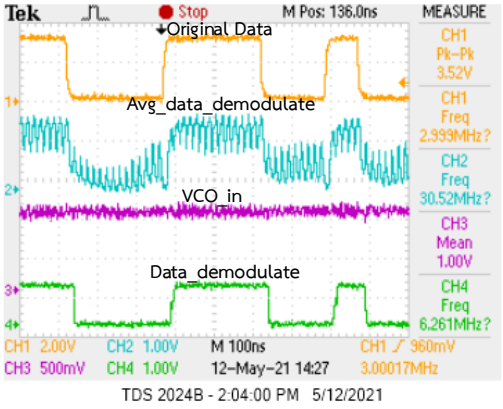
จากการออกแบบจะได้ค่าพารามิเตอร์ของวงจรกรองสัญญาณความถี่ต่ำผ่านดังนี้ $R_b$=15kΩ และค่าพารามิเตอร์ $R_3$=635Ω และต่อไปจะทำการกำหนดค่าพารามิเตอร์ตัวเก็บประจุ $C_2$=0.11nF ส่วน $R_1$=4.5kΩ และค่าพารามิเตอร์ $R_2$= 200Ω ต่อไปจะทำการทดสอบที่ความถี่คลื่นพาห์ 60MHz และอัตราส่งข้อมูล 12Mbps แสดงดังรูปที่ 6.34



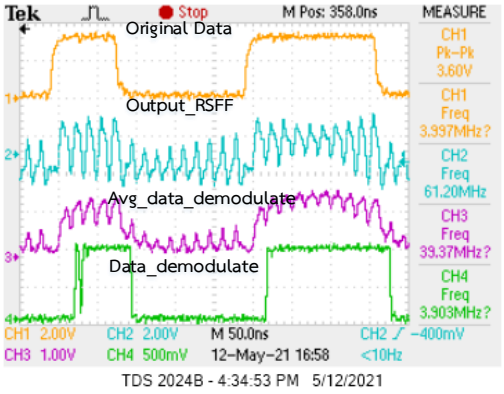

**(a)** ผลการทดสอบระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการพื้นฐานเฟสล็อกลูป




**(b)** ผลการทดสอบรูปที่ 6.34(a) ที่ Time base 25ns




**(c)** ผลการทดสอบที่วัด avg_data_demodulate และ VCO_in



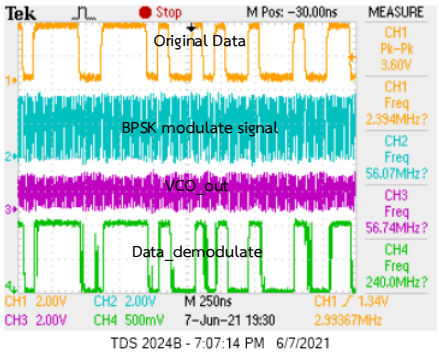

**(d)** ผลการทดสอบที่วัด output_RSFFและ avg_data_demodulate

**รูปที่ 6.34** ผลการทดสอบระบบกู้คืนสัญญาณบีพีเอสเคเฟสเดียวลูปเดียวโครงสร้างรูปที่ 6.19 ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูล 12Mbps

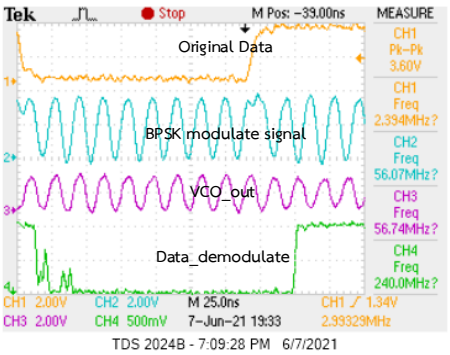
จากการทดลองรูปที่ 6.34 วงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจร RSFF ที่ได้ใช้ในการทดสอบจริงคือ $R_1=3.2k\Omega, R_2=200\Omega$, $C_1=1.4pF$ และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ ที่ได้ใช้ในการทดสอบจริง $R_b=15k\Omega, R_3=1.1k\Omega, C_2=0.11nF$ จากผลการทดสอบพบระบบระบบกู้คืนสัญญาณบีพีเอสเคเฟสเดียวลูปเดียวโครงสร้างรูปที่ 6.19 ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูล 12Mbps สามารถทำงานได้ ต่อไปจะทำการทดสอบช่วงความถี่ล็อก $(\omega_L)$ และการทดสอบค่าความคลาดเคลื่อนที่เกิดขึ้นได้จากกระแสไบอัสของ phase controller ที่เรียกว่า 1-bit sub-ranging/re-scaling และขั้นตอนการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านเพื่อได้อัตราการส่งข้อมูลที่สูงขึ้น สุดท้ายประสิทธิภาพด้านต่างๆและการทำงานได้ในค่าความคลาดเคลื่อนของพารามิเตอร์ที่เกี่ยวข้อง

### 6.5.5.1 การทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณบีพีเอสเค บนโครงสร้างบีพีเอสเคเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

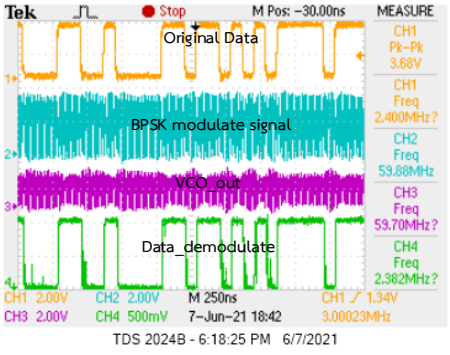
จากการทดสอบสัญญาณอินพุทเฟสเดียวบนวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปจะพบว่าช่วงความถี่ล็อก $\omega_L$ จะขึ้นอยู่กับค่า $\zeta$ และ $\omega_n$ ดังนั้นจะทำการทดสอบช่วงความถี่ล็อกด้วยการเปลี่ยนตัวต้านทาน $R_3$ โดยจะทำการแสดงผลการทดสอบด้วยค่าพารามิเตอร์วงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจร RSFF ที่ได้ใช้ในการทดสอบจริงคือ $R_1=3.8k\Omega$, $R_2=200\Omega$, $C_1=1.4pF$ และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ ที่ได้ใช้ในการทดสอบจริง $R_b=15k\Omega, R_3=1.1k\Omega, C_2=0.11nF$ สามารถแสดงผลการทดสอบดังรูปที่ 6.35 จะทดสอบที่อัตราการส่งข้อมูล 12Mbps ซึ่งค่าพารามิเตอร์นี้จะมี $\zeta=0.707$



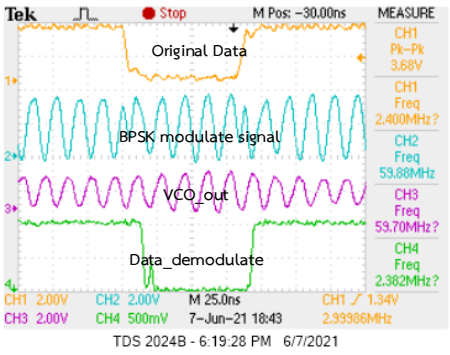

**(a)** ผลการทดสอบที่ความถี่คลื่นพาห์ 57MHz และอัตราการส่งข้อมูล 12Mbps



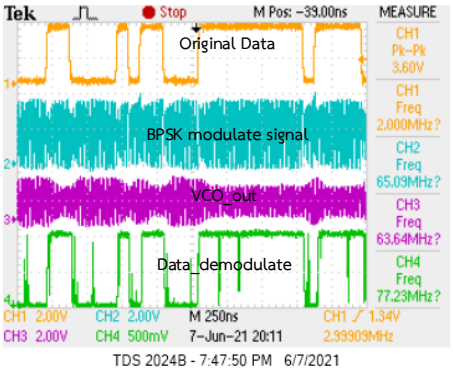

**(b)** ผลการทดสอบรูปที่ 6.35(a) ที่ time base 25ns



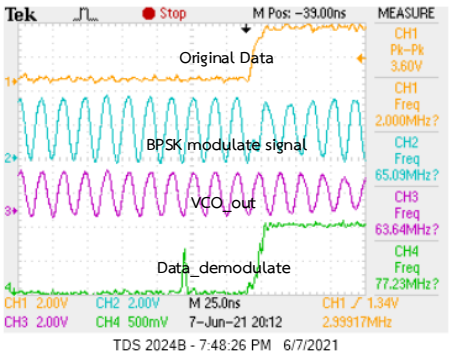

**(c)** ผลการทดสอบที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูล 12Mbps




**(d)** ผลการทดสอบรูปที่ 6.35(c) ที่ time base 25ns




**(e)** ผลการทดสอบที่ความถี่คลื่นพาห์ 64MHz และอัตราการส่งข้อมูล 12Mbps



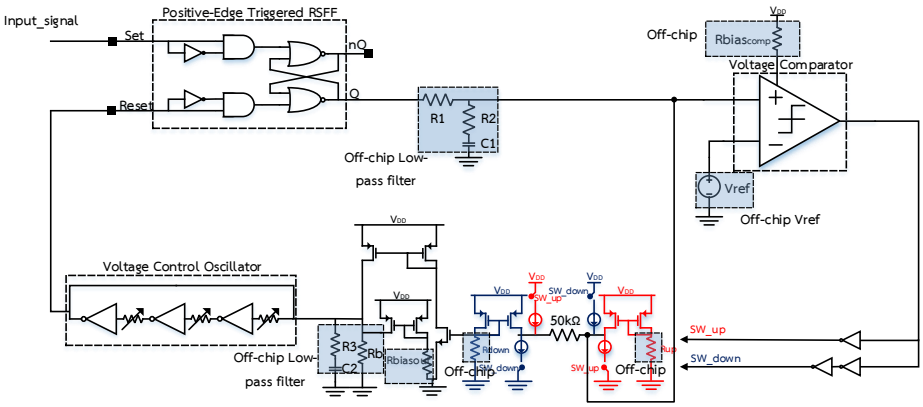

**(f)** ผลการทดสอบรูปที่ 6.35(e) ที่ time base 25ns

**รูปที่ 6.35** ช่วงเข้าล็อกของวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

ส่วนต่อไปจะเป็นค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุสำหรับวงจรกรองสัญญาณความถี่ต่ำผ่าน และไบอัสวงจร phase controller หรือที่เรียกว่า 1-bit sub-ranging/re-scaling สามารถแสดงดังตารางที่ 6-3 และสามารถแสดงโครงสร้างของการทดสอบไอซีดังรูปที่ 6.36 โดยค่าพารามิเตอร์นี้เป็นการออกแบบสำหรับช่วงอัตราการส่งข้อมูล 12Mbps และความถี่คลื่นพาห์ 57-64MHz

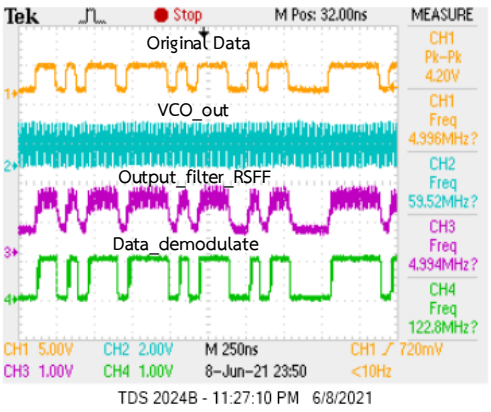
| พารามิเตอร์ | ค่าพารามิเตอร์ | พารามิเตอร์ | ค่าพารามิเตอร์ |
|---|---|---|---|
| R1 | 3.8kΩ | $Vref_{comp}$ | 0.895V |
| R2 | 200Ω | $Rbias_{comp}$ | 6.4kΩ |
| C1 | 1.4pF | Rup | 48kΩ |
| Rb | 15kΩ | Rdown | 47kΩ |
| R3 | 1.1kΩ | Rbiasout | 56 kΩ |
| C2 | 0.11nF | | |

**ตารางที่ 6-3** พารามิเตอร์ และค่าพารามิเตอร์ที่ใช้สำหรับทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของรูปที่ 6.36

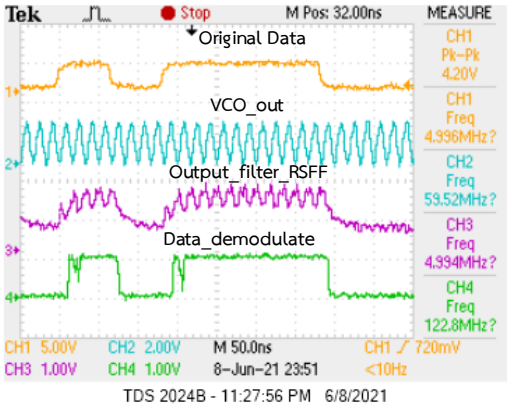



**รูปที่ 6.36** พารามิเตอร์ตัวต้านทาน และตัวเก็บประจุของวงจรกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่อัตราการส่งข้อมูล 12Mpbs และความถี่คลื่นพาห์ 60MHz

ต่อไปจะทำการออกแบบเพื่อเปลี่ยนอัตราการส่งข้อมูลให้มีค่าสูงขึ้น โดยอัตราการส่งข้อมูลที่จะทำการทดสอบจะมีค่า 15Mbps ,20Mbps และ25Mbps ที่ความถี่คลื่นพาห์ 60MHz สำหรับการทดสอบจะทำการเปลี่ยนเฉพาะวงจรกรองสัญญาณความถี่ต่ำผ่านหลัง positive edge triggered RSFF และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ โดยการออกแบบจะลด bw ของวงจรกรองสัญญาณความถี่ต่ำผ่านหลัง positive edge triggered RSFF และปรับเปลี่ยนวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้าวงจร $VCO_{in}$ เพื่อให้เฟสมาร์จินของระบบยังคงเหมือนเดิมสามารถแสดงผลการทดสอบดังรูปที่ 6.37

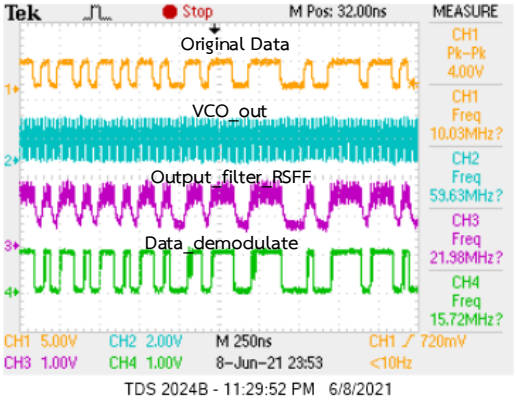



**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 15Mbps

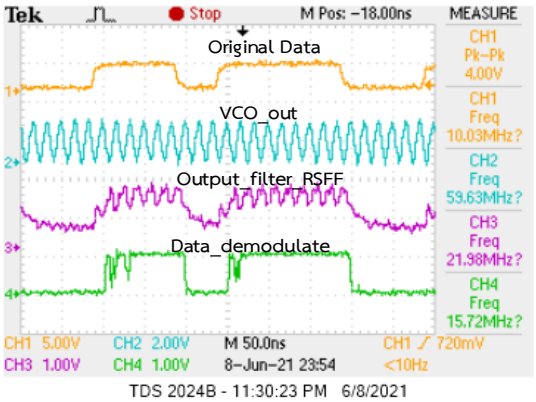



**(b)** ผลการทดสอบรูปที่ 6.37(a) ที่ time base 50ns

**รูปที่ 6.37** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 15Mbps

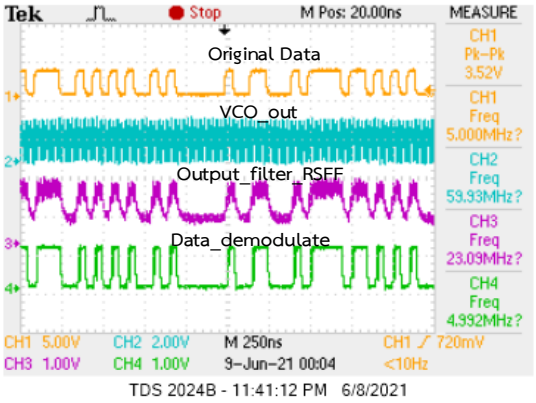



**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 20Mbps

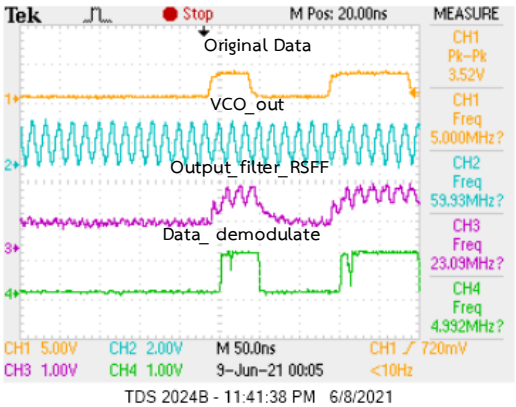



**(b)** ผลการทดสอบรูปที่ 6.38(a) ที่ time base 50ns

**รูปที่ 6.38** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 20Mbps




**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 25Mbps



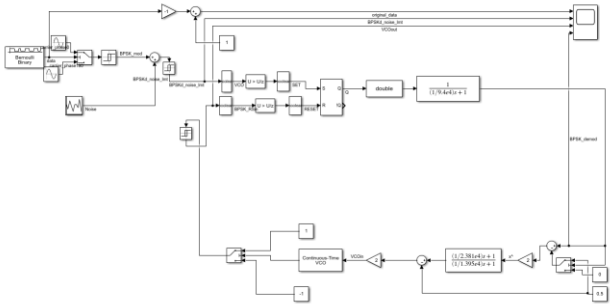

**(b)** ผลการทดสอบรูปที่ 6.39(a) ที่ time base 50ns

**รูปที่ 6.39** ผลการทดสอบวงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูลที่ 25Mbps

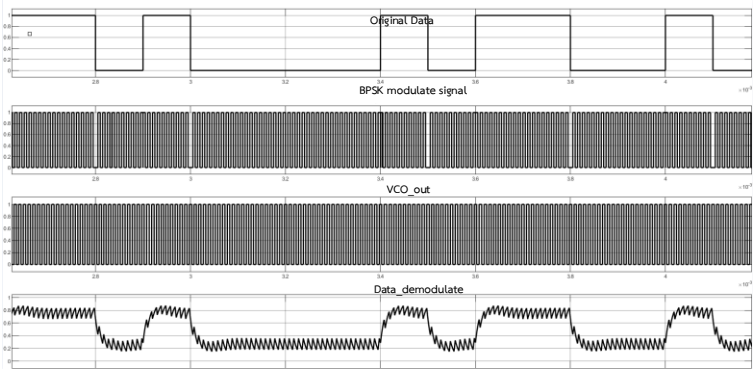
จากรูปที่ 6.37-6.39 เป็นผลการทดสอบที่ความถี่คลื่นพาห์ 60MHz และอัตราการส่งข้อมูล 15Mpbs ,20Mbps และ25Mbps ส่วนต่อไปจะไปการออกแบบระบบการทดสอบ Bit Error Rate (BER) ของระบบการกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะทำการออกแบบด้วย FPGA

**6.6 การทดสอบ bit error rate ด้วย FPGA**

สำหรับการทดสอบ bit error rate จะใช้ FPGA มาช่วยในการสร้างวงจร เพื่อใช้สำหรับการวัดจำนวนบิตที่ผิดเปรียบเทียบกับจำนวนบิตที่ส่ง ซึ่งจะเริ่มจากการใช้ simulink matlab เพื่อช่วยในการออกแบบใน FPGA ในSimulink matlab จะจำลองระบบการกู้สัญญาณบีพีเอสเค แบบเฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูปสามารถแสดง schematic ของ Simulink matlab และผลการจำลองดังรูปที่6.40



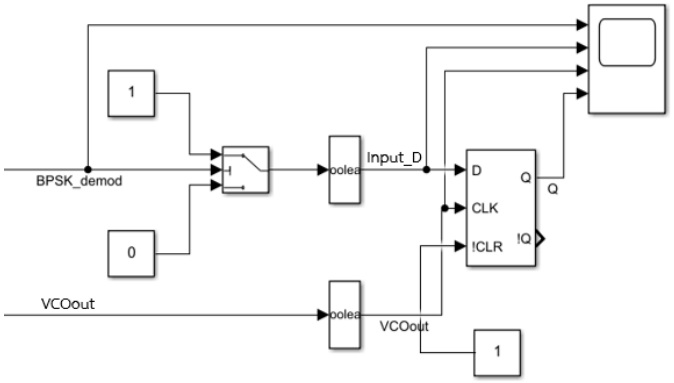
**(a)** Simulink matlabของระบบการกู้สัญญาณบีพีเอสเค แบบเฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป



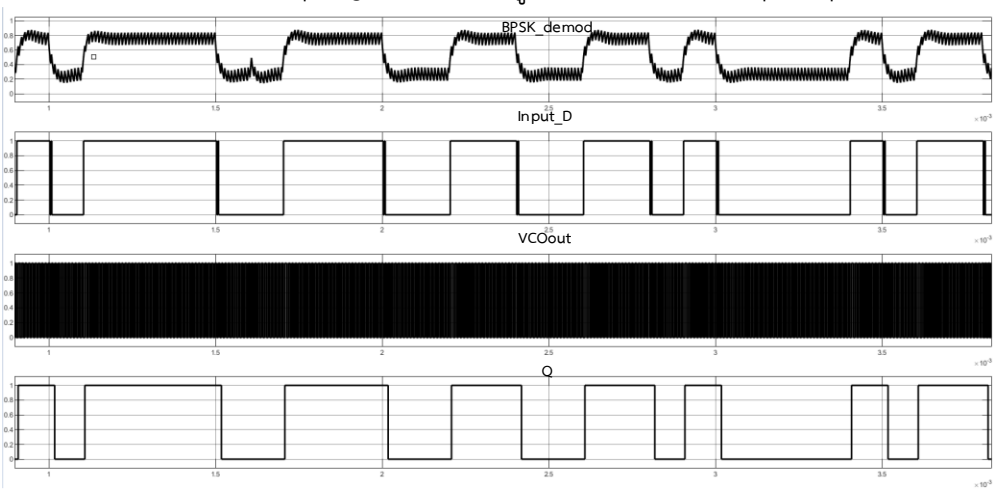

**(b)** ผลการจำลองของ Simulink matlab ของระบบการกู้สัญญาณบีพีเอสเค แบบเฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป

**รูปที่ 6.40** schematic และผลการจำลอง Simulink matlab ของระบบการกู้สัญญาณบีพีเอสเค แบบเฟสเดียวลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากการจำลองพบว่าสัญญาณบีพีเอสเค ดีมอดูเลตรูปล่างสุดรูปที่ 6.40 มีลักษณะสัญญาณเป็นอนาล็อก ดังนั้นจะต้องทำการเปลี่ยนสัญญาณให้อยู่ในรูปของดิจิตัล ที่มีลอจิก 0 หรือ 1 หรือระดับสัญญาณเป็น ground หรือ VDD ตามลำดับ ซึ่งสามารถทำได้ด้วยการใช้วงจร D Flip Flop ใช้ในการ sampling สามารถแนวคิดของการ sampling ด้วย D Flip Flop ดังรูปที่ 6.41 โดยสัญญาณบีพีเอสเค ดีมอดูเลตเข้าขา D ของ D Flip Flop และสัญญาณคลื่นพาห์ หรือสัญญาณความถี่เอาท์พุทของ VCO เข้าขา clk ของ D Flip Flop และเพื่อให้ได้สัญญาณก่อนเข้าขา D ต้องมีวงจรเปรียบเทียบแรงดันมาช่วยในการจัดการกับขนาดของแรงดัน



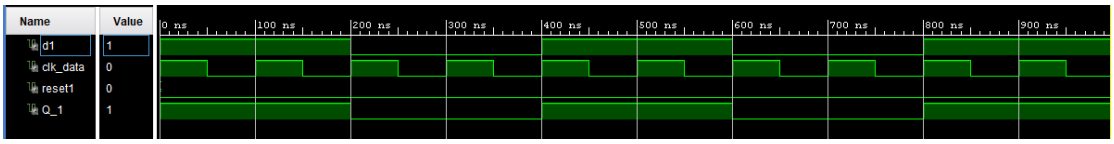

**(a)** การ sampling บีพีเอส ดีมอดูเลย ด้วยการใช้ D Flip Flop



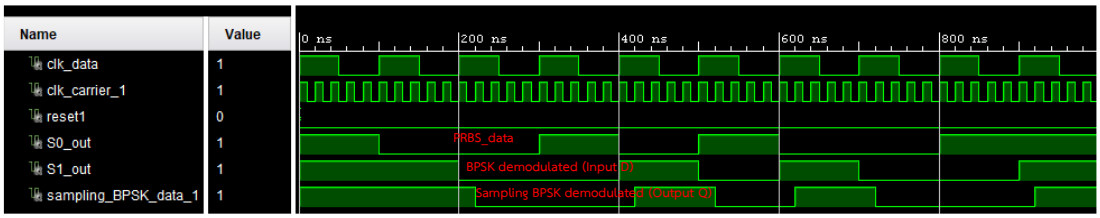

**(b)** ผลการจำลอง Simulink matlab รูปที่ 6.41 (b)

**รูปที่ 6.41** การจำลอง และผลการจำลอง simulink matlb ของการ sampling BPSK demod ด้วย D Flip Flop

จากผลการจำลองจะพบว่าสามารถที่จะจัดการกับสัญญาณบีพีเอสเค ดีมอดูเลต ให้มีสัญญาณเป็นดิจิตอลด้วยการ sampling สัญญาณนาฬิกาจากสัญญาณเอาท์พุท VCO หรือสัญญาณคลื่นพาห์ ด้วย D Flip Flop โดยเอาท์พุท Q ของ D FliP Flop เป็นสัญญาณที่ต้องการไปใช้งานในการใช้เปรียบเทียบกับสัญญาณข้อมูลที่ส่งมา ต่อไปจะทำการสร้างวงจรตามแนวคิดรูปที่ 6.41 ใน FPGA โดยจะเขียนโค้ดด้วยภาษา VHDL สามารถจะแสดงผลการ test bench ของวงจร D Flip Flop สามารถแสดงดังรูปที่ 6.42



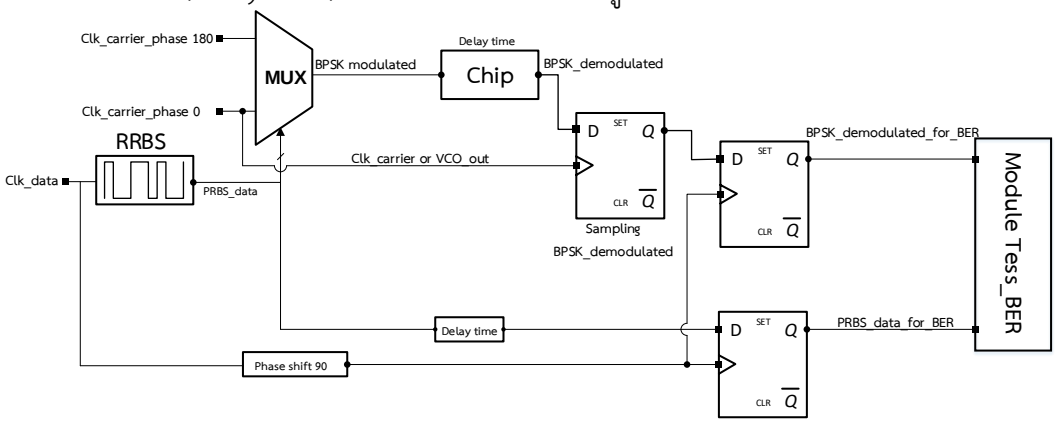

**(a)** ผลการจำลอง test bench ของวงจร D Flip Flop




**(b)** ผลการจำลอง test bench โค้ดรูปที่ 6.42 (c)

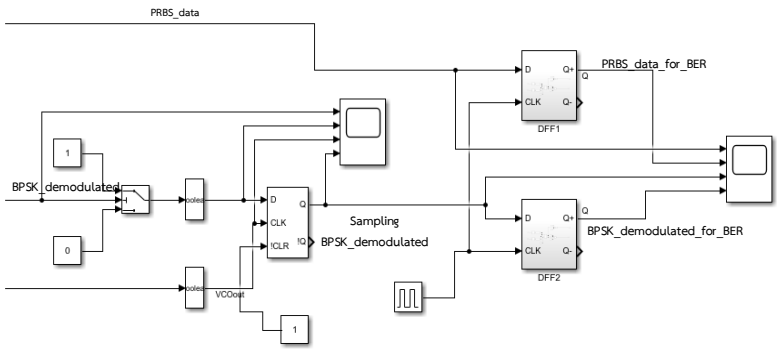
**รูปที่ 6.42** โค้ด และผลการจำลองของวงจร sampling BPSK_demodulated ตามแนวคิดรูปที่ 6.41 ใน FPGA

จากการออกแบบใน Simulink matlab และใน FPGA ทำให้ได้วงจร D Filp Flop เพื่อทำการ sampling สัญญาณบีพีเอสเค ดีมอดูเลต เพื่อทำให้ได้สัญญาณจาก analog เป็นสัญญาณดิจิตอล ซึ่งจะนำไปทำการเปรียบเทียบเพื่อหาจำนวนบิตที่ผิดต่อไป แต่เนื่องจากการเปรียบเทียบจะทำการในเชิงลอจิก ดังนั้นจะต้องทำให้สัญญาณข้อมูลเดิม (original data) จาก PRBS ของ FPGA กับสัญญาณบีพีเอสเค ดีมอดูเลตจากไอซีการกู้คืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปมีการหน่วงเวลาที่เท่ากัน (delay time) สามารถแสดงแนวคิดดังรูปที่ 6.43

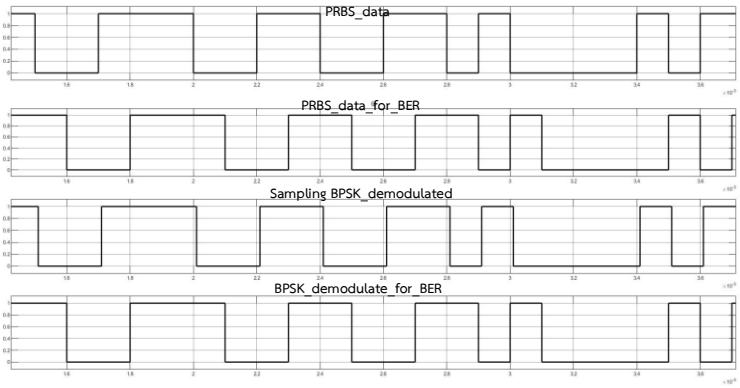



**รูปที่ 6.43** การขจัด delay time ระหว่าง PRBS_data กับ BPSK_demodulated

จากแนวคิดของรูปที่ 6.43 จะทำการยืนยันความถูกต้องด้วยการนำโครงสร้างไปจำลองใน simulink matlab โดยจะใช้ simulink matlab รูปที่ 6.40 และ6.41 มาช่วยในการจำลองรูปที่ 6.43 สามารถที่จะแสดงดังรูปที่ 6.44



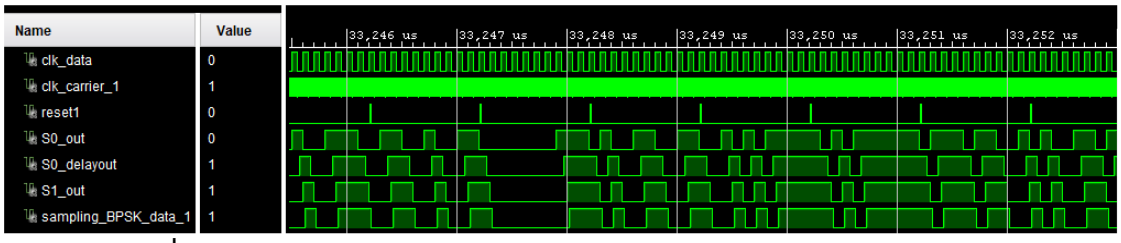

**(a)** Simulink matlab ของการขจัด delay time ระหว่าง PRBS_data กับ BPSK_demodulate




**(b)** ผลการจำลอง Simulink matlab รูปที่ 6.44 (a)

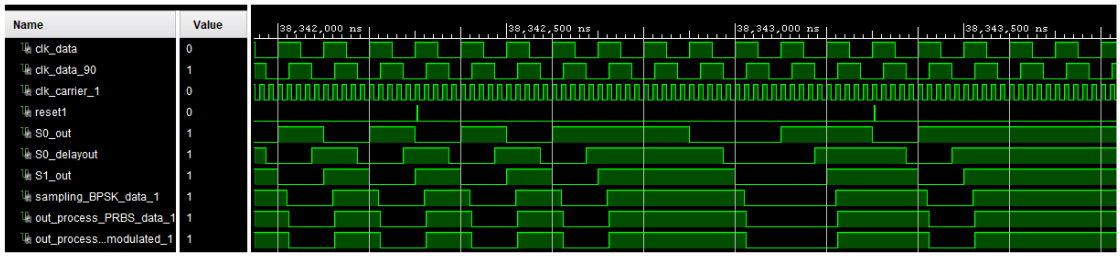
**รูปที่ 6.44** การจำลอง และผลการจำลอง simulink matlab ของแนวคิดรูปที่ 6.43

จากการจำลอง และผลการจำลอง Simulink matlab เพื่อขจัด delay time ระหว่างสัญญาณ PRBS_data กับ BPSK_demodulated เพื่อจะใช้ในการเตรียมสัญญาณสำหรับการทดสอบ bit error rate จะพบว่าสัญญาณ PRBS_data_for_BER และสัญญาณBPSK_demodulated_for_BER ไม่มี delay time ต่อไปจะทำการสร้างวงจรด้วยการเขียน VHDL บน FPGA ตามแนวคิดรูปที่ 6.43 และรูปที่6.44 โดยจะทำการ delay สัญญาณ S0_out ให้มีค่า delay time กับสัญญาณ sampling BPSK_demodulated ไม่เกินครึ่งคาบ หรือผลต่างเฟสไม่เกิน 180 องศา โดยสามารถใช้คำสั่งของการ delay time ของสัญญาณด้วยการเขียนโค้ด S0_delay <= S0 after 75ns; สามารถแสดงดังรูปที่ 6.45




**รูปที่ 6.45** ผลการจำลอง test bench ของการ delay time ของสัญญาณ S0

จากรูปที่ 6.45 สามารถที่จะทำการ delay สัญญาณ S0 หรือสัญญาณ PRBS_data ส่วนต่อไปจะทำการขจัด delay time ด้วยการสร้างบล็อก processing_delay ตามแนวคิด 6.43 ซึ่งจะใช้วงจร D Flip Flop สองวงจร และทำการ phase shift 90 องศา ของสัญญาณ clk_data สามารถแสดงดังรูปที่ 6.46



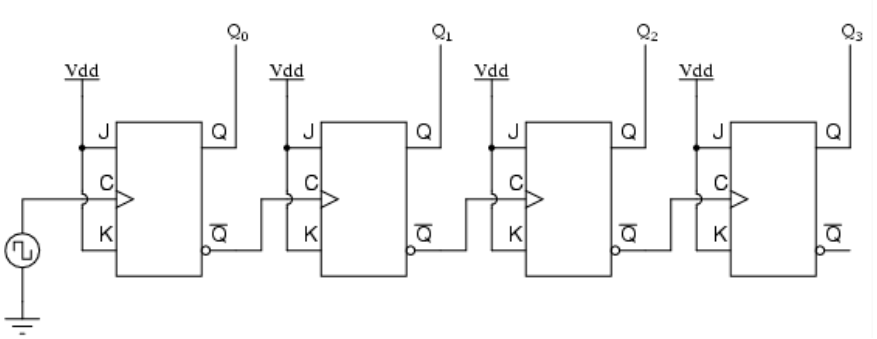

**รูปที่ 6.46** การขจัด delay time ระหว่าง PRBS_data กับ BPSK_demodulated ใน FPGA

จากรูปที่ 6.46 เป็นการ test bench เพื่อจัดการกับสัญญาณ PRBS_data และสัญญาณ BPSK_demodulated ก่อนที่จะเข้าไปทำการทดสอบในระบบ BER ที่ได้ทำการออกแบบต่อไป ซึ่ง

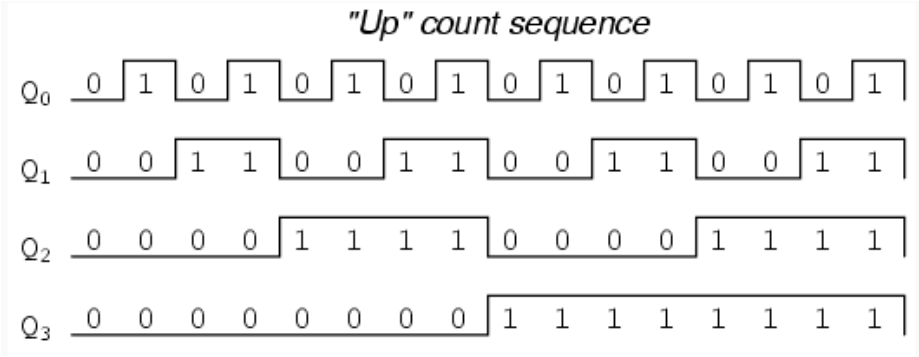
จากรูปที่ 6.46 พบว่า delay time ของทั้งสองสัญญาณคือสัญญาณ out_process_PRBS และสัญญาณ out_process_BPSK_demodulated มีค่าเท่ากัน ดังนั้นจะง่ายในการเปรียบเทียบระหว่างทั้งสองสัญญาณเพื่อหาจำนวนบิตที่ผิด หารด้วยจำนวนบิตที่ส่ง ส่วนต่อไปจะทำการเขียนโค้ตเพื่อกำหนดจำนวนบิตที่ส่งไป โดยจะใช้วงจร counter เป็นตัวนับจำนวนบิตที่ส่งไปสามารถที่จะสร้างวงจรนับในหัวข้อถัดไปนี้

**6.6.1 วงจรนับจำนวนบิตของ PRBD data**

สำหรับการวัดจำนวนบิตของ PRBD data จะทำการนับขอบขาขึ้นของสัญญาณพัลส์ของความถี่อินพุทของวงจร PRBS โดยจำนวนขอบขาขึ้นก็คือเท่ากับจำนวนบิตของ PRBS data สำหรับวงจรนับหรือวงจร counter สามารถที่จะสร้างจาก jk FlipFlop ,D Flip Flip และT FlipFlop ได้ สามารถที่จะแสดงตัวอย่างวงจรนับที่ใช้ jk FlipFlop ดังรูปที่ 6.47




**(a)** 4 bit up counter




**(b)** timing diagram ของวงจร 4 bit up counter [6.3]

**รูปที่ 6.47** วงจร และtiming diagram ของ 4 bit up counter

จากแนวคิดรูปที่ 6.47 สามารถที่จะไปสร้างวงจรนับจำนวนบิตของ PRBS data โดยการนับจะนับจำนวนสัญญาณพัลส์ของอินพุท PRBS ซึ่งสามารถที่จะกำหนดค่าจำนวนที่ต้องการในการส่งด้วยตัวเลขจำนวนเต็มเช่นต้องการส่ง 1Gbit และเมื่อส่งครบจำนวนที่ต้องการให้หยุดทำงาน และแสดงสัญญาณไฟ Led มาที่ตัว FPGA สามารถแสดงโค้ดของ vhdl ของวงจรนับจำนวนบิตดังรูปที่6.48

| **VHDL ของวงจรนับจำนวนบิตของ PRBS data** | |
|---|---|
| library IEEE;<br>use IEEE.STD_LOGIC_1164.ALL;<br>use IEEE.STD_LOGIC_ARITH.ALL; | process(clk)<br>begin<br>if rising_edge(clk) then |

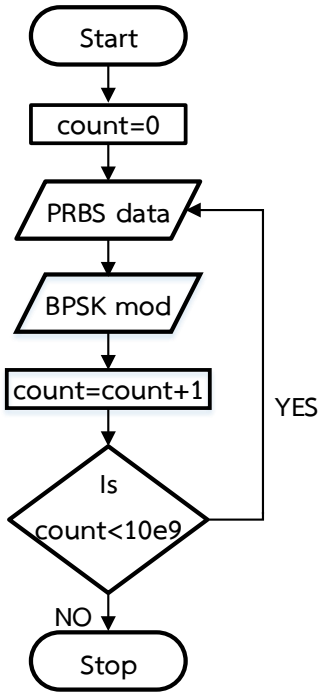
```
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity counter is
  Port (clk : in std_logic;
        led,reset : inout std_logic);
end entity ;

architecture Behavioral of counter is
signal clk_counter : natural range 0 to
1000000000 := 0;
signal blinker : std_logic := '0';
signal reset_count : std_logic := '0';
begin
          clk_counter <= clk_counter + 1;
          if  clk_counter  >=  1000000000
then
          blinker <= not blinker;
          reset_count <= not reset_count;
          clk_counter <= 1000000000;
                end if;
              end if;
          end process;
          led <= blinker;
          reset <=reset_count;
end architecture;
```

**รูปที่ 6.48** VHDL ของการนับจำนวนบิต PRBS data 10Gbit

สำหรับรูปที่ 6.48 สัญญาณ clk คือสัญญาณพัลส์ที่จะใช้สำหรับการนับโดยสัญญาณพัลส์นี้จะได้จากอินพุทของ PRBS data และตัวแปร clk_counter เป็นค่าคงที่สำหรับกำหนดจำนวนบิตที่จะส่งเพื่อทดสอบ BER ซึ่งเมื่อจำนวนสัญญาณพัลส์มีค่าเท่ากับ 10Gbit จะแสดงสัญญาณไฟ led ที่บอร์ด zybo ส่วนต่อไปจะเป็นการสร้างสัญญาณภาคส่งที่ประกอบไปด้วยสัญญาณข้อมูล PRBS และสัญญาณบีพีเอสเคมอดูเลต และวงจรนับจำนวนบิตของ PRBS data

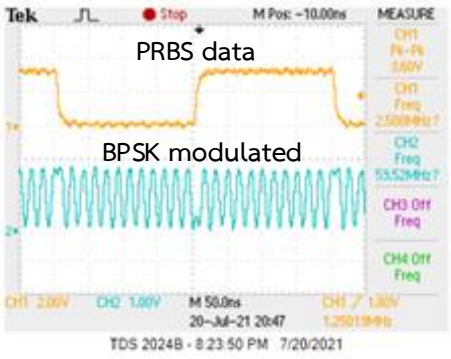
**6.6.2 วงจรภาคส่ง**

สำหรับสัญญาณภาคส่งจะประกอบด้วยสัญญาณข้อมูล PRBS data ,สัญญาณบีพีเอสเคมอดูเลต และวงจรนับจำนวนบิตของสัญญาณพัลส์อินพุทของ PRBS data โดยหลักการนั้นจะกำหนดจำนวนบิตที่จะทำการส่งด้วยการใช้วงจรนับนับจำนวนของพัลส์ของอินพุท PRBS data โดยจะทำการส่งจำนวน 1Gbit และเมื่อจำนวนได้ครบที่ 1Gbit ส่งสัญญาณ reset ไปยังวงจร PRBS และวงจรบีพีเอสเคมอดูเลเตอร์เพื่อหยุดการทำงานของภาคส่งไม่ให้มีสัญญาณป้อนเข้าไอซีที่ทำการทดสอบ สำหรับวงจร PRBS data ,วงจรบีพีเอสเคมอดูเลเตอร์ และวงจรนับได้ทำการออกแบบ และแสดงในหัวข้อก่อนหน้านี้แล้วดังนั้นสามารถที่จะนำวงจรเหล่านั้นมาทำการเชื่อมต่อกันให้ได้ตามที่ต้องการสามารถ flowchart ของวงจรภาคส่งได้ดังรูปที่ 6.49 โดยจะแสดงสัญญาณ PRBS data และสัญญาณบีพีเอสเคมอดูเลต โดยจะทำการกำหนดเงื่อนไขของจำนวนบิตด้วยค่าคงที่ count โดยจะใช้จำนวนบิตเท่ากับจำนวน count โดยถ้าจำนวนบิตยังไม่เท่าจำนวน count การทำงานจะแสดง PRBS data และสัญญาณบีพีเอสเค มอดูเลต แต่เมื่อจำนวนบิตเท่ากับจำนวนcount ที่ 1Gbit จะส่งสัญญาณ reset ไปหยุดการทำงานของสัญญาณ PRBS data และสัญญาณบีพีเอสเค มอดูเลต ซึ่งเป็นการสิ้นสุดการทำงานของระบบภาคส่ง เมื่อจะทำการเปลี่ยนแปลงจำนวนบิตที่ส่งสามารถที่จะทำได้ด้วยการเปลี่ยนแปลงค่า count ตามจำนวนบิตที่ต้องการ เมื่อได้ flowchart ที่ต้องการส่วนต่อไปจะทำการเขียนโค้ด VHDL ใน FPGA ต่อไป

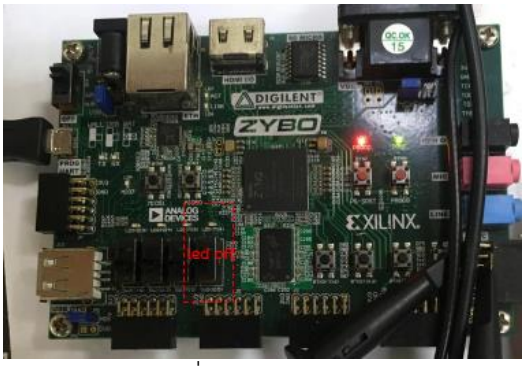



**รูปที่ 6.49** flowchart การทำงานของภาคส่ง

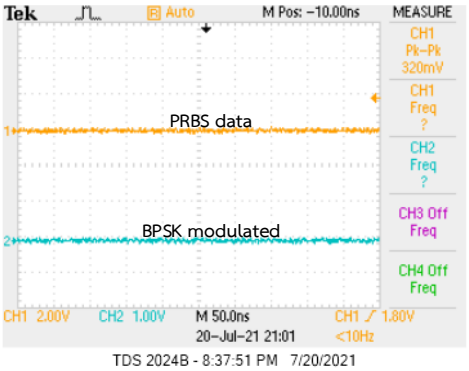
จาก flowchart รูปที่ 6.49 สามารถที่จะนำไปเขียนลงใน VHDL เพื่อสร้างวงจรภาคส่งในการทดสอบ bit error rate ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยโค้ดของวงจร counter ,PRBS data และบีพีเอสเค มอดูเลเตอร์ ได้เขียนไว้ในหัวข้อก่อนหน้านี้แล้ว ดังนั้นจะทำการเรียกใช้ component เหล่านี้เพื่อสร้างวงจรภาคส่ง โดยจะทำการเพิ่มโค้ดของวงจรนับของรูปที่ 6.48 เข้าไปในโค้ดของวงจรรูปที่ 6.8 (b) โดยจะทำการสั่งให้ led on เมื่อครบ 1Gbit และส่งสัญญาณreset_PRBS เข้าไปที่ reset ของ clock เพื่อให้สัญญาณ PRBS data และสัญญาณบีพีเอสเค มอดูเลเตอร์ไม่ปล่อยสัญญาณออกมา โดยสามารถดูผลการทดลองดังรูปที่ 6.50 โดยจะ port map ของ component ของ clk_wiz_0 เป็น reset=> reset_PRBS,




**(a)** สัญญาณ PRBS data และสัญญาณบีพีเอสเค มอดูเลต ของภาคส่งก่อนจะส่งครบ 1Gbit




**(b)** จำนวนบิตที่ส่งยังไม่ครบ 1Gbit led off




**(c)** สัญญาณ PRBS data และสัญญาณบีพีเอสเค มอดูเลต ของภาคส่งที่ส่งครบ 1Gbit

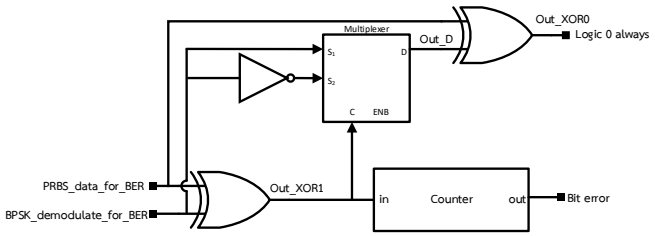
**(d)** จำนวนบิตที่ส่งครบ 1Gbit led on

**รูปที่ 6.50** ผลการทดสอบการนับจำนวนบิตของภาคส่ง และการทดสอบภาคส่ง

จากการเขียนโค้ดของวงจรนับ และทำการทดสอบพบว่าสามารถที่จะใช้ในการส่งจำนวนบิตข้อมูลตามที่ต้องการ เพื่อที่จะได้สะดวกในการทดสอบ BER ของระบบ ส่วนต่อไปจะทำการสร้างวงจรภาครับหรือส่วนที่ใช้สำหรับเปรียบเทียบหาบิตที่ผิดของการกู้คืนสัญญาณบีพีเอสเค โดยจะทำการเปรียบเทียบระหว่างสัญญาณ PRBS data กับสัญญาณบีพีเอสเค ดีมอดูเลต

### 6.6.3 วงจรภาครับ

สำหรับวงจรภาครับจะเป็นส่วนทดสอบ bit error rate (BER) ของระบบโดยจะนำสัญญาณบีพีเอสเคดีมอดูเลตไปทำการเปรียบเทียบกับสัญญาณข้อมูล PRBS data โดยจะนำสัญญาณทั้งสองเป็นอินพุทของวงจรลอจิก XOR ถ้าสัญญาณเหมือนกันจะให้เอาท์พุทเป็นลอจิก 0 ถ้าสัญญาณต่างกันจะให้เอาท์พุทเป็นลอจิก 1 ดังนั้นหลักการทำงานของวงจรทดสอบ BER จะมีหลักการเริ่มจากนำสัญญาณทั้งสองบีพีเอสเค ดีมอดูเลต และสัญญาณข้อมูล PRBS data เข้าไปเปรียบเทียบกันด้วยวงจรลอจิก XOR ถ้าสัญญาณทั้งสองเหมือนกันจะให้เอาท์พุทเป็นลอจิก 0 แต่เมื่อสัญญาณบีพีเอสเค ดีมอดูเลตมีการหลุดล็อกทำให้เกิดการดีมอดูเลตสัญญาณข้อมูลผิดพลาดจะส่งผลให้เอาท์พุทของ XOR จะกลายเป็น 1 และส่งส่งสัญญาณเอาท์พุทนี้ไปเข้าวงจรนับขอบขาขึ้นเพื่อนับบิตผิดพลาด และยังส่งไปยังวงจรสวิตซ์เพื่อให้สัญญาณบีพีเอสเค ดีมอดูเลตที่จะเข้าไปเปรียบกับสัญญาณ PRBS data กลับเฟสมา 180 เพื่อคงให้สัญญาณเปรียบเทียบทั้งสองยังคงอินเฟสเหมือนเดิม โดยตามหลักการแล้วถ้าสัญญาณมีการหลุดล็อกแล้วเข้าล็อกใหม่สัญญาณบีพีเอสเคจะกลับเฟสจากเดิมไป 180 องศาเสมอ และสัญญาณบีพีเอสเค ดีมอดูเลต และสัญญาณ PRBS data นั้นจะมี delay ที่เท่ากันจากการจัดการกับสัญญาณในรูปที่ 6.43 และ6.46 ต่อไปเป็นการแสดงแนวคิดของการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค ดีมอดูเลเตอร์แสดงดังรูปที่ 6.51



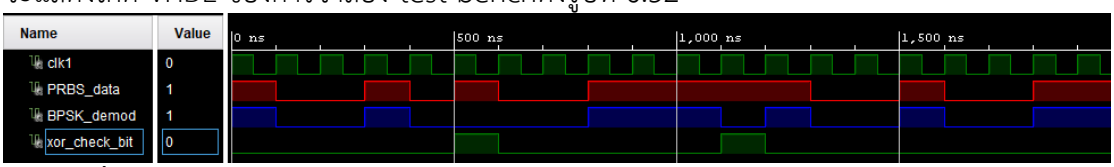

**(a)** วงจรฟังก์ชันสำหรับการวัด BER

**(b)** ผลการจำลองฟังก์ชันสำหรับการวัด BER ด้วย Simulink matlab

**รูปที่ 6.51** วงจร และผลการจำลองฟังก์ชันสำหรับการวัด BER ด้วย Simulink matlab

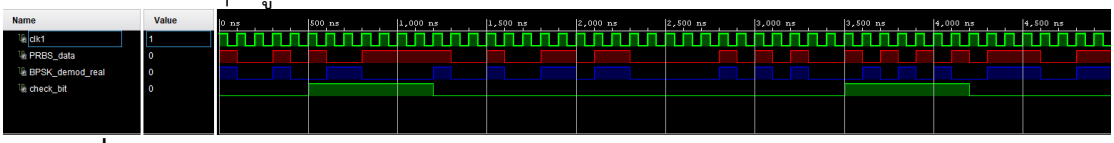
สำหรับวงจรการจำลอง และผลการจำลองของฟังก์ชันการวัด BER จะพบว่าการเปลี่ยนแปลงจากลอจิก 0 ไปเป็น 1 จะนับว่ามีบิตผิดพลาดหนึ่ง และการเปลี่ยนจากลอจิก 1 ไปเป็น 0 จะนับว่ามีบิตผิดพลาดอีก 1 บิต ซึ่งสัญญาณที่กล่าวมานั้นเป็นเอาท์พุทของ XOR1 โดยจากรูปที่ 6.51(b) จะมีบิต

ผิดพลาดทั้งหมด 12 บิต ตามหลักการดังนี้จะใช้สำหรับการออกแบบ และเขียนโค้ด VHDl ลงใน FPGA เพื่อใช้ในการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะเริ่มจากการออกแบบ และจำลองด้วย test bench สำหรับการออกแบบจะใช้สัญญาณ PRBS_data เป็นสัญญาณข้อมูลอ้างอิง และนำสัญญาณ PRBS_data ไปโอเปอร์เรตด้วยลอจิก AND กับสัญญาณ error_bit เอาท์พุทของลอจิก AND จะเป็นสัญญาณ BPSK_demod การทำแบบนี้เพื่อสร้างสัญญาณ BPSK_demod ที่มีบิตที่ผิดพลาดเมื่อเปรียบเทียบกับสัญญาณ PRBS_data นำสัญญาณ PRBS_data และสัญญาณ BPSK_demod โอเปอร์เรตด้วยลอจิก XOR ซึ่งเอาท์พุทของลอจิก XOR จะเป็นจำนวนบิตที่ผิดพลาดของการเปรียบเทียบสัญญาณทั้งสอง สามารถที่จะแสดงโค้ด VHDL ของการจำลอง test benchดังรูปที่ 6.52



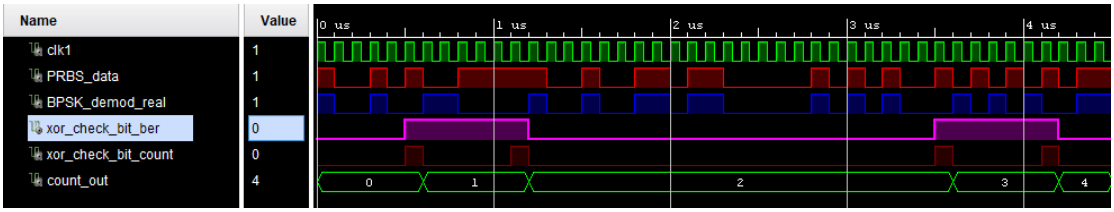

**รูปที่ 6.52** การจำลอง และผลการจำลอง test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod

จากรูปที่ 6.52 สัญญาณข้อมูล PRBS_data และสัญญาณบีพีเอสเค ดีมอดูเลต มีจำนวนบิตที่ผิดพลาดอยู่สองบิต ซึ่งจะใช้การนับบิตผิดพลาดด้วยการนับขอบขาขึ้นของสัญญาณเอาท์พุทของ XOR แต่อย่างไรก็ตามการทดสอบแบบนี้ยังไม่ใช้สัญญาณที่ถูกต้องของการกู้คืนสัญญาณบีพีเอสเค ดีมอดูเลต เนื่องจากเมื่อมีการดีมอดูเลตผิดพลาดระบบจะต้องทำการเข้าล็อกใหม่ซึ่งจะส่งผลให้สัญญาณบีพีเอสเค มอดูเลตมีการกลับเฟสไป 180 องศา ดังนั้นสัญญาณเอาท์พุทของ XOR จะมีลักษณะที่เปลี่ยนไปจากรูปที่ 6.52(b) ดังนั้นการนับจำนวนบิตผิดไม่สามารถที่จะใช้การนับเพียงขอบขาขึ้นเพียงอย่างเดียว จะต้องนับขอบขาลงด้วยสามารถที่จะแสดงการจำลองด้วย test bench ของสัญญาณบีพีเอสเคที่เกิดขึ้นในระบบจริงๆดังรูปที่ 6.53



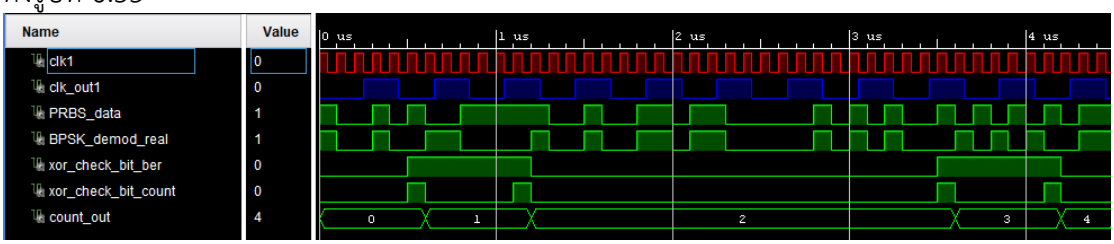

**รูปที่ 6.53** การจำลอง และผลการจำลอง test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod ที่เหมือนกับสัญญาณจริงมีการหลุดล็อก และเข้าล็อก

จากรูปที่ 6.53(b) จะพบว่าสัญญาณ BPSK_demod_real เมื่อมีการหลุดล็อกส่งผลให้การกู้คืนสัญญาณข้อมูลผิดพลาดจะส่งผลให้เอาท์พุทของ XOR มีการเปลี่ยนแปลงจากค่าก่อนหน้า ซึ่งนับเป็นหนึ่งบิต และสัญญาณ BPSK_demod_real เมื่อเข้าล็อกใหม่จะมีการเปลี่ยนเฟสไป180 องศา ดังนั้นการนับบิตผิดของการเปรียบเทียบเพื่อหา BER จะนับขอบขาขึ้นคือการเปลี่ยนแปลงจากลอจิก 0 ไปเป็นลอจิก 1 นับเป็นบิตผิดหนึ่งบิต และจะนับขอบขาลงจากการปลี่ยนแปลงจากลอจิก 1 ไปเป็นลอจิก 0 นับเป็นบิตผิดอีกหนึ่งบิต แต่เนื่องจากเพื่อความสะดวกจะต้องสร้างฟังก์ชันสำหรับการสร้าง xor_check_bit_count เพื่อที่วงจร counter จะนับเฉพาะขอบขาขึ้น (rising edge) โดยจะมี clk และสัญญาณที่ควบคุม CE เมื่อมีค่า CE =1 จะนับ 1 แต่ถ้า CE =0 จะคงค่าเดิม ซึ่งเอาท์พุทจะเป็น y สามารถแสดงวงจรนับของสัญญาณ PRBS_data xor BPSK_demod_real ดังรูปที่ 6.54




**รูปที่ 6.54** โค้ดของการสร้างวงจรนับจำนวนบิตผิด และการจำลอง test bench

ส่วนต่อไปจะสร้างวงจรหารความถี่เพื่อนำจำนวนบิตที่ผิดไปหารกับความถี่อ้างอิง เพื่อที่จะแสดงความถี่เอาท์พุทออกมาด้านนอกเพื่อจะได้รู้จำนวนบิตที่ผิดพลาด โดยจะนำค่าของ count_out ในรูปที่ 6.54 มาเป็นค่าคงที่สำหรับการหาร โดยจำนวนบิตที่ผิดพลาดจะเท่ากับความถี่อ้างอิงหารด้วยความถี่เอาท์พุท โดยวงจรหารจะต้องสามารถที่จะใช้ได้ทั้งค่าที่เป็นเลขคู่ และเป็นเลขคี่ สามารถแสดงดังรูปที่ 6.55

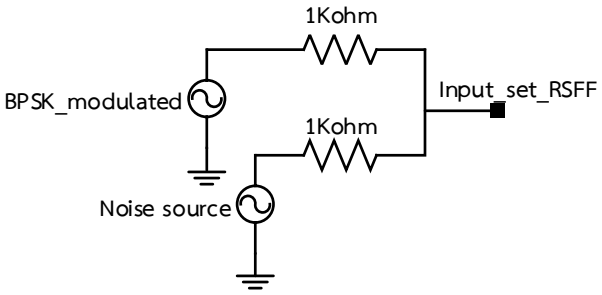



**รูปที่ 6.55** โค้ดของการสร้างวงจรหารความถี่ของจำนวนบิตผิด และการจำลอง test bench

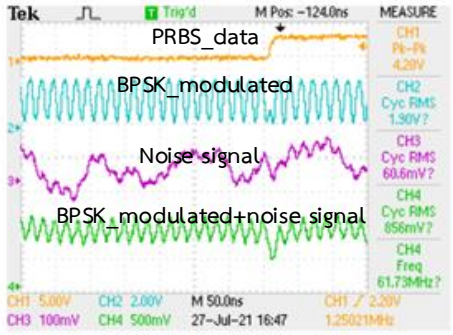
ในส่วนนี้ได้วงจรสำหรับการทดสอบหาค่า BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ซึ่งต่อไปจะนำวงจรที่ได้จากกการจำลอง test bench ไปทำการเขียนโค้ดสำหรับลงบนบอร์ดเพื่อใช้สำหรับการทดสอบจริงๆในส่วนนี้จะคล้ายกับหัวข้อก่อนหน้าเพียงแค่กำหนดอินพุท และเอาท์พุทของบอร์ด zybo ซึ่งส่วนนี้จะไม่แสดงเนื่องจากเป็นเพียงการกำหนดอินพุท และเอาท์พุท และรัน bitsteam เพื่อลงโค้ดที่เขียนบนบอร์ด FPGA ส่วนต่อไปจะเป็นการเริ่มทำการทดสอบ BER โดยจะเริ่มจากการสร้างวงจรสำหรับการรวมสัญญาณบีพีเอสเค มอดูเลต กับสัญญาณรบกวนที่จะมาทดสอบเข้าด้วยกันด้วยการต่อตัวต้านทานสองตัวและป้อนสัญญาณทั้งสองพร้อมกัน สำหรับการทดสอบจะอ้างอิงตามมาตรฐานของการวัดทั่วไป โดยจะหาค่า SNR ของสัญญาณทดสอบสามารถที่จะแสดงขั้นตอนในหัวข้อที่ 6.6.4

### 6.6.4 การทดสอบ Bit Error Rate (BER) ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

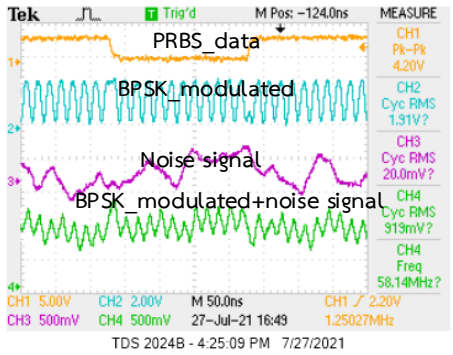
เริ่มจากการสร้างสัญญาณทดสอบซึ่งจะเป็นสัญญาณบีพีเอสเค มอดูเลตรวมกับสัญญาณรบกวน สามารถที่จะทำได้ด้วยการใช้ตัวต้านทานสองตัวที่มีค่าเท่ากันมาต่อร่วมกันเพื่อที่จะรวมสัญญาณทั้งสองเข้าด้วยกัน โดยค่าพารามิเตอร์ที่ใช้นั้นมค่าความต้านทาน 1kohm และสัญญาณทั้งสองจะลดทอนลงไปครึ่งหนึ่งของสัญญาณเดิม ซึ่งสัญญาณบีพีเอสเค มอดุเลต จาก FPGA จะมีค่าประมาณ 3.3 $V_{pk\text{-}pk}$ ดังนั้นลดทอนลงไปครึ่งหนึ่งก็เหลือ 1.65 $V_{pk\text{-}pk}$ และสัญญาณรบกวนจะป้อนจาก Keysight EDUX1002G สามารถแสดงวงจรของการรวมสัญญาณ และสัญญาณที่เกิดขึ้นดังรูปที่ 6.56




(a) วงจรที่ใช้สำหรับการรวมสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวน




(b) สัญญาณที่เกิดจากการรวมสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวนที่มีขนาดเล็ก




(c) สัญญาณที่เกิดจากการรวมสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวนที่มีขนาดใหญ่

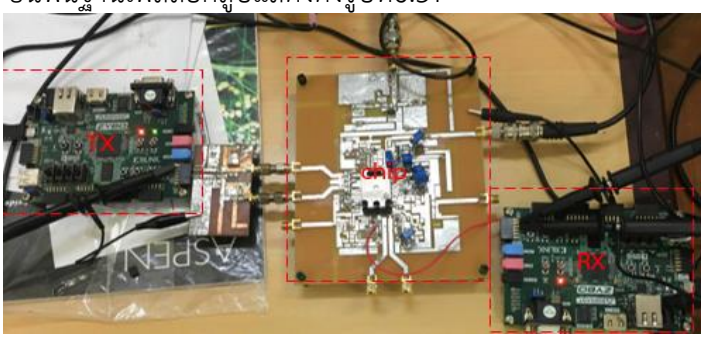
**รูปที่ 6.56** วงจร และสัญญาณของการรวมสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวน

จากรูปที่ 6.56 จะพบว่าสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวนสามารถที่จะรวมกันได้จริง และเมื่อสัญญาณรบกวนมีขนาดเล็กจะพบว่าสัญญาณสีเขียวจะคล้ายกับสัญญาณบีพีเอสเค มอดูเลต แบบดั้งเดิม แต่เมื่อสัญญาณรบกวนมีขนาดใหญ่จะพบว่าสัญญาณสีเขียวจะมีลักษณะที่เพี้ยนไปจากสัญญาณบีพีเอสเค มอดูเลต แบบดั้งเดิม ดังนั้นการทดสอบจะต้องมีการกำหนดอัตราส่วนระหว่างสัญญาณข้อมูลนั้นคือสัญญาณบีพีเอสเค มอดูเลต และสัญญาณรบกวน โดยอัตราส่วนนี้จะเรียกว่า signal to noise ratio (SNR) โดยสามารถที่จะหาค่า SNR จากสมการดังที่(6.10)

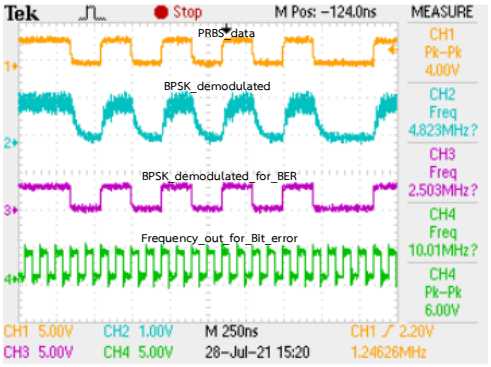
$$SNR_{dB} = 10\log_{10}\frac{P_{signal}}{P_{noise}} \tag{6.10}$$

จากสมการที่ (6.10) สามารถนำไปใช้สำหรับการหา SNR ตามมาตรฐานที่วัดกันโดยทั่วไป ซึ่งต่อไปจะเป็นการวัด BER ที่อัตราการส่งข้อมูลค่าต่างๆที่สามารถดีมอดูเลตได้ และแต่ละค่าอัตราการส่งข้อมูล

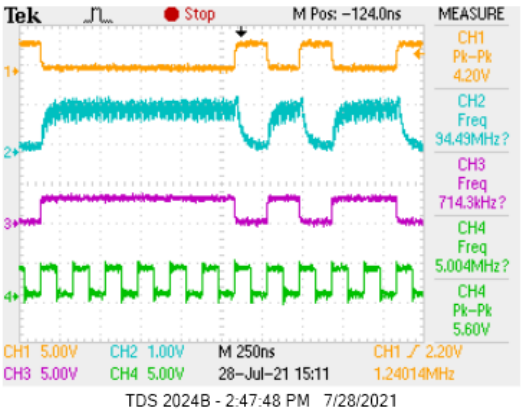
จะป้อน SNR ค่าต่างๆเช่นจาก 7-16dB และทำการทดสอบ BER แบบไม่มีสัญญาณรบกวนที่อัตราการส่งข้อมูลต่างๆเพื่อดูค่า BER สามารถแสดงการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปแสดงดังรูปที่6.57



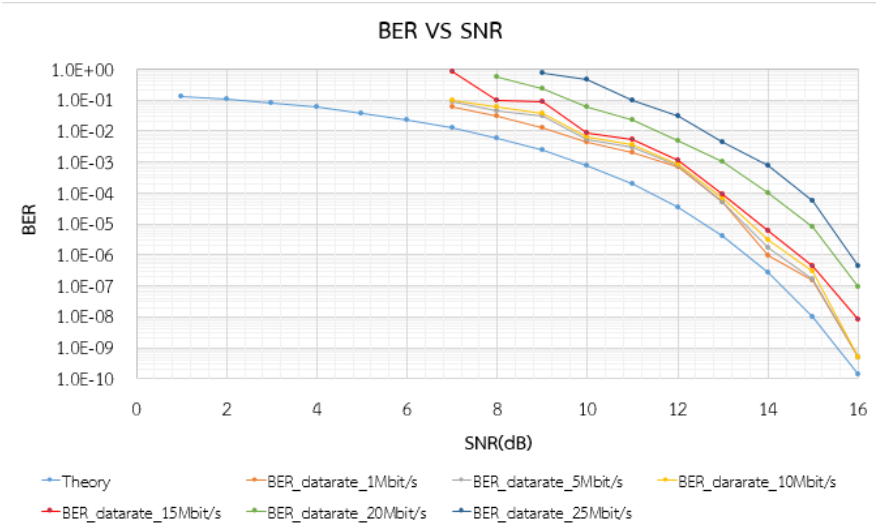

**(a)** ระบบการทดสอบ BER ของ chip



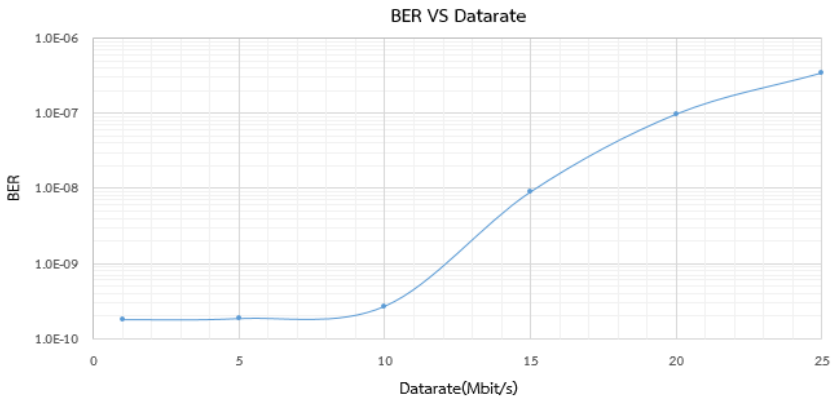

**(b)** สัญญาณทดสอบ และผลของการทดสอบ BER ที่ไม่มีบิตผิด




**(c)** สัญญาณทดสอบ และผลของการทดสอบ BER ที่มีบิตผิด 2 บิต




**(d)** ผลการทดสอบ BER ที่อัตราการส่งข้อมูลค่าต่างๆ และ SNRที่ช่วง 7dB ถึง 16dB




**(e)** ผลการทดสอบ BER เปรียบเทียบกับอัตราการส่งข้อมูล แกนY logarithmic scale

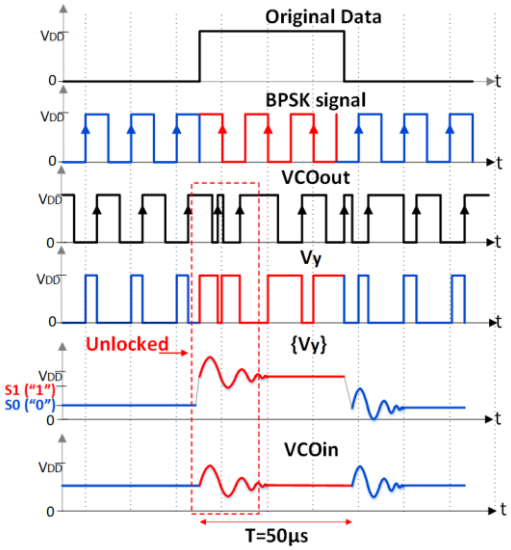
**รูปที่ 6.57** ผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากการทดสอบ BER รูปที่ 6.57 เป็นประสิทธิภาพอย่างหนึ่งที่สนใจของการทำงานของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป สำหรับการทดสอบพบว่าที่อัตราการส่งข้อมูล20Mbit/s หรือ 1/3 ของสัญญาณคลื่นพาห์ 60 MHz ผลของ BER มีค่ามากกว่าที่อัตราการส่งข้อมูล 10Mbit/s เกือบ 80 เท่า โดยจากความเข้าใจในการทำงานของระบบสามารถที่จะทำการอธิบายดังนี้

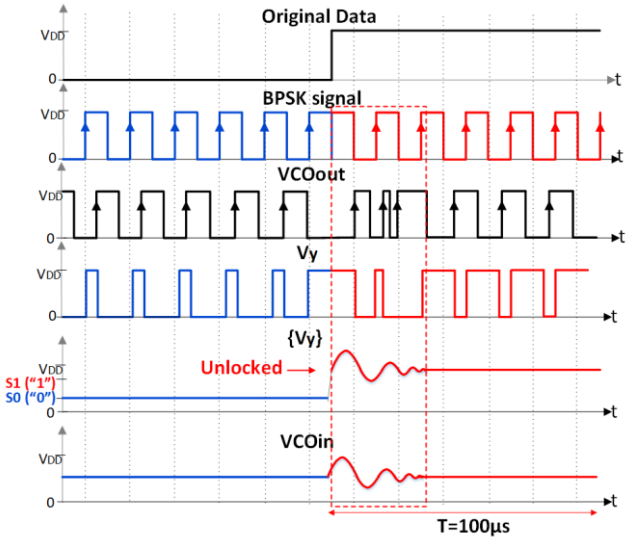
(I) เริ่มจากการพิจารณาที่ความถี่คลื่นพาห์ 60 MHz จำนวน clock ของเอาท์พุทของวงจร positive-edge-triggered RSFF (Vy) ที่อัตราการส่งข้อมูล 10 Mbit/s จะมีทั้งหมด 6 clock ที่จะนำไปเฉลี่ยเป็น Data Symbol 0 หรือ 1 ขึ้นอยู่กับผลต่างเฟสระหว่างสัญญาณบีพีเอสเคมอดูเลต และสัญญาณเอาท์พุท VCO โดยในทางปฏิบัติแล้วเมื่อสัญญาณคลื่นพาห์มีการเปลี่ยนเฟสจาก 0 ไป 180 องศา หรือจาก 180 ไป 0 องศา สัญญาณความถี่ของ VCO จะต้องหลุดล็อกนั้นคือมีความถี่ไม่เท่ากับสัญญาณคลื่นพาห์ หรือเรียกว่าช่วง transient response ซึ่งช่วงนี้เอาท์พุทของ Vy จะมีค่า Duty cycle ที่แตกต่างไปจากเดิม จนกระทั่งกลับมาล็อกใหม่จึงได้ค่า Duty cycle เป็นไปตามหลักการที่

กล่าวมาในบทที่ 3 ดังนั้นเมื่อ Vy มีจำนวน 6 clock โอกาสที่จะเฉลี่ยและได้ Data Symbol 0 หรือ 1 ที่ถูกต้องได้มากกว่ากรณีที่อัตราการส่งข้อมูล 20 Mbit/s ที่ Vy มีจำนวน 3 clock โดยในการทดสอบได้ใช้การออกแบบของวงจรกรองสัญญาณความถี่ค่าเดียวกันทุกๆอัตราการส่งข้อมูล จากปัญหานี้อาจจะแก้ด้วยการออกแบบวงจรกรองสัญญาณควาถี่ต่ำผ่านของแต่ละอัตราส่งข้อมูลที่ต่างกันเพื่อที่จะให้ที่อัตราการส่งข้อมูลสูงมีค่าเวลาในการเข้าล็อกที่ต่ำๆ แต่อย่างไรก็ตามจะต้องมีการ Trade-off กับพารามิเตอร์อื่นๆด้วย

**(II)** พิจารณาที่แรงดันอินพุทของ VCO ($VCO_{in}$) เมื่อความถี่คลื่นพาห์ 60 MHz และอัตราการส่งข้อมูล 20Mbit/s โดยพบว่าการเปลี่ยนแปลงจาก Data Symbol 0 ไปเป็น Data Symbol 1 นั้นมีเวลาน้อยที่สุดเพียง 50µs ซึ่งอาจจะไม่เพียงพอให้ $VCO_{in}$ เข้าสู่สถานล็อกของลูปจึงเป็นสาเหตุที่ส่งผลให้เกิดข้อผิดพลาดหรือ bit errorที่เพิ่มขึ้นนั้นเอง ส่วนที่อัตราส่งข้อมูล 10Mbit/s จะมีเวลาน้อยที่สุด 100µs หรือสองเท่าของเวลาที่อัตราส่งข้อมูล 20Mbit/s ดังนั้นโอกาสที่จะเกิด bit error นั้นน้อยกว่า โดยจากการพิจารณาทั้งสองหัวข้อที่กล่าวมาสามารถแสดงดังรูปที่ 5.58




**(a)** dynamic ของระบบบีพีเอสเคดีมอดูเลเตอร์ที่ความถี่คลื่นพาห์ 60 MHz และอัตราการส่งข้อมูล 20 Mbit/s




**(b)** dynamic ของระบบบีพีเอสเคดีมอดูเลเตอร์ที่ความถี่คลื่นพาห์ 60 MHz และอัตราการส่งข้อมูล 10 Mbit/s

**รูปที่ 6.58** dynamic ของระบบบีพีเอสเคดีมอดูเลเตอร์ ที่อัตราการส่งข้อมูล 10 Mbit/s และ 20 Mbit/s ที่ส่งผลต่อ BER ที่เกิดขึ้นในกราฟรูปที่ 6.57

## 6.7 การออกแบบ และกระบวนการทดสอบคิวพีเอสเคดีมอดูเลเตอร์

สำหรับการทดสอบคิวพีเอสเคดีมอดูเลเตอร์ จะต้องสร้างสัญญาณคิวพีเอสเค มอดูเลตจาก FPGA เพื่อป้อนเข้าไปในไอซีของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะพัฒนามาจากสัญญาณบีพีเอสเค มอดูเลต ด้วยการเพิ่มข้อมูลให้มี S0 และS1 และวงจรมัลติเพล็กซ์เซอร์ 4:1 และสัญญาณอินพุทของวงจรมัลติเพล็กซ์เซอร์จะเป็นสัญญาณคลื่นพาห์ที่มีเฟส 0, 90, 180 และ270 องศา และสัญญาณข้อมูล S0 และS1 จะเป็นส่วน select ของวงจรมัลติเพล็กซ์เซอร์ โดยจะเริ่มจากการเขียน VHDL เพื่อสร้างสัญญาณคิวพีเอสเค มอดูเลต

### 6.7.1 การออกแบบ และกระบวนการทดสอบคิวพีเอสเคมอดูเลเตอร์ด้วย FPGA บอร์ด Zybo

#### 6.7.1.1 การสร้างสัญญาณนาฬิกา

สำหรับการสร้างสัญญาณนาฬิกาจากบอร์ด zybo จะมีวิธีการเหมือนกับหัวข้อที่ 6.3.1 เพียงแต่จะเพิ่มสัญญาณนาฬิกาที่มีเฟสต่างกันนจาก 2 เฟส ไปเป็น 4 เฟส เพื่อเป็นสัญญาณคลื่นพาห์ให้กับสัญญาณคิวพีเอสเค มอดูเลต สำหรับการสร้างก็จะเลือก IP catalog ที่มีวงจร PLL ในบอร์ด Zybo z7 ตามรูปที่ 6.1(a) แต่เอาท์พุทจะมีทั้งหมด 5 เอาท์พุทประกอบด้วย 4 เอสท์พุทเป็นสัญญาณคลื่นพาห์ และอีกหนึ่งเอาท์พุทเป็นสัญญาณนาฬิกาของวงจร PRBS เพื่อสร้างสัญญาณข้อมูลแบบแรนดอมบิตสามารถแสดงดังรูปที่ 6.59

Component Name clk_wiz_0

Board | Clocking Options | Output Clocks | Port Renaming | MMCM Settings | Summary

The phase is calculated relative to the active input clock.

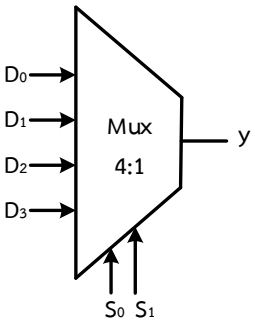
| Output Clock | Port Name | Output Freq (MHz) | | Phase (degrees) | | Duty Cycle (%) | |
|---|---|---|---|---|---|---|---|
| | | Requested | Actual | Requested | Actual | Requested | Actual |
| clk_out1 | clk_out1 | 61 | 60.938 | 0 | 0.000 | 50.000 | 50.0 |
| clk_out2 | clk_out2 | 61 | 60.938 | 90 | 90.000 | 50.000 | 50.0 |
| clk_out3 | clk_out3 | 61 | 60.938 | 180 | 180.000 | 50.000 | 50.0 |
| clk_out4 | clk_out4 | 61 | 60.938 | 270 | 270.000 | 50.000 | 50.0 |
| clk_out5 | clk_out5 | 5 | 4.995 | 0 | 0.000 | 50.000 | 50.0 |

**รูปที่ 6.59** วิธีการตั้งค่าพารามิเตอร์ของ Clocking Wizard ของคิวพีเอสเค มอดูเลเตอร์

จากรูปที่ 6.59 clk_out1-clk_out4 เป็นสัญญาณนาฬิกาของสัญญาณคลื่นพาห์ และclk_out5 เป็นสัญญาณนาฬิกาของอินพุทของวงจร PRBS ส่วนต่อไปจะสร้างวงจรมัลติเพล็กซ์เซอร์ 4:1

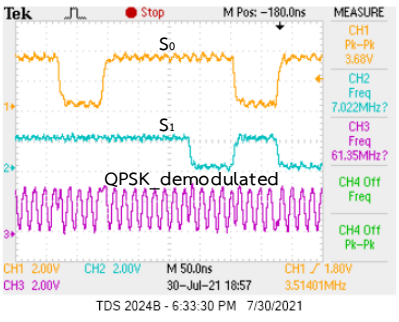
### 6.7.1.2 วงจรดิจิตอลมัลติเพล็กซ์เซอร์ (Mux 4:1)

วงจรเลือกข้อมูลที่มีเพียงเอาท์พุทเดียว และมีสี่อินพุท ทำหน้าเลือกสัญญาณอินพุทมาเพียงค่าเดียวมายังเอาท์พุท ในที่นี้วงจร Mux4:1 จะเป็นวงจรในการทำวงจรมอดูเลเตอร์บีพีเอสเค สำหรับวงจรดิจิตอลมัลติเพล็กซ์ สามารถแสดงดังรูปที่ 6.60

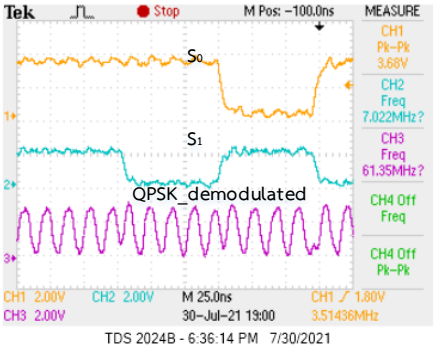



**รูปที่ 6.60** วงจร Mux4:1ของวงจรมัลติเพล็กซ์เซอร์

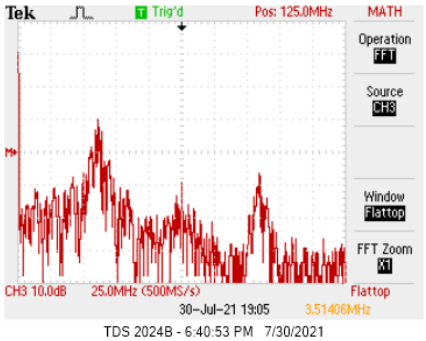
จากโค้ด VHDL ของรูปที่ 6.60 สัญญาณคลื่นพาห์ของทั้งสี่เฟส เป็นอินพุทคือตัวแปร A, B, C และD และสัญญาณPRBS จะต้องมีสองสัญญาณเพื่อตัวเลือกนั้นคือสัญญาณ Sel0 และSel1 และเอาท์พุทจะเป็นสัญญาณคิวพีเอสเค มอดูเลตนั้นคือตัวแปร Z โดยสัญญาณ Sel0 และSel1 มาจากวงจรPRBS โดยให้Sel0 <= data_test_S0 และSel1 <= data_test_S1 ซึ่งสัญญาณทั้งสองสามารถดูโค้ดจากรูปที่ 6.5(b) และสามารถที่จะทำการทดสอบผลของโค้ดสำหรับคิวพีเอสเค มอดูเลเตอร์ดังรูปที่ 6.61




**(a)** ผลของสัญญาณข้อมูล S0, S1 และคิวพีเอสเค มอดูเลต




**(b)** ผลของสัญญาณข้อมูล S0, S1 และคิวพีเอสเค มอดูเลต




**(c)** สเปกตรัมของสัญญาณคิวพีเอสเค มอดูเลต

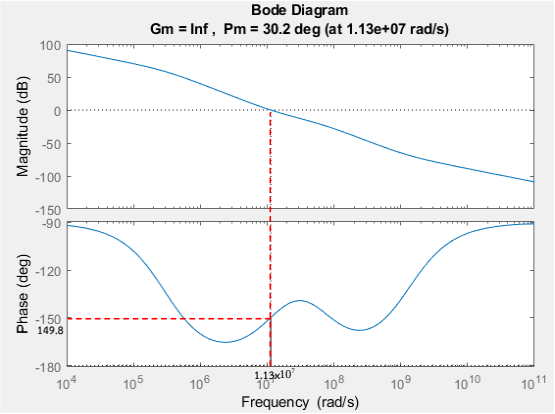
**รูปที่ 6.60** ผลของสัญญาณคิวพีเอสเค มอดูเลต

จากรูปที่ 6.61 สามารถที่จะสร้างสัญญาณคิวพีเอสเค มอดูเลต ได้จาก FPGA ต่อไปจะทำการทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยการออกแบบจะคล้ายกับหัวข้อที่ 6.5.5 เพียงลูปเกนของวงจร $K_{PC}$ จะมีค่ามากกว่าสองเท่าของระบบบีพีเอสเค สามารถแสดงขั้นตอนการออกแบบเสถียรภาพของระบบในหัวข้อที่ 6.7.2

## 6.8 การออกแบบและทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค บนโครงสร้างบีพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

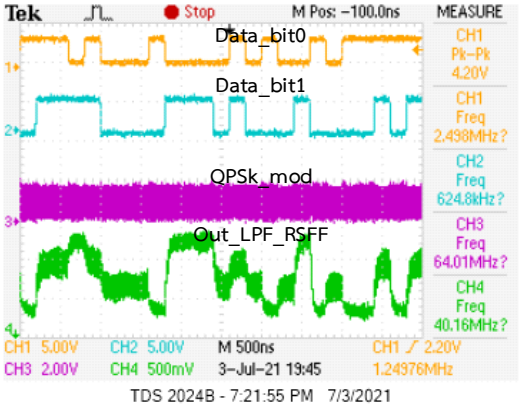
การทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค ดีมอดูเลเตอร์ ด้วยการป้อนสัญญาณคิวพีเอสเค มอดูเลต เข้าไประบบกู้คืนสัญญาณคิวพีเอสเคจะต้องมีการปรับเปลี่ยนวงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุท RSFF เพื่อที่จะได้อัตราการส่งข้อมูลตามต้องการ ดังนั้นการออกแบบเสถียรภาพของระบบจะต้องคำนึงถึงวงจรกรองสัญญาณความถี่ต่ำผ่านนี้ การออกแบบต้องการอัตราการส่งข้อมูล 5Msybols/s ที่สัญญาณคลื่นพาห์ 60MHz และค่าพารามิเตอร์ $K_d = 1.78/2\pi$ V/rad, $K_{pc} = 2$, $K_{vco} = 1.2 \times 10^9$ rad/s/V โดยค่าพารามิเตอร์ $K_{pc} = 2$ เป็นค่าคงที่สมมติเพื่อให้สะดวกในการออกแบบเสถียรภาพสามารถแสดงดังที่ (6.11) และแสดงการพล็อตของโบดดังรูปที่ 6.62

$$G_{OL}(s) = \frac{1.902\times10^{-8}s^2 + 24.04s + 3.396\times10^{8}}{5.312\times10^{-14}s^3 + 3.336\times10^{-6}s^2 + s} \qquad (6.11)$$

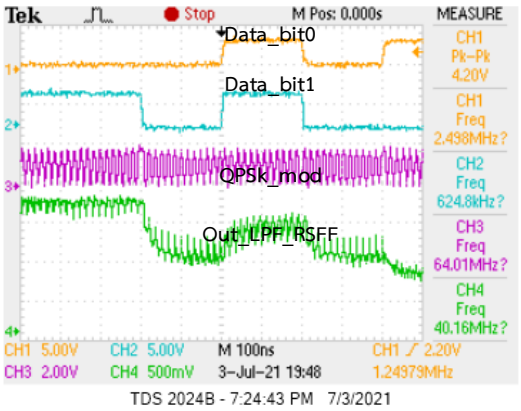



**รูปที่ 6.61** การพล็อตโบดฟังก์ชันถ่ายโอนระบบเปิดของสมการที่ (6.11)

จากการพล็อตโบดรูปที่ 6.62 จะมีเฟสมาร์จินอยู่ที่ $30.2^{\circ}$ และมีความถี่ธรรมชาติ $\omega_n = 1.13\times10^7$ และแดมปิ้งแฟกเตอร์ $\zeta=0.5$ ต่อไปจะทำการหาค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุจาก $\tau$ ที่ได้ออกแบบในขั้นตอนที่ 1-3 เริ่มคำนวณจาก $\tau_1=R_bC_2$ และ $\tau_2=R_3C_2$ โดยกำหนดค่าพารามิเตอร์ตัวเก็บประจุ $C_2=0.11\text{nF}$ ดังนั้นค่าพารามิเตอร์ $R_b=3.32\times10^{-6}/0.11\times10^{-9}=30\,\text{k}\Omega$ และค่าพารามิเตอร์ $R_3=70\times10^{-6}/0.11\times10^{-9}=635\,\Omega$ และต่อไปจะทำการกำหนดค่าพารามิเตอร์ตัวเก็บประจุ $C_1=1.4\text{pF}$ ดังนั้นค่าพารามิเตอร์ $R_1=16\times10^{-9}/1.4\times10^{-12}=10\text{k}\Omega$ และค่าพารามิเตอร์ $R_2=0.8\times10^{-9}/1.4\times10^{-12}=574\,\Omega$ นำค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุที่ได้จากการคำนวณไปต่อลงบนบอร์ดทดสอบไอซีเพื่อตรวจสอบผลการทดสอบสามารถแสดงดังรูปที่ 6.63



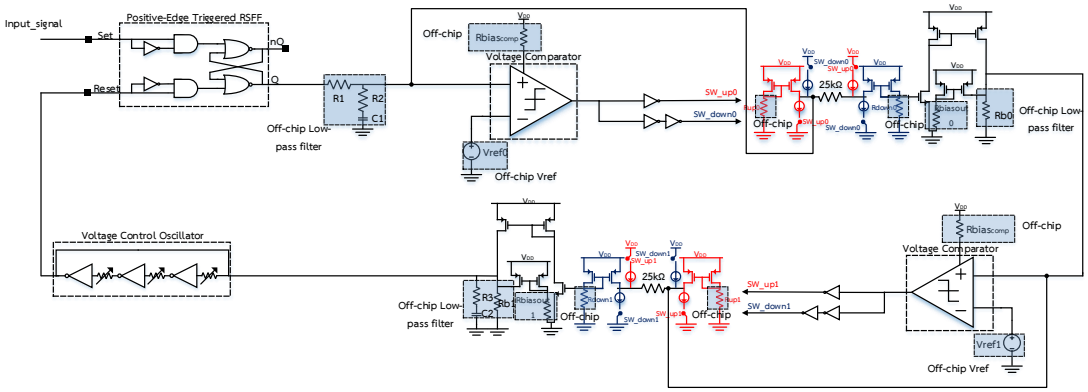

**(a)** ผลการทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป




**(b)** ผลการทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป แบบขนาด time base100ns

**รูปที่ 6.62** ผลการทดสอบระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่อัตราการส่งข้อมูล 5symbols/s คลื่นพาห์ 62MHz

จากการทดลองรูปที่ 6.63 วงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจร RSFF ที่ได้ใช้ในการทดสอบจริงคือ $R_1$=7.5kΩ, $R_2$=200Ω, $C_1$=1.4pF และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ ที่ได้ใช้ในการทดสอบจริง $R_b$=33kΩ, $R_3$=2kΩ, $C_2$=0.11nF จากผลการทดสอบพบระบบระบบกู้คืนสัญญาณคิวพีเอสเคเฟสเดียวลูปเดียวโครงสร้างรูปที่ 6.64 ที่ความถี่คลื่นพาห์ 62MHz และอัตราการส่งข้อมูล 5Msymbol/s สามารถทำงานได้ ต่อไปจะทำการทดสอบช่วงความถี่ล็อก $(\omega_L)$ และการทดสอบค่าความคลาดเคลื่อนที่เกิดขึ้นได้จากกระแสไบอัสของ phase controller ที่เรียกว่า 1-bit sub-ranging/re-scaling และขั้นตอนการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านเพื่อได้อัตราการส่งข้อมูลที่สูงขึ้น สุดท้ายประสิทธิภาพด้านต่างๆและการทำงานได้ในค่าความคลาดเคลื่อนของพารามิเตอร์ที่เกี่ยวข้อง



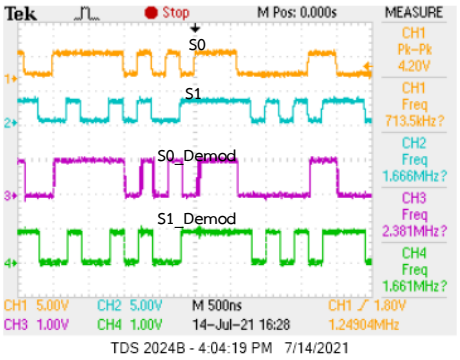

**รูปที่ 6.63** schematic สำหรับทดสอบระบบเฟสล็อกลูปบนโครงสร้างระบบกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว

จากรูปที่ 6.64 เป็นโครงสร้างระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ซึ่งจากการทดสอบด้วยค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุที่ได้ออกแบบไว้สามารถ

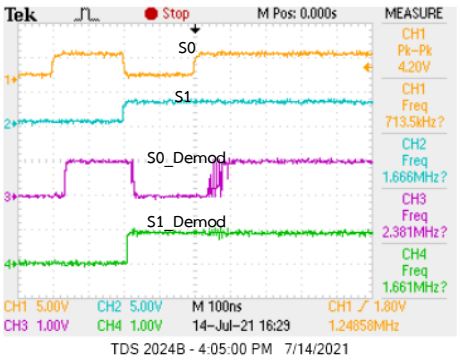
เป็นแนวทางในการช่วยทดสอบระบบ โดยค่าพารามิเตอร์ที่ใช้จริงอาจจะคลาดเคลื่อนจากที่ออกแบบ ส่วนต่อไปจะเป็นการทดสอบช่วงความถี่ล็อกที่ระบบสามารถที่จะกู้คืนสัญญาณคิวพีเอสเค

**6.8.1 การทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอสเค บนโครงสร้างคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป**

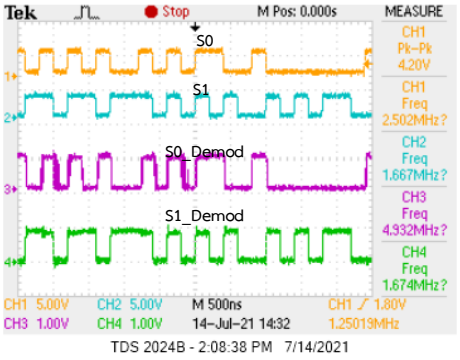
สำหรับการทดสอบจะทำการเปลี่ยนแปลงความถี่คลื่นพาห์ของสัญญาณคิวพีเอสเค มอดูเลต เพื่อดูว่าระบบสามารถที่จะทำการกู้คืนสัญญาณข้อมูลออกมาได้อย่างถูกต้องที่ความถี่คลื่นพาห์ค่าเท่าไรบ้าง โดยการทดสอบจะยังใช้ค่าพารามิเตอร์ตัวต้านทาน และตัวเก็บประจุ วงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจร RSFF ที่ได้ใช้ในการทดสอบจริงคือ $R_1=7.5k\Omega, R_2=200\Omega$, $C_1=1.4pF$ และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ ที่ได้ใช้ในการทดสอบจริง $R_b=33k\Omega, R_3=2k\Omega$, $C_2=0.11nF$ สามารถแสดงผลการทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอส แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปดังรูปที่ 6.65



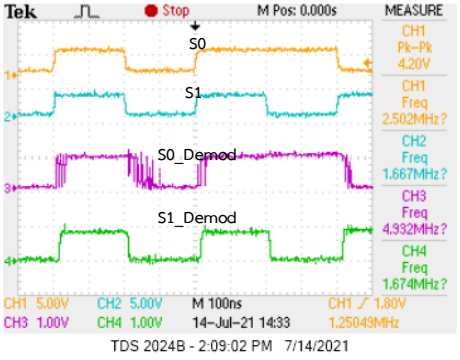

**(a)** ผลการทดสอบที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูล 5Msymbols/s




**(b)** ผลการทดสอบรูปที่ 6.65(a) ที่ time base 100ns




**(c)** ผลการทดสอบที่ความถี่คลื่นพาห์ 63MHz และอัตราการส่งข้อมูล 5Msymbols/s




**(d)** ผลการทดสอบรูปที่ 6.64(c) ที่ time base 100ns

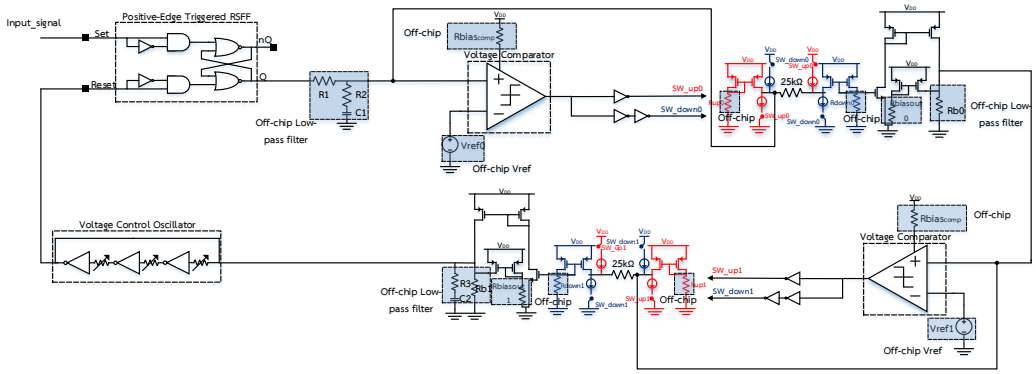
**รูปที่ 6.64** ผลการทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากการทดสอบช่วงความถี่ล็อกของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป พบว่าระบบสามารถที่จะกู้คืนสัญญาณคิวพีเอสได้สัญญาณข้อมูลที่ถูกต้อง ที่ช่วงความถี่คลื่นพาห์ 61-63MHz โดยเป็นการทดสอบที่อัตราการส่งข้อมูล 5Msymbols/s ต่อไปจะเป็นการเพิ่มอัตราการส่งข้อมูลเพื่อดูว่าระบบสามารถที่จะกู้คืนสัญญาณข้อมูลจากสัญญาณคิวพีเอสเค มอดูเลตที่อัตราการส่งข้อมูลค่าเท่าไร และอัตราส่งข้อมูลสูงสุดเท่าไร โดยสามารถดูค่าพารามิเตอร์ของวงจรกรองสัญญาณความถี่ต่ำผ่าน, กระแสไบอัสของการปรับระดับแรงดันของวงจร 1-bit sub-ranging/re-scaling ของสเตจหนึ่ง และสเตจสอง และไบอัสแรงดันอ้างอิงของวงจรเปรียบเทียบแรงดัน โดยสามารถแสดงตาราง6-4ค่าพารามิเตอร์ในระบบกู้คืนสัญญาณคิวพีเอสเค ดังรูปที่ 6.66

| พารามิเตอร์ | ค่าพารามิเตอร์ | พารามิเตอร์ | ค่าพารามิเตอร์ |
|---|---|---|---|
| R1 | 2kΩ | $Vref_{comp0}$ | 0.905V |
| R2 | 200Ω | $Rbias_{comp}$ | 6.4kΩ |
| C1 | 1.4pF | Rup0 | 75kΩ |
| Rb0 | 25k Ω | Rdown0 | 72kΩ |
| R3 | 25kΩ | Rbiasout0 | 56 kΩ |
| C2 | 0.11nF | Rdown1 | 56kΩ |
| Rb1 | 20k Ω | Rup1 | 54kΩ |

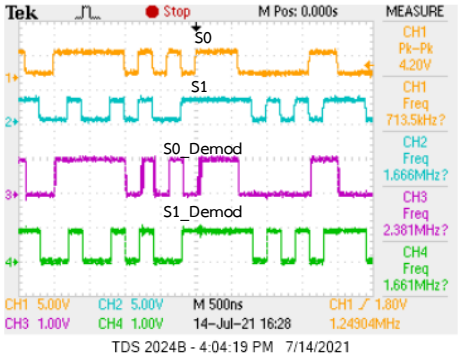
| | | | |
|---|---|---|---|
| $Vref_{comp1}$ | 0.875 | Rbiasout1 | 48 kΩ |

**ตารางที่ 6-4** พารามิเตอร์ และค่าพารามิเตอร์ที่ใช้สำหรับทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปของรูปที่ 6.66

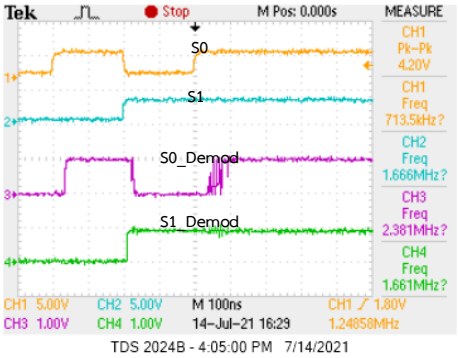



**รูปที่ 6.65** พารามิเตอร์ตัวต้านทาน และตัวเก็บประจุของวงจรกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่อัตราการส่งข้อมูล 5, 10 และ12Msymbols/s และความถี่คลื่นพาห์ 61MHz

ต่อไปจะทำการออกแบบเพื่อเปลี่ยนอัตราการส่งข้อมูลให้มีค่าสูงขึ้น โดยอัตราการส่งข้อมูลที่จะทำการทดสอบจะมีค่า 5Msymbols/s , 10Msymbols/s และ12Msymbols/s ที่ความถี่คลื่นพาห์ 61MHz สำหรับการทดสอบจะทำการเปลี่ยนเฉพาะวงจรกรองสัญญาณความถี่ต่ำผ่านหลัง positive edge triggered RSFF และวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้า $VCO_{in}$ โดยการออกแบบจะลด bw ของวงจรกรองสัญญาณความถี่ต่ำผ่านหลัง positive edge triggered RSFF และปรับเปลี่ยนวงจรกรองสัญญาณความถี่ต่ำผ่านก่อนเข้าวงจร $VCO_{in}$ เพื่อให้เฟสมาร์จินของระบบยังคงเหมือนเดิม สามารถแสดงผลการทดสอบดังรูปที่ 6.67

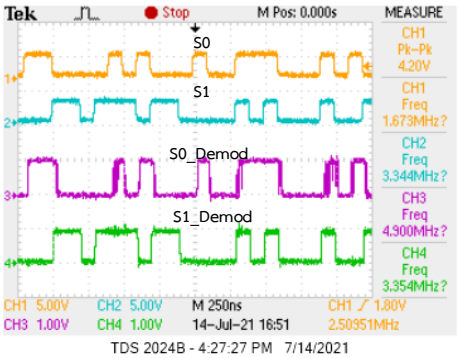



**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 5Msymbols/s

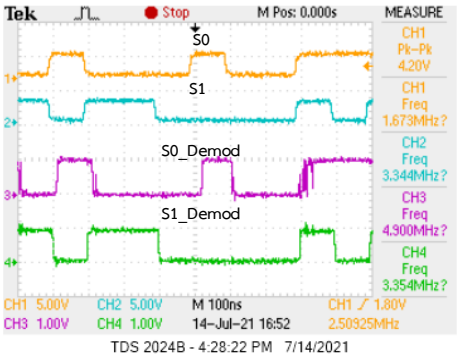



**(b)** ผลการทดสอบรูปที่ 6.66(a) ที่ time base 100ns

**รูปที่ 6.66** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 5Msymbols/s

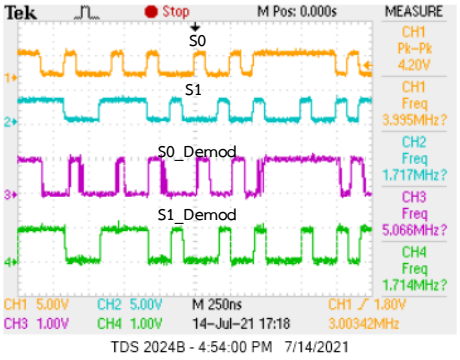



**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 10Msymbols/s

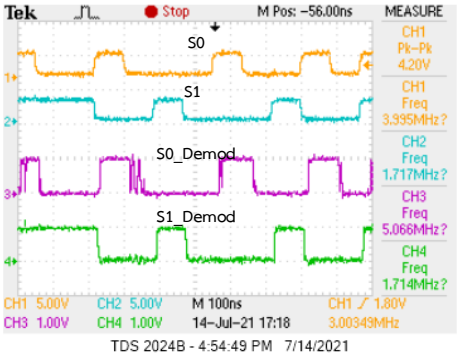



**(b)** ผลการทดสอบรูปที่ 6.67(a) ที่ time base 100ns

**รูปที่ 6.67** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 10Msymbols/s




**(a)** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 12Msymbols/s



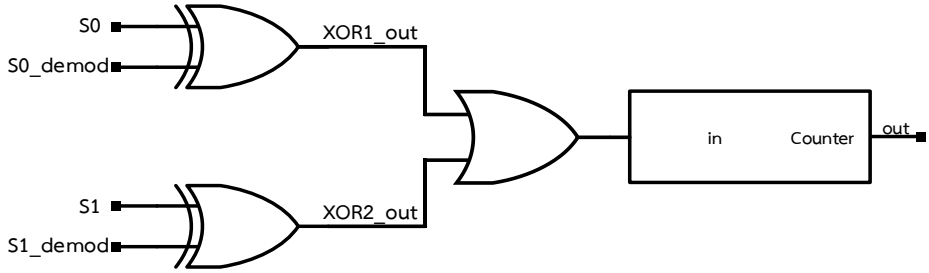

**(b)** ผลการทดสอบรูปที่ 6.68(a) ที่ time base 100ns

**รูปที่ 6.68** ผลการทดสอบวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูลที่ 12Msymbols/s

จากรูปที่ 6.67-6.69 เป็นผลการทดสอบที่ความถี่คลื่นพาห์ 61MHz และอัตราการส่งข้อมูล 5, 10 และ12Msymbols/s ส่วนต่อไปจะไปการออกแบบระบบการทดสอบ Bit Error Rate (BER) ของระบบการกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะทำการออกแบบด้วย FPGA

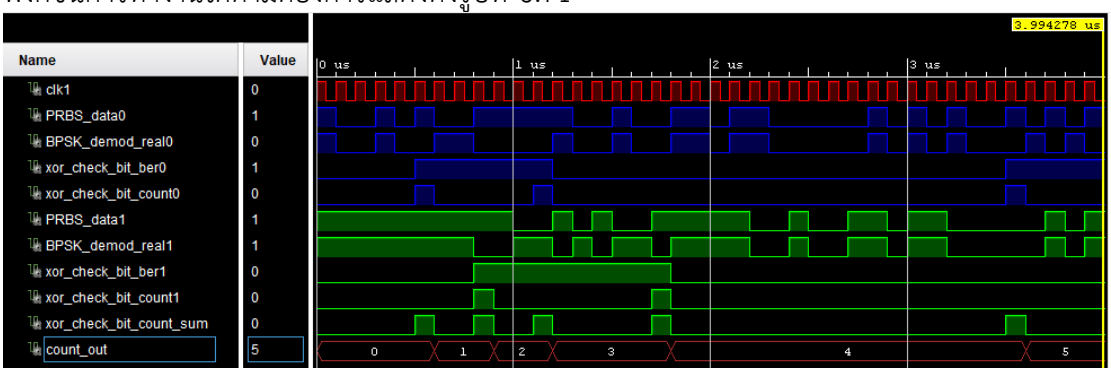
### 6.8.2 การทดสอบ Bit Error Rate (BER) ของระบบกู้คืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ด้วยการเขียน VHDL ลงบนบอร์ด FPGA โดยการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค จะพัฒนามาจากระบบกู้คืนสัญญาณบีพีเอสเค เนื่องจากระบบคิวพีเอสเค ประกอบด้วยสัญญาณข้อมูลบิต $S_0$ และสัญญาณข้อมูลบิต $S_1$ และสัญญาณกู้คืนสัญญาณคิวพีเอสเค จะประกอบด้วยสัญญาณกู้คืนข้อมูล $S_0$_demod และสัญญาณกู้คืนข้อมูล $S_1$_demod ดังนั้นจะต้องมีการเปรียบเทียบระหว่าง $S_0$ และ $S_0$_demod และ $S_1$ และ $S_1$_demod ซึ่งการเปรียบเทียบจะใช้โค้ด VHDL มาจากหัวข้อที่ 6.6.3 มาประยุกต์ใช้สามารถแสดงแนวคิดของการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเคดังรูปที่ 6.70



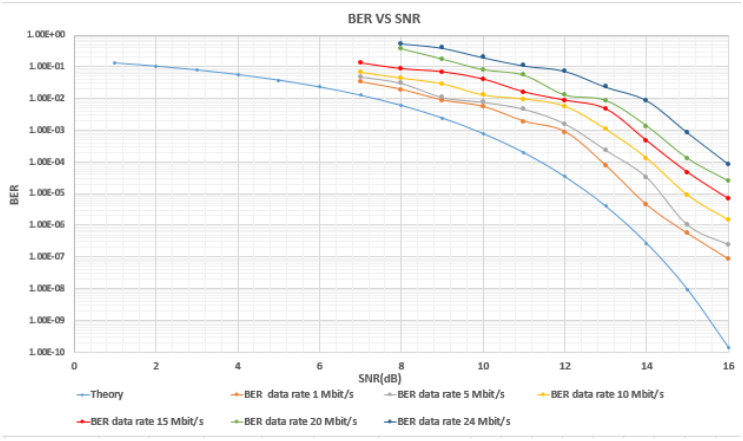

**รูปที่ 6.70** แนวคิดสำหรับการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากแนวคิดรูปที่ 6.70 นำมาเขียน VHDL เพื่อสร้างวงจรตามแนวคิดรูปที่ 6.70 โดยจะนำโค้ดในหัวข้อที่ 6.6.3 มาประยุกต์ใช้ และเพิ่ม or gate เข้าไปโดยจะทำการจำลองด้วย test bench เพื่อตรวจสอบฟังก์ชันการทำงานได้ตามต้องการแสดงดังรูปที่ 6.71

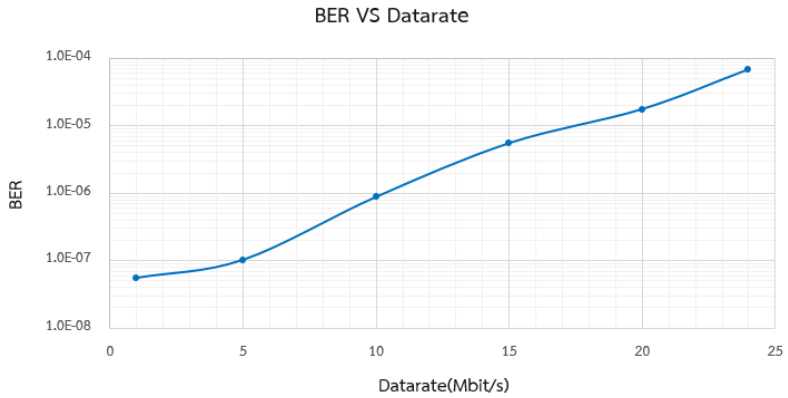



**รูปที่ 6.69** การจำลองและผลการจำลองฟังก์ชันของแนวคิด BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากโค้ด VHDL ที่ได้จำลองรูปที่ 6.71 การเปรียบเทียบระหว่างสัญญาณ PRBS_data0 และสัญญาณ BPSK_demod_real0 โดยสามารถตรวจสอบจำนวนบิตที่ผิดพลาดจากสัญญาณ xor_check_bit_count0 โดยพบว่ามีจำนวนบิตที่ผิดจำนวน 3 บิต และการเปรียบเทียบระหว่างสัญญาณ PRBS_data1 และสัญญาณ BPSK_demod_real1 สามารถตรวจสอบจำนวนบิตที่ผิดพลาดจากสัญญาณ xor_check_bit_count1 โดยพบว่ามีจำนวนบิตที่ผิดจำนวน 2 บิต และจำนวนบิตผิดพลาดทั้งหมดของการเปรียบเทียบสัญญาณทั้งสองบิตสามารถตรวจสอบจาก xor_check_bit_count_sum ซึ่งมีจำนวนบิตผิดพลาดทั้งหมด 5 บิต และนำวงจรนับมานับจำนวนบิตผิดพลาดของสัญญาณ xor_check_bit_count_sum ซึ่งสามารถแสดงเอาท์พุทของวงจรนับแสดงดังสัญญาณ count_out และนำสัญญาณ count_out ไปเป็นค่าคงที่สำหรับการหารความถี่เพื่อแสดงความถี่เอาท์พุทออกมาเพื่อสามารถทราบจำนวนบิตผิด สามารถแสดงผลการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยจะทำการทดสอบบน chip เหมือนกับการทดสอบ BER ในหัวข้อ 6.6.4 ดังนั้นผลการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอส สามารถแสดงดังรูปที่ 6.72




**(a)** ผลการทดสอบ BER ที่อัตราการส่งข้อมูลค่าต่างๆ และ SNRที่ช่วง 7dB ถึง 16dB




**(b)** ผลการทดสอบ BER เปรียบเทียบกับอัตราการส่งข้อมูล แกนY logarithmic scale

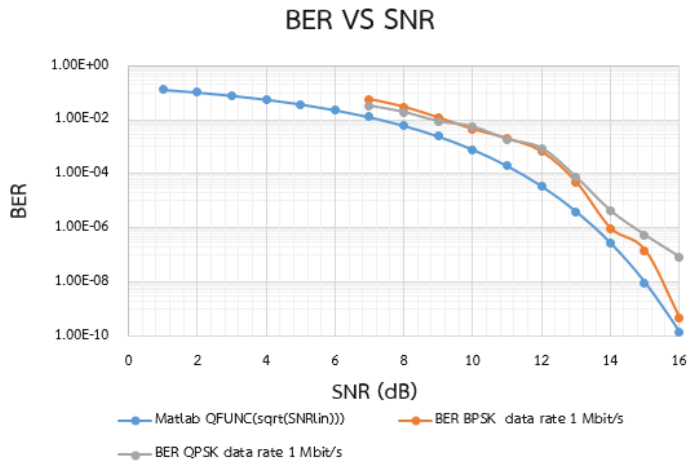
**รูปที่ 6.70** ผลการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากรูปที่ 6.72 เป็นผลการทดสอบ BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยผลการทดสอบที่ได้จะนำไปเปรียบเทียบกับระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่อัตราการส่งข้อมูลค่าเดียว สำหรับการเปรียบเทียบพารามิเตอร์ และกราฟการเปรียบเทียบ รวมทั้งตารางการเปรียบเทียบจะกล่าวในหัวข้อถัดไปซึ่งจะเป็นการสรุปประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอส และคิวพีเอสเค แบบเฟสเดียว ลุปเดียว บนพื้นฐานเฟสล็อกลูป

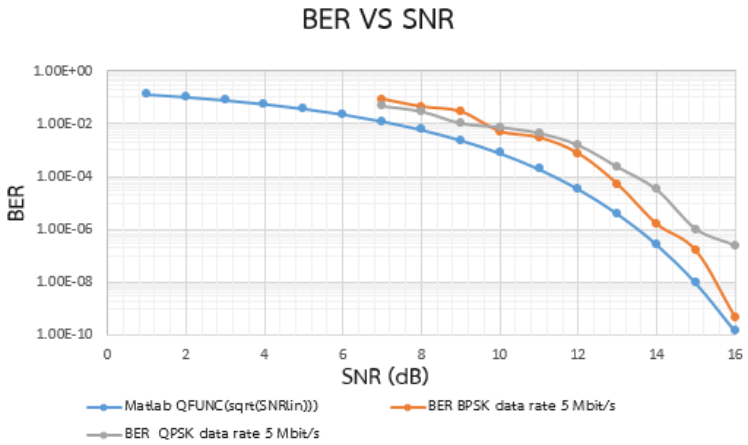
## 6.9 ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

### 6.9.1 BER

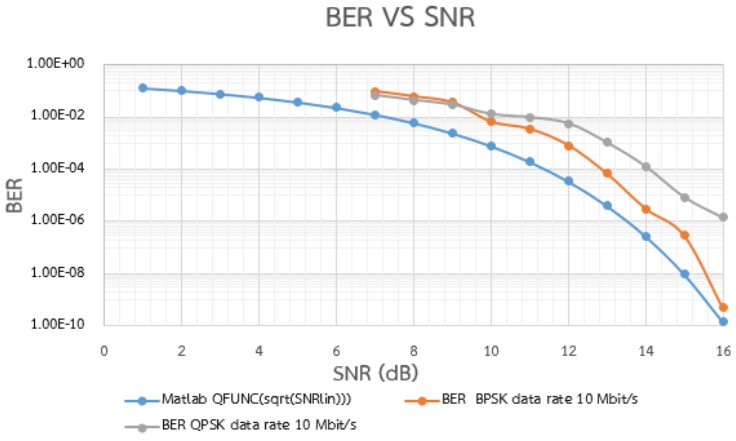
สำหรับหัวข้อนี้จะแสดงประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป จะนำเสนอการเปรียบเทียบผลการทดสอบ BER ที่อัตราการส่งข้อมูลเดียวกันระหว่างระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค สามารถแสดงผลการเปรียบเทียบดังรูปที่ 6.73



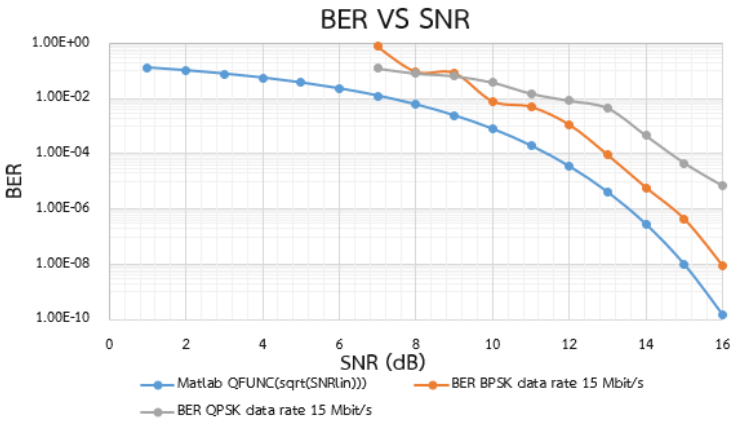

**(a)** ผลการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเคที่อัตราการส่งข้อมูล 1Mbit/s



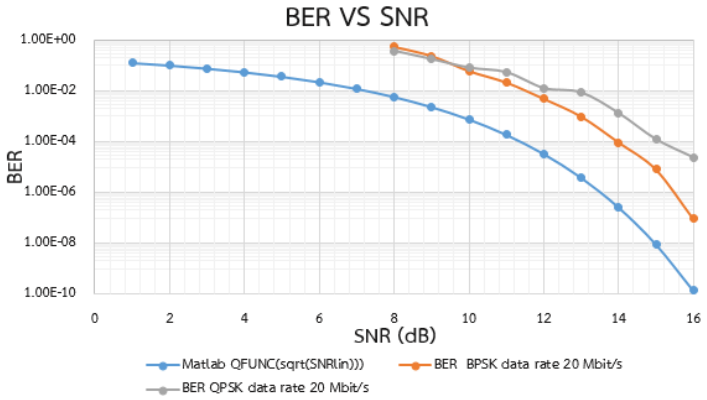

**(b)** ผลการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเคที่อัตราการส่งข้อมูล 5Mbit/s




**(c)** ผลการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเคที่อัตราการส่งข้อมูล 10Mbit/s



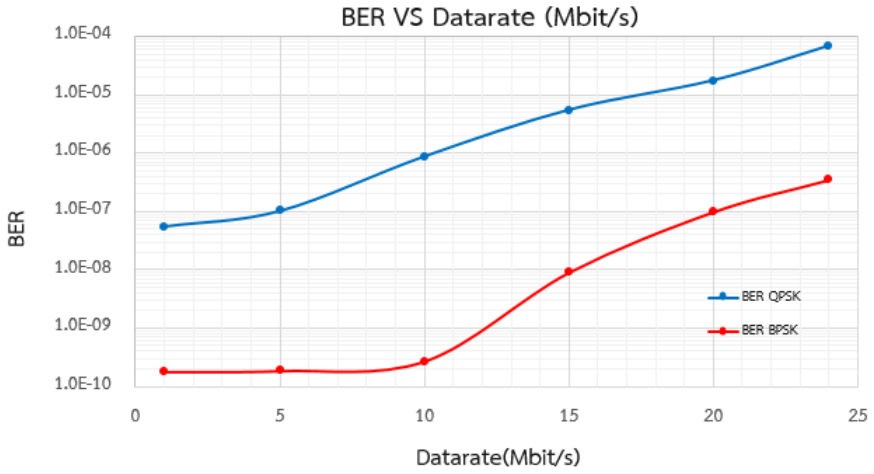

**(d)** ผลการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเคที่อัตราการส่งข้อมูล 15Mbit/s




**(e)** ผลการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเคที่อัตราการส่งข้อมูล 20Mbit/s

**รูปที่ 6.71** การเปรียบเทียบผลการทดสอบ BER ของระบบของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค

จากการเปรียบเทียบผลการทดสอบ BER ของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค ซึ่งพบว่าผลการทดสอบ BER ของระบบทั้งสองมีค่าใกล้เคียงกัน ส่วนต่อไปจะทำการเปรียบเทียบกราฟของระหว่าง BER และอัตราการส่งข้อมูลของระบบกู้คืนสัญญาณบีพีเอส และสัญญาณคิวพีเอสเคสามารถแสดงดังรูปที่ 6.74




**รูปที่ 6.72** การเปรียบเทียบผลการทดสอบ BER และอัตราการส่งข้อมูล ของระบบของระบบกู้คืนสัญญาณบีพีเอสเค และระบบกู้คืนสัญญาณคิวพีเอสเค

จากรูปที่ 6.73 และรูปที่ 6.74 เป็นการเปรียบเทียบ BER ของระบบกู้คืนสัญญูบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป โดยส่วนต่อไปจะเป็นการวัด power consumption ของระบบทั้งแบบบีพีเอสเค และคิวพีเอสเค ที่อัตราการส่งข้อมูล 5Mbit/s, 10Mbit/s, 15Mbit/s, 20Mbit/s แล25Mbit/s

### 6.9.2 Power Consumption

สำหรับหัวข้อนี้จะเป็นการแสดง power consumption ของนะบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว บนพื้นฐานเฟสล็อกลูป สามารถแสดงตารางของ power consumption ดังตารางรูปที่ 6.75

| Performance | Data rate (Mbit/s) | Simulation | | IC Test | |
|---|---|---|---|---|---|
| | | BPSK | QPSK | BPSK | QPSK |
| Power Consumption | 5 | 1.412mW | 1.628mW | 1.524mW | 1.745mW |
| | 10 | 1.457mW | 1.654mW | 1.576mW | 1.781mW |
| | 15 | 1.501mW | 1.697mW | 1.618mW | 1.832mW |
| | 20 | 1.547mW | 1.734mW | 1.649mW | 1.874mW |
| | 25 | 1.589mW | 1.763mW | 1.679mW | 1.920mW |

**รูปที่ 6.73** Power Consumption ของระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

จากรูปที่ 6.75 เป็นการทดสอบกำลังงานที่ใช้ไปทั้งหมดของ IC ขณะที่ IC สามารถที่จะกู้คืนสัญญาณบีพีเอสเค แลคิวพีเอสเค แบบเฟสเดียว ลูปเดียว ที่อัตราการส่งข้อมูล 5Mbit/s, 10Mbit/s, 15Mbit/s, 20Mbit/s และ20Mbit/s ที่ความถี่คลื่นพาห์ 60MHz สำหรับระบบบีพีเอสเค และความถี่คลื่นพาห์ที่ 62 MHz สำหรับระบบคิวพีเอสเค

## 6.10 สรุป

สำหรับบทนี้จะเป็นการทดสอบ IC ที่ได้ออกแบบในบทที่ 5 รวมทั้งขั้นตอนการทดสอบประสิทธิภาพที่ต้องใช้บอร์ด FPGA มาช่วยในการสร้างสัญญาณมอดูเลต และสร้างระบบทดสอบ BER ของระบบ โดยระบบกู้คืนสัญญาณบีพีเอสเคมีช่วงความถี่ล็อกที่ 57MHz-64MHz ที่อัตราการส่งข้อมูล 12Mbit/s และสามารถกู้คืนสัญญาณที่อัตราการส่งข้อมูลสูงสุด 25Mbit/s และระบบกู้คืนสัญญาณคิวพีเอสช่วงความถี่ล็อกที่ 61MHz-63MHz ที่อัตราการส่งข้อมูล 5Msymbols/s และสามารถกู้คืนสัญญาณที่อัตราการส่งข้อมูลสูงสุด 12Msymbols/s โดยสามารถแสดงตารางสรุปประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค และคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปดังรูปที่ 6.76

| Parameters | BPSK | | QPSK | |
|---|---|---|---|---|
| | min | max | min | max |
| Datarate | 1Mbit/s | 25Mbit/s | 0.5Mbit/s | 25 Mbit/s |
| Lock range(MHz) | 2.5 | 10 | 5 | 2 |
| Power(mW) | 1.441 | 1.679 | 1.589 | 1.920 |
| FoM(pJ/bit) | 67.16 | 1,441 | 80 | 1,589 |
| BER | $1.78\times10^{-10}$ | $3.47\times10^{-7}$ | $2.88\times10^{-10}$ | $5.5\times10^{-7}$ |
| Supply voltage | 1.75 | 1.85 | 1.75 | 1.85 |

**รูปที่ 6.74** ประสิทธิภาพของระบบกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

## 6.11 เอกสารอ้างอิง

[1] P. J. Ashenden, The Designer’s Guide to VHDL, 3rd ed., Morgan Kaufmann, 2008

[2] M. D. Ciletti, Advanced Digital Design with the Verilog HDL, 2nd ed., Prentice Hall, 2010

[3]. J. M. Rabaey, Digital Integrated Circuits, 2nd ed., Prentice Hall, 2002.

[4] https://www.fpga4student.com/p/vhdl-project.html

[5] M. D. Ciletti, Starter’s Guide to Verilog 2001, Prentice Hall, 2003

[6]https://www.maximintegrated.com/en/design/partners-and-technology/design-technology/ground-layout-board-designers.html

# บทที่ 7
# สรุปผลการวิจัย ปัญหาและข้อเสนอแนะ

## 7.1 สรุปผลการวิจัย

สำหรับบทนี้จะกล่าวถึงบทสรุปงานวิจัยที่ได้ศึกษาค้นคว้า โดยจะกล่าวถึงจุดประสงค์ของงานวิจัย, แนวคิด และหลักการที่ใช้ในงานวิจัย, ผลการศึกษา และผลการทดสอบงานวิจัย, ปัญหาและอุปสรรคของงานวิจัย

## 7.2 จุดประสงค์ของงานวิจัย

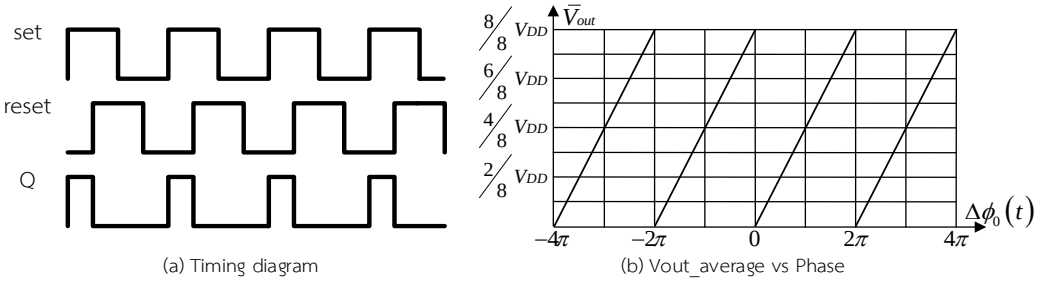
สำหรับจุดประสงค์ของงานวิจัยจะเป็นแนวคิดของระบบกู้คืนสัญญาณแบบดิจิตอลทางเฟส ที่เป็นทางเลือกที่มีโครงสร้างที่แตกต่างจากระบบคอสทาสลูป ซึ่งเป็นระบบกู้คืนสัญญาณดิจิตอลทางเฟสที่มีความถี่เอาท์พุทของ VCO เพียงเฟสเดียว จุดประสงค์ของงานวิจัยสามารถแสดงหัวข้อดังนี้

1. นำเสนอวงจรและระบบดีมอดูเลตสัญญาณ BPSK, QPSK เพื่อเป็นทางเลือกจากระบบคอสทาสลูป (Costas loop) ที่นิยมใช้กันอย่างแพร่หลาย โดยระบบที่นำเสนอควรจะมีประสิทธิภาพดีกว่าหรือเทียบเท่ากับระบบเดิม
2. เป็นระบบดีมอดูเลต BPSK, QPSK ที่มีความถี่เอาท์พุท VCO เพียงเฟสเดียว
3. เป็นระบบที่ modular

## 7.3 แนวคิด และหลักการที่ใช้ในงานวิจัย

เริ่มจากพิจารณาคุณลักษณะอุดมคติของความสัมพันธ์ระหว่างผลต่างเฟสของสัญญาณอินพุทแกนนอน $\Delta\phi(t)$ ซึ่งมีค่าตั้งแต่ 0 ถึง $2\pi$ เรเดียน กับแรงดันเฉลี่ยเอาท์พุทแกนตั้ง $kV_{DD}$ โดยที่ k มีค่าระหว่าง 0 ถึง 1ของ Positive-Edge Triggered RSFF โดยคุณลักษณะเหล่านี้จะต้องทำซ้ำทุกๆ $2\pi$ เรเดียน และสามารถแสดงคุณสมบัติเหล่านี้ด้วย timing diagram แสดงดังรูปที่ 7.1 ซึ่งคุณลักษณะของ RSFF จะมีความชันดังนี้

$$K_{PD} = \frac{V_{DD}}{2\pi} \tag{7.1}$$




(a) Timing diagram (b) Vout_average vs Phase

**รูปที่ 7.1** RS flip flop (rising-edge triggered)

โดยจากคุณลักษณะของ positive edge triggered RSFF สามารถที่จะสร้างวงจรกู้คืนสัญญาณบีพีเอสเค, คิวพีเอสเค และเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปตามที่กล่าวมาในบทที่ 3 สำหรับงานวิจัยนี้จะมีการใช้หลักการดึงแรงดันของวงจร PC ของโครงสร้างที่ใช้ในการทดสอบแบบ discrete แตกต่างกับโครงสร้างที่ออกแบบในวงจรรวมซีมอส 180nm

### 7.3.1 โครงสร้างที่ใช้ในการทดสอบแนวคิดบนวงจรแบบdiscrete

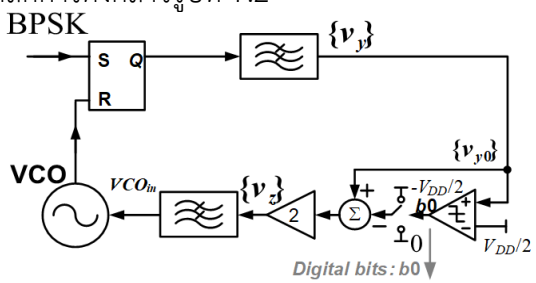
โดยแบบ discrete จะมีเพียงการดึงแรงดัน $\{V_y\}$ ที่มากกว่า $V_{DD}/2$ มาลบด้วยแรงดัน $V_{DD}/2$ สามารถเขียนสมการดังที่ (7.1)

$$\{v_z\} = 2\{v_y\},\ \ 0 \le \{v_y\} \le \frac{V_{DD}}{2} \qquad (7.1(a))$$

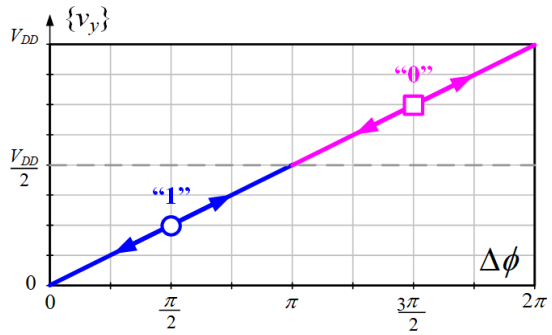
$$\{v_z\} = 2\left[\{v_y\} - \frac{V_{DD}}{2}\right],\ \ \frac{V_{DD}}{2} \le \{v_y\} \le V_{DD} \qquad (7.1(b))$$

#### 7.3.1.1 ระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling

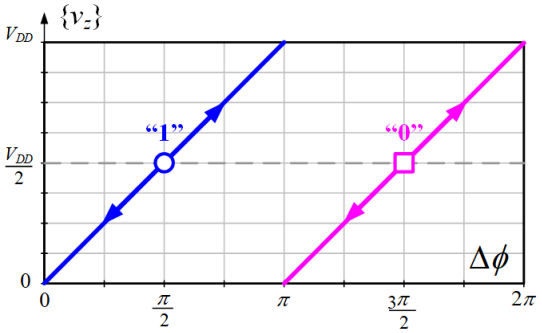
สมมติให้ symbol 0 ของสัญญาณมอดูเลต BPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่า $\Delta\phi(t) = 2\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 0 มีค่า $2V_{DD}/8$ และ symbol 1 มีผลต่างเฟส $\Delta\phi(t) = 6\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 1 มีค่า $6V_{DD}/8$ ซึ่งสัญญาณ symbol 0 และ symbol 1 มีผลต่างเฟสมีค่า $\Delta\phi(t) = 4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทมีค่า $4V_{DD}/8$ สำหรับวงจร PC จะประกอบด้วยวงจร comparator ที่มีแรงดันอ้างอิงมีค่า $4V_{DD}/8$ โดยเอาท์พุทของวงจร comparator จะทำการควบคุมสวิตช์ที่มีแรงดันดีซี 0 และ $4V_{DD}/8$ ซึ่งแรงดันดีซีนี้จะทำการลบกับสัญญาณดีมอดูเลต BPSK ดังนั้น symbol 0 จะมีเอาท์พุทของ comparator เป็นแรงดันระดับต่ำซึ่งจะไปควบคุมสวิตช์ที่เอาท์พุทมีค่าเป็น 0 เพื่อไปลบกับ $2V_{DD}/8$ ส่งผลให้เอาท์พุทของวงจร PC สำหรับ symbol 0 มีค่า $2V_{DD}/8$ และในทางกลับกัน symbol 1 จะมีเอาท์พุทของ comparator เป็นแรงดันระดับสูงซึ่งจะไปควบคุมสวิตช์ที่เอาท์พุทมีค่าเป็น $4\pi/8$ เพื่อไปลบกับ $6V_{DD}/8$ ส่งผลให้เอาท์พุทของวงจร PC สำหรับ symbol 1 มีค่า $2V_{DD}/8$ แต่กราฟคุณลักษณะของ VCO จะต้องมีค่าแรงดันอินพุทอยู่ในช่วง 0 ถึง $8V_{DD}/8$ ดังนั้นจึงมีวงจรขยายสัญญาณที่มีอัตราขยายมีค่าสองเท่าสามารถแสดงหลักการดังกล่าวรูปที่ 7.2




**(a)** โครงสร้างดีมอดูเลเตอร์ BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




**(b)** กราฟคุณลักษณะของ RSFF

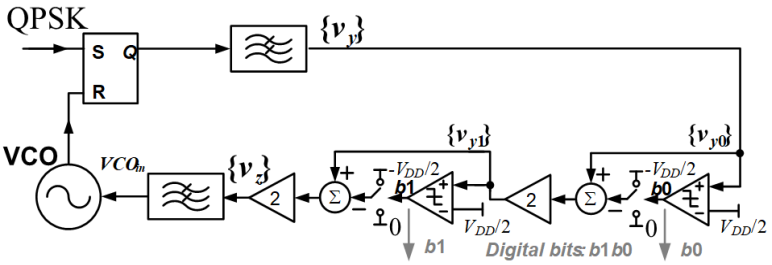



**(c)** กราฟคุณลักษณะของวงจร PC ที่มี RSFF เป็นตัวเปรียบเทียบเฟส

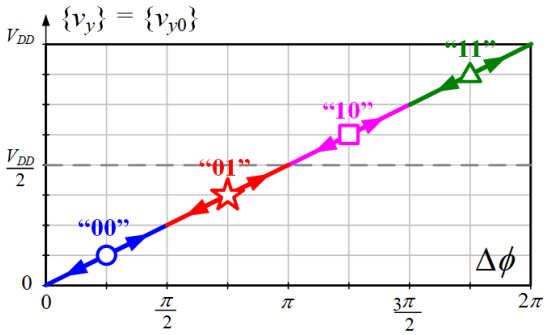
**รูปที่ 7.2** แนวคิดของดีมอดูเลชั่น BPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling

**7.3.1.2 ระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรม 2 วงจร**

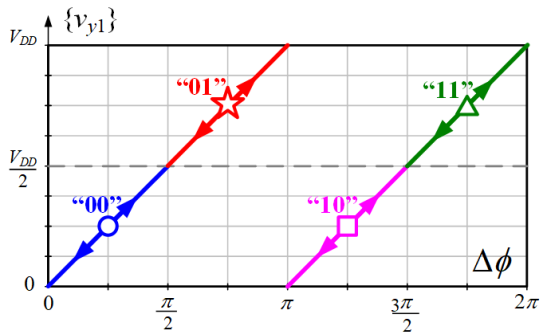
สำหรับดีมอดูเลเตอร์ QPSK สมมติ symbol 00 ของสัญญาณมอดูเลต QPSK มีผลต่างเฟสกับสัญญาณความถี่ VCO มีค่าอยู่ในช่วง $\Delta\phi(t) = 0$ to $2\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง $0$ to $2V_{DD}/8$ , symbol 01 มีค่าอยู่ในช่วง $\Delta\phi(t) = 2\pi/4$ to $4\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $2V_{DD}/8$ to $4V_{DD}/8$, symbol 11 มีค่าอยู่ในช่วง $\Delta\phi(t) = 4\pi/4$ to $6\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $6V_{DD}/8$ และ symbol 10 มีค่าอยู่ในช่วง $\Delta\phi(t) = 6\pi/4$ to $8\pi/4$ ซึ่งส่งผลให้มีระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $6V_{DD}/8$ to $8V_{DD}/8$ และเมื่อสัญญาณ symbol 00, 01, 11, และ10 ผ่านวงจร PC เหมือนรูปที่ 7.3(a) ดังนั้นระดับแรงดันเอาท์พุทของ symbol 00 มีค่าอยู่ในช่วง $0$ to $4V_{DD}/8$, ระดับแรงดันเอาท์พุทของ symbol 01 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$, ระดับแรงดันเอาท์พุทของ symbol 11 มีค่าอยู่ในช่วง $0$ to $4V_{DD}/8$ และระดับแรงดันเอาท์พุทของ symbol 10 มีค่าอยู่ในช่วง $4V_{DD}/8$ to $8V_{DD}/8$ แสดงในรูปที่ 3.13(c) และทำซ้ำด้วยวงจร PC แบบเดิมอีกครั้งส่งผลให้ระบบแรงดันของ symbol 00, 01, 11 และ10 มีแรงดันเอาท์พุทมีค่าอยู่ในช่วง $0$ to $8\pi/8$ แสดงในรูปที่ 7.3(d)



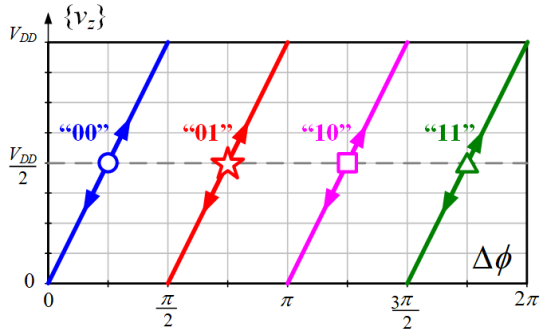

(a) โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(b) กราฟคุณลักษณะของ RSFF



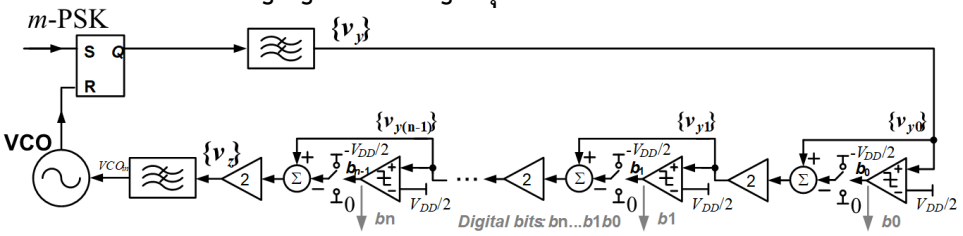

(c) กราฟคุณลักษณะของวงจร PC ชุดแรกที่มี RSFF เป็นตัวเปรียบเทียบเฟส




(d) กราฟคุณลักษณะของวงจร PC ชุดสองที่มี RSFF เป็นตัวเปรียบเทียบเฟส

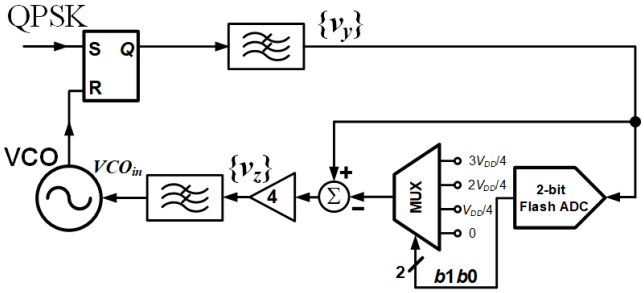
**รูปที่ 7.3** แนวคิดของดีมอดูเลชั่น QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม 2 วงจร

**7.3.1.3 ระบบกู้คืนสัญญาณเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรม m วงจร**

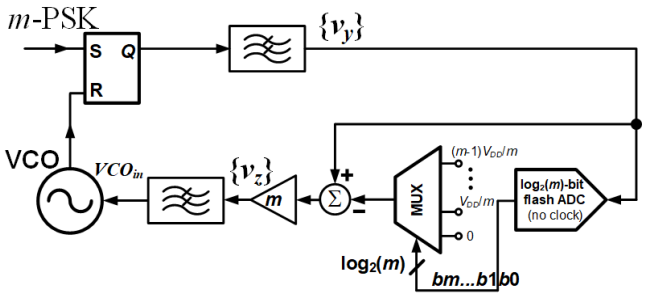



**รูปที่ 7.4** แนวคิดของดีมอดูเลชั่น m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมี PC แบบโครงสร้าง 1-bit sub-ranging/re-scaling ต่ออนุกรม m วงจร

**7.3.1.4 ระบบกู้คืนสัญญาณเอ็มพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ที่ใช้วงจร PC แบบ m-bit ADC และ multiplexer**




**(a)** โครงสร้างดีมอดูเลเตอร์ QPSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมีวงจร 2-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC




**(b)** โครงสร้างดีมอดูเลเตอร์ m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส และมีวงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC

**รูปที่ 7.5** แนวคิดของดีมอดูเลชั่น QPSK and m-PSK แบบลูปเดียวที่มี RSFF เป็นตัวเปรียบเทียบเฟส วงจร m-bit ADC และ Mux เป็นส่วนหนึ่งของวงจร PC

**7.3.2 โครงสร้างที่ใช้ในการทดสอบแนวคิดบนวงจรรวม UMC 180nm**

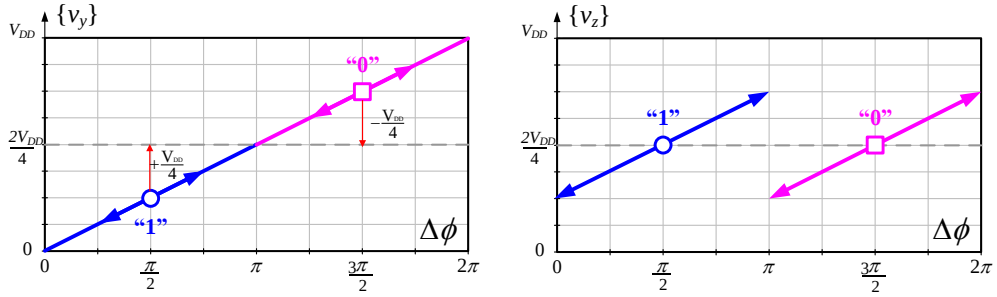
โดยแบบวงจรรวมจะมีทั้งการดึงขึ้น และดึงลงสำหรับการแนวคิดสามารถดูได้จากสมการที่ (7.2)

$$\{v_z\} = k\left\{v_y + \frac{V_{DD}}{4}\right\}, \quad 0 \le \{v_y\} \le \frac{V_{DD}}{2} \qquad (7.2(a))$$

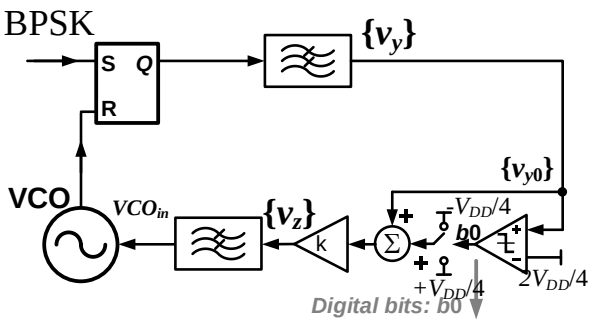
$$\{v_z\} = k\left[\{v_y\} - \frac{V_{DD}}{4}\right], \quad \frac{V_{DD}}{2} \le \{v_y\} \le V_{DD} \qquad (7.2(b))$$

**7.3.2.1 ระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling**

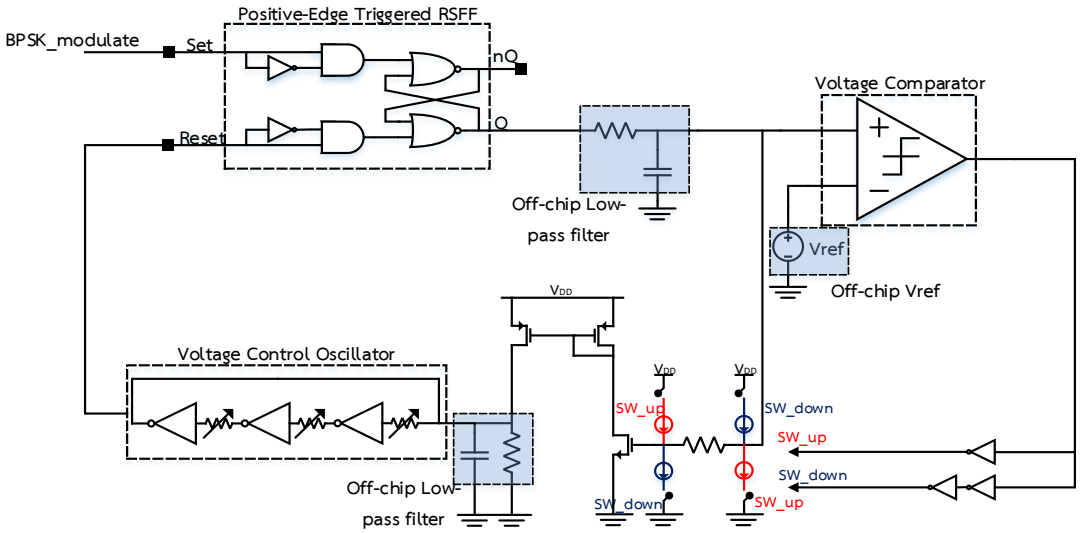
สำหรับบทนี้เทคนิคของการดึงขึ้นลงของแรงดัน $V_y$ จะใช้การเปรียบเทียบแรงดัน $V_y$ กับระดับแรงดันอ้างอิง $2V_{DD}/4$ และถ้าวงจรเปรียบเทียบแรงดันเอาท์พุทให้ค่าลอจิกเป็น 0 แรงดันอินพุท VCO หรือ $V_z = k\{V_y+(V_{DD}/4)\}$ และถ้าวงจรเปรียบเทียบแรงดันเอาท์พุทให้ลอจิก 1 แรงดันอินพุท VCO หรือ $V_z = k\{V_y+(-V_{DD}/4)\}$ สามารถแสดงแนวคิดการดึงขึ้นลงของสัญญาณ $V_y$ และสัญญาณ $V_z$ ดังรูปที่ 7.6(a) และบล็อกไดอะแกรมของวงจรการกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปดังรูปที่ 7.6(b)




(a) แนวคิดการดึงขึ้นลงแรงดัน $V_y$ และสัญญาณ $V_z$ ที่มีค่า K=1




(b) วงจรกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

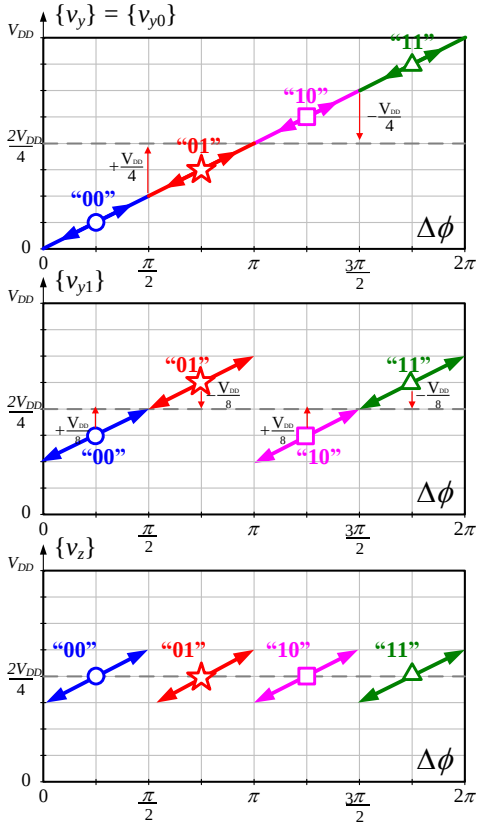



**(c)** สถาปัตยกรรมอย่างง่ายของวงจรรวมระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

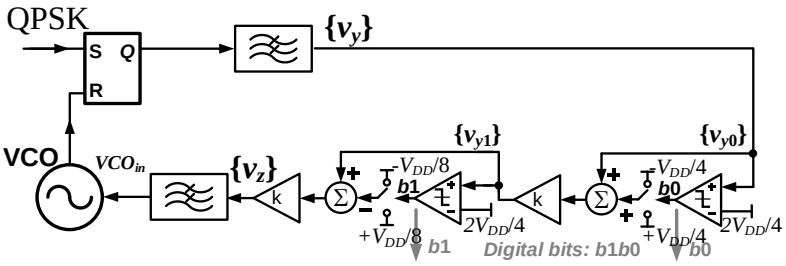
**รูปที่ 7.6** ระบบคืนสัญญาณบีพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

**7.3.2.2 ระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่มี PC แบบ 1-bit sub-ranging/re-scaling อนุกรมกัน 2วงจร**

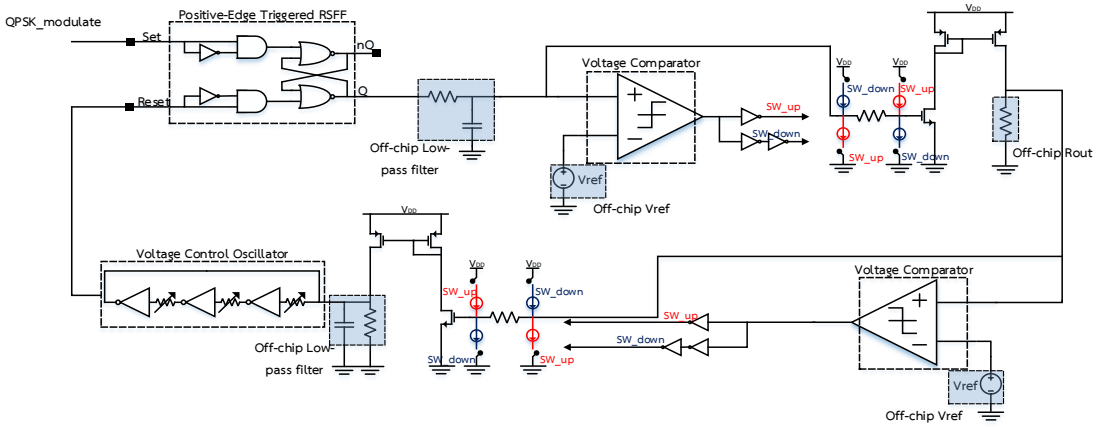
สำหรับสถาปัตยกรรมวงจรรวมของระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป จะแสดงดังรูปที่ 7.7(c) วงจรรวมจะเพิ่มวงจรเปรียบเทียบแรงดัน (Voltage Comparator) และวงจรปรับค่าแรงดันอย่างละหนึ่งวงจร โดยทั่วไปสามารถที่จะใช้วงจรรวมที่ได้ออกแบบของวงจรเปรียบเทียบแรงดัน และวงจรปรับค่าแรงดันจากระบบคืนสัญญาณบีพีเอสเค ดังนั้นแนวคิดนี้จึงมีความสะดวกในการเพิ่มจำนวนบิตของข้อมูล สำหรับรูปที่ 7.7(a) สัญญาณ $V_{y0}$ เปรียบเทียบกับแรงดันอ้างอิง $2V_{DD}/4$ เมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 0 แรงดัน $V_{y1} = k\{(V_{y0}+(V_{DD}/4)\}$ และเมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 1 แรงดัน $V_{y1} = k\{(V_{y0}+(-V_{DD}/4)\}$ และกระบวนการต่อไปนำสัญญาณ $V_{y1}$ เปรียบเทียบกับแรงดันอ้างอิง $2V_{DD}/4$ เมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 0 แรงดัน $V_z = k\{(V_{y1}+(V_{DD}/8)\}$ และเมื่อเอาท์พุทของวงจรเปรียบเทียบแรงดันเป็นลอจิก 1 แรงดัน $V_z = k\{(V_{y1}+(-V_{DD}/8)\}$ โดยแรงดัน $V_z$ จะมีเพียงระดับแรงดันเดียวซึ่งจะเป็นแรงดันอินพุทของ VCO สามารถแสดงแนวคิดของสัญญาณแรงดัน $V_{y0}$, สัญญาณแรงดัน $V_{y1}$ และสัญญาณแรงดัน $V_z$ แสดงดังรูปที่ 7.7(a) และบล็อกไดอะแกรมของวงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป




(a) แนวคิดการดึงขึ้นลงแรงดัน $V_{y0}$, $V_{y1}$ และสัญญาณ $V_z$ ที่มีค่า K=1




(b) วงจรกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป




(c) สถาปัตยกรรมอย่างง่ายของวงจรรวมระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

**รูปที่ 7.7** ระบบคืนสัญญาณคิวพีเอสเค เฟสเดียว ลูปเดียว บนหลักการเฟสล็อกลูป

## 7.4 ผลการวิจัย และผลการทดสอบ

### 7.4.1 สรุปแบบ discrete

| | BPSK | QPSK | | 8-PSK |
|---|---|---|---|---|
| | With 1 stage of 1-bit sub-ranging step | With 2 stages of 1-bit sub-ranging step | With 1 stage of 2-bit flash sub-ranging step | With 1 stage of 3-bit flash sub-ranging step |
| Carrier freq.:<br>+Tuning (Lock) range<br>+Capture range | <br>101.75-124.75kHz<br>102.50-123.90kHz | <br>110.40-117.30kHz<br>110.80-116.70kHz | <br>117.40-123.30kHz<br>118.80-122.70kHz | <br>111.80-115.90kHz<br>112.45-114.70kHz |
| Max. data rate | 40kbps | 20ksymb/s = 40kbps | 20ksymb/s = 40kbps | 13ksymb/s = 39kbps |
| Power cons. | 140mW | 156mW | 160mW | 192mW |

**ตารางที่ 7-1** สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค และ8-PSK ที่ไฟเลี้ยง 5 V

### 7.4.2 สรุปแบบวงจรรวม UMC 180nm

| Parameters | BPSK | | QPSK | |
|---|---|---|---|---|
| | min | max | min | max |
| Datarate | 1Mbit/s | 25Mbit/s | 0.5Msymbol/s | 12 Msymbol/s |
| Lock range(MHz) | 2.5 | 10 | 5 | 2 |
| Power(mW) | 1.441 | 1.679 | 1.589 | 1.920 |
| FoM(pJ/bit) | 67.16 | 1,441 | 80 | 1,589 |
| BER | $1.78\times10^{-10}$ | $3.47\times10^{-7}$ | $2.88\times10^{-10}$ | $5.5\times10^{-7}$ |
| Supply voltage | 1.75 | 1.85 | 1.75 | 1.85 |

**ตารางที่ 7-2** สรุปประสิทธิภาพของ บีพีเอสเค ,คิวพีเอสเค ที่ไฟเลี้ยง 1.8 V

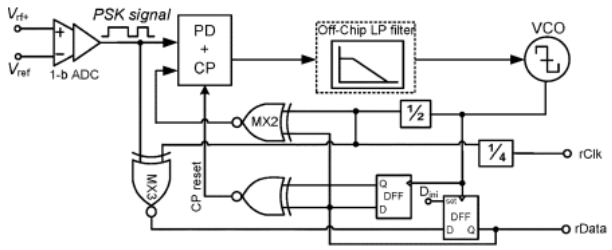
### 7.4.3 ตารางเปรียบเทียบงานวิจัยของวงจรรวม UMC 180nm กับงานวิจัยอื่นๆ

| Reference | JSSC'11[4] | JSSC'15[3] | JSSC'18[2] | JSSC'20 [1] | This work | |
|---|---|---|---|---|---|---|
| Modulation | BPSK | BPSK | BPSK | BPSK | BPSK | QPSK |
| process | 0.35um | 0.13um | 0.18 | 0.18 | 0.18 | 0.18 |
| Supply volage | 1 | 1.2 | 2 | 0.9 | 1.8 | 1.8 |
| Carrier $f_c$ (MHz) | 0.256 | 21 | 13.56 | 13.56 | 60 | 62 |
| VCO's Phase | 0 | 0'90 | 0 | 0,90 | 0 | 0 |
| techniques | Vapture and restore the required clock and data | Costas loop | PLL-based-edge detection | Delay-based, ALL-Digital coherent | Single phase, Single loop PLL-Based coherent | |
| Data rate (Mb/s) | 0.325 | 1.3125 | 0.211 | 13.56 | 25 | 24 |
| Clocks per symbol | 8 | 16 | 64 | 1 | 2.4 | 2.58 |
| DRCF ratio (%) | 12.5 | 6.25 | 1.56 | 100 | 41.67 | 38.7 |
| Power (uW) | 1.76 | 2000 | 2.17 | 12.2 | 1679 | 1920 |
| BER | N/A | N/A | $<10^{-5}$ | $<10^{-6}$ | $<4x10^{-7}$ | $<6x10^{-7}$ |
| FoM (pJ/bit) | 55 | 1524 | 1027 | 0.9 | 67.16 | 80 |

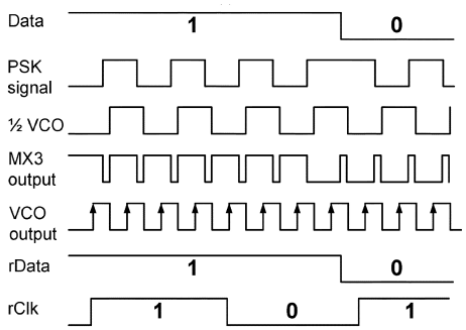
**ตารางที่ 7-3** ตารางเปรียบเทียบประสิทธิภาพของงานที่ทำการวิจัยกับผลงานวิจัยอื่นๆ

จากตารางที่ 7-3 เปรียบเทียบประสิทธิภาพของวิทยานิพนธ์ กับงานที่เกี่ยวข้องก่อนหน้าในเทคนิคที่แตกต่างกันออกไปต่อไปจะเป็นการอธิบายถึงข้อเด่น และข้อด้อยของเทคนิค Single phase, Single loop PLL-Based กับเทคนิคที่แตกต่างออกไปในตารางที่ 7-3

(I) เริ่มพิจารณา JSSC'11[4] เป็นระบบบีพีเอสเคดีมอดูเลเตอร์ที่อยู่บนพื้นฐานของเฟสล็อกลูป (PLL) ที่ใช้เทคนิค capture and restore the required clock and data โดยมีโครงสร้างดังรูปที่7.8 ซึ่งพบว่าระบบจะต้องมีสัญญาณความถี่ของ VCO เป็นสองเท่าของสัญญาณคลื่นพาห์ และมีวงจร 1-bit ADC และมีวงจรหารความถี่ 2 และ 4 ซึ่งส่วนนี้ก็ต้องการความแม่นยำ



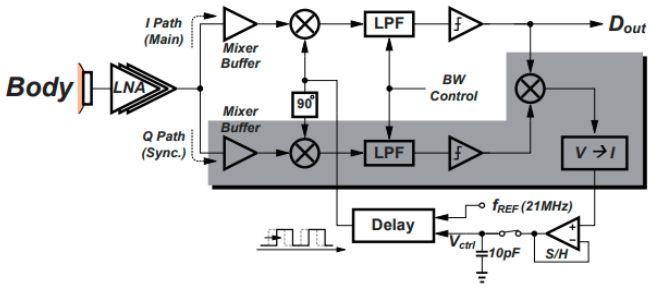

**(a)** BPSK demodulator with the PLL technique




**(b)** Relative operation

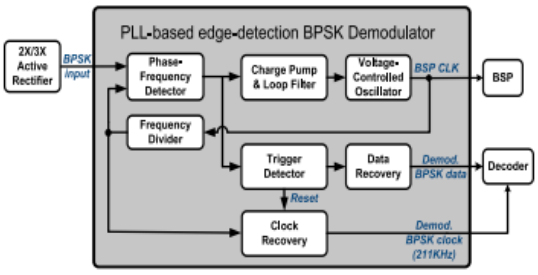
**รูปที่ 7.8** โครงสร้าง และสัญญาณของระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค capture and restore the required clock and data

(II) เริ่มพิจารณา JSSC'15[3] เป็นระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิคคอสทาสลูปซึ่งเป็นระบบที่มีสองลูป และมีวงจร Voltage Controlled Quadrature Oscillator และมีวงจรคูณที่ต้องการความเป็นเชิงเส้นที่สูงดังรูปที่7.9




**รูปที่ 7.9** ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Costas Loop

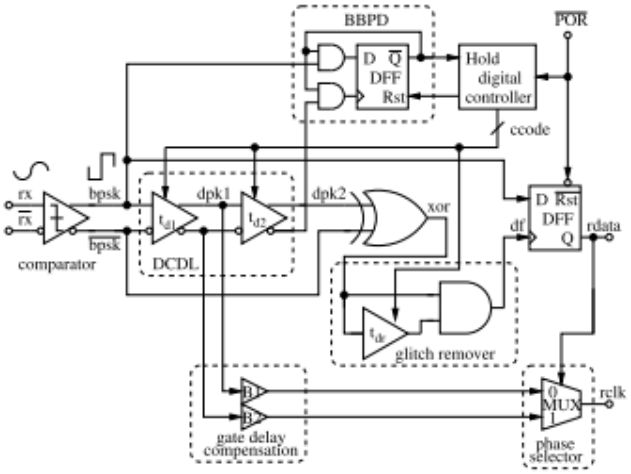
(III) เริ่มพิจารณา JSSC'18[2] เป็นระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค PLL-based-edge detector จะต้องมีวงจรหารความถี่ 64 และใช้ phase detector แบบ phase frequency detector และ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ charge pump ดังแสดงรูปที่7.10 ซึ่งวงจรค่อนค้างจะซับซ้อน และค่อนข้างยากในการต่อยอดไปเป็นระบบที่สูงขึ้นแบบคิวพีเอส




**รูปที่ 7.10** ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค PLL-based-edge detector

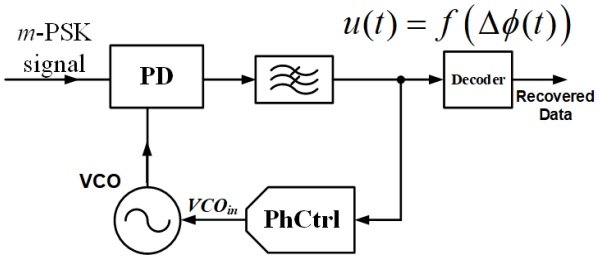
(IV) เริ่มพิจารณา JSSC'20[1] เป็นระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Delay-based, ALL-Digital coherent จะต้องมีวงจรเปรียบเทียบแรงดัน ที่มีอินพุทสัญญาณคลื่นพาห์แบบ 0 และ 180 องศา และส่วนสำคัญต้องมีส่วนของการ delay เวลาที่ค่า ¼ คาบ ซึ่งต้องการความแม่นยำ โดยส่วนนี้

ค่อยข้างที่จะออกแบบได้ยาก ซึ่งวงจรค่อนค้างจะซับซ้อน และค่อนข้างยากในการต่อยอดไปเป็นระบบที่สูงขึ้นแบบคิวพีเอสดังรูปที่7.11




**รูปที่ 7.11** ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Delay-based, ALL-Digital coherent

(V) พิจารณาวิทยานิพนธ์เป็นบีพีเอสเคแบบเฟสเดี่ยว ลูปเดียว บนหลักการเฟสล็อคลูป ซึ่งจะมี $VCO_{out}$ แบบเฟสเดียว และมีความเป็นมอดูลาร์สามารถที่จะต่อยอดเป็นคิวพีเอสเค และ 8-PSK ดีมอดูเลเตอร์ได้ดังรูปที่7.12




**รูปที่ 7.12** ระบบบีพีเอสเคดีมอดูเลเตอร์ที่ใช้เทคนิค Single phase, Single loop PLL-Based coherent

จากการอธิยาย และแสดงเทคนิคแต่ละแบบสามารถที่จะทำการสรุปทางเลือกของแต่ละเทคนิคที่จะเลือกใช้สำหรับความต้องการประสิทธิภาพด้านต่างๆโดยพิจารณาร่วมกับตารางที่ 7-3 สามรถแสดงดังตารางที่7-4

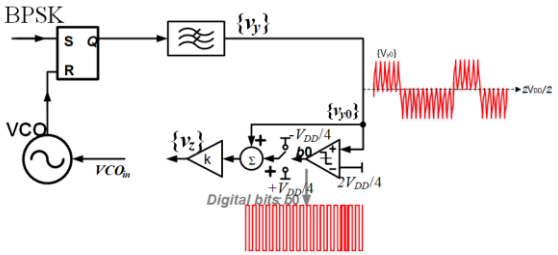
| Reference | JSSC'11[4] | JSSC'15[3] | JSSC'18[2] | JSSC'20 [1] | This work |
|---|---|---|---|---|---|
| techniques | Capture and restore the required clock and data | Costas loop | PLL-based-edge detection | Delay-based, ALL- Digital coherent | Single phase, Single loop PLL-Based coherent |
| DRCF ratio > 35% | × | ✓ | × | ✓ | ✓ |
| Low Voltage | ✓ | × | × | ✓ | × |
| VCO's single phase | ✓ | × | ✓ | × | ✓ |
| modular | × | × | × | × | ✓ |

**ตารางที่ 7-4** ตารางข้อเด่นข้อด้อยของเทคนิคในตารางที่ 7-3

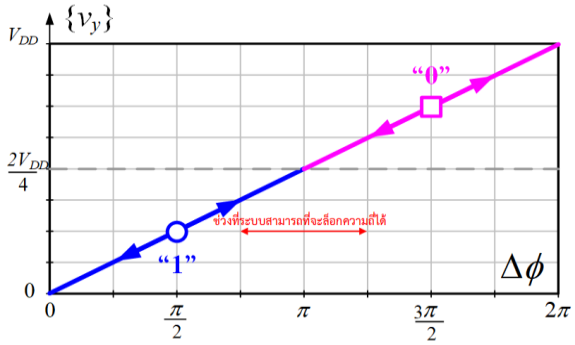
จากตารางที่ 7-4 แสดงข้อเด่นข้อด้อยของแต่ละเทคนิคในเปเปอร์ตารางที่7-3 โดยทำการพิจารณาอัตราการส่งข้อมูลซึ่งได้มาจากประสิทธิภาพที่นำเสนอมาในเปเปอร์นั้น ส่วน Low Voltage พิจารณาจากเทคนิคที่นำเสนอซึ่งเทคนิคที่มีวงจร Digital จะเหมาะสมกับ Low Voltage ส่วน VCO's single phase ที่แสดงตามที่นำเสนอในเปเปอร์นั้น สำหรับเทคนิค Costas Loop และ Delay-based, ALL-Digital Coherent จะใช้ VCO เฟส 0 และ 90 องศา และที่เป็นจุดเด่นของเทคนิค Single phase, Single loop PLL-Based coherent จะมีความเป็น modular ที่สามารถทำ M-PSK ได้

**7.5 ปัญหา**

จากรูปที่ 7.13(a) จะพบว่าอัตราการส่งข้อมูลที่มีความถี่ใกล้เคียงกับสัญญาณคลื่นพาห์ ส่งผลให้สัญญาณความถี่สูงลดทอนลงไปได้น้อยส่งผลให้เอาท์พุทของวงจรเปรียบเทียบแรงดันมีความผิดพลาด ส่วนรูปที่ 7.13(b) การที่แรงดันดีซีอ้างอิงมีค่า $V_{DD}/2$ ส่งผลให้ค่าผลต่างเฟสระหว่างอินพุทของวงจร positive edge triggered RSFF สามารถทำงานได้ช่วง $\frac{3\pi}{4}$ ถึง $\frac{5\pi}{4}$ ส่งผลต่อช่วงความถี่ล็อกของระบบกู้คืนสัญญาณพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป ส่วนต่อไปจะเป็นแนวทางในการแก้ไขปัญหาที่เกิดขึ้นของรูปที่ 7.13




**(a)** ปัญหาที่เกิดขึ้นเมื่ออัตราการส่งข้อมูลใกล้เคียงกับสัญญาณคลื่นพาห์

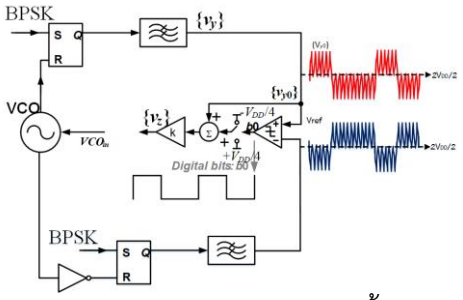



**(b)** ช่วงผลต่างเฟสที่ความถี่สามารถล็อกได้

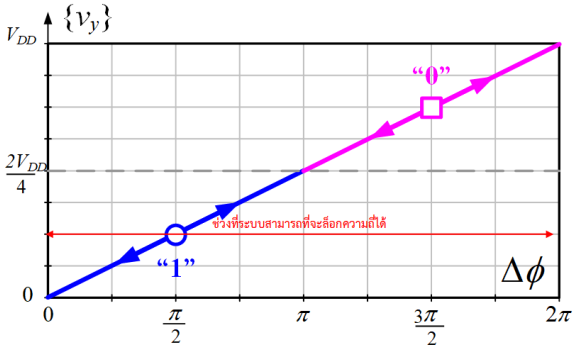
**รูปที่ 7.13** ปัญหาที่เกิดขึ้นจากแนวคิดของกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

**7.6 แนวทางในการแก้ไขปัญหา**

(I) สำหรับแนวทางการแก้ไขปัญหาจะเปลี่ยนแรงดันดีซีอ้างอิง $V_{DD}/2$ แทนด้วยสัญญาณเอาท์พุทของวงจรกรองสัญญาณความถี่ต่ำผ่านหลังวงจร positive edge triggered RSFF ที่มีความถี่เอาท์พุทของ VCO มีเฟสต่างไป 180 องศาของ VCO ตัวหลักในระบบสามารถแสดงแนวคิดของระบบดังรูปที่ 7.14



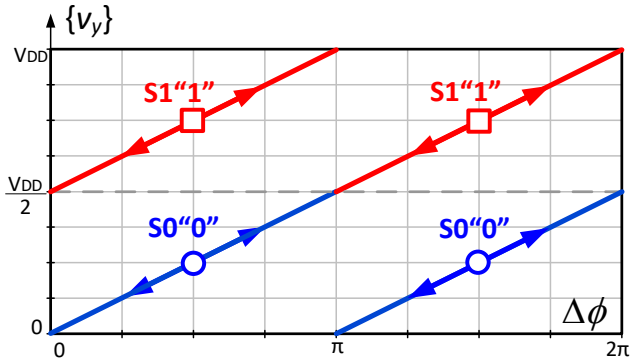

**(a)** ระบบกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปที่แก้ปัญหาในรูปที่ 7.11



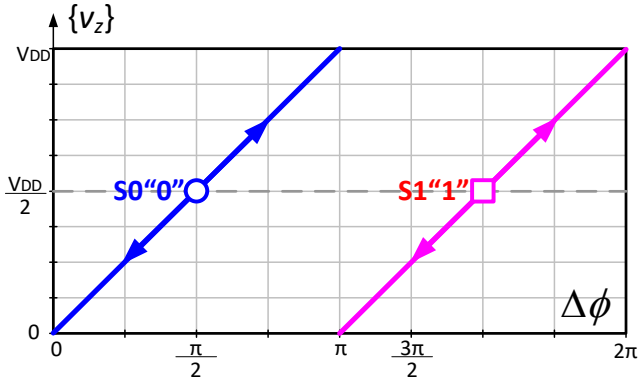

**(b)** ผลต่างเฟสระหว่างอินพุทของวงจร positive edge triggered RSFF สามารถทำงานได้

**รูปที่ 7.14** แนวทางแก้ปัญหาที่เกิดขึ้นจากแนวคิดของกู้คืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูปรูป

(II) สำหรับวิทยานิพนธ์จะเน้นด้านที่วงจร VCO มีเอาท์พุทเพียงเฟสเดียว อย่างไรก็ตามสามารถที่จะทำการปรับปรุง และพัฒนาด้วยการเพิ่มลูปของระบบดีมอดูเลเตอร์ด้วยการเพิ่มเฟสของ VCO และลูปของระบบดีมอดูเลเตอร์เพื่อแก้ปัญหาที่เกิดขึ้นของระบบเฟสเดียวที่มีวงจรเปรียบเทียบแรงดัน โดยสามารถที่จะแสดงกราฟ phase controlledของระบบบีพีเอสเคดีมอดูเลเตอร์แบบที่มี VCO เฟส 0 และ 180 องศา และมีวงจร positive-edge-triggered RSFF สองวงจร ดังรูปที่ 7.15(a) โดยจะพบว่าถ้านำแรงดันที่เฉลี่ยเอาท์พุทของ Data Symbol 0 ของวงจรRSFF ที่เกิด VCO เฟส 0 บวกกับ แรงดันที่เฉลี่ยเอาท์พุทของ Data Symbol 1 ของวงจรRSFF ที่เกิด VCO เฟส 180 แล้วหารสอง แล้วนำผลที่เกิดจากการบวกกันแล้วหารสองแล้วนำเข้าวงจรขยายที่มีเกนเท่ากับสองจะได้กราฟที่เกิดจาก phase controlled (PhCtrl) ดังรูปที่ 7.15(b)




**(a)** กราฟคุณลักษณะของ positive edge triggered RSFF ที่เกิดจาก VCO เฟส 0 และ 180 องศา {Vy}




**(b)** กราฟคุณลักษณะของวงจร phase controlled

**รูปที่ 7.15** ระบบบีพีเอสเคดีมอดูเลเตอร์ที่มีสองลูป และ VCO เฟส 0, 180 องศา

## 7.7 เอกสารอ้างอิง

[1]. Chi-Yi Lo and Hao-Chiao Hong, “A 0.9 pJ/b, Reference Clock Free, Delay-Based, All-Digital Coherent BPSK Demodulator, ” IEEE J. Solid-State Circuits, vol. 3, pp. 498–501, Oct. 2020.

[2] C.-H. Cheng et al., “A fully integrated 16-channel closed-loop neuralprosthetic CMOS SoC with wireless power and bidirectional data telemetry for real-time efficient human epileptic seizure control,” IEEE J. Solid-State Circuits, vol. 53, no. 11, pp. 3314–3326, Nov. 2018.

[3] H. Cho, H. Lee, J. Bae, and H.-J. Yoo, “A 5.2 mW IEEE 802.15.6 HBC standard compatible transceiver with power efficient delay-locked-loop based BPSK demodulator,” IEEE J. Solid-State Circuits, vol. 50, no. 11, pp. 2549–2559, Nov. 2015.

[4] S.-Y. Lee et al., “A programmable implantable micro-stimulator SoC with wireless telemetry: Application in closed-loop endocardial stimulation for cardiac pacemaker,” in IEEE ISSCC Dig. Tech. Papers, Feb. 2011, pp. 44–45.

[5] K. Chen, Z. Yang, L. Hoang, J. Weiland, M. Humayun, and W. Liu, “An integrated 256-channel epiretinal prosthesis,” IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1946–1956, Sep. 2010.
[6] S.-Y. Lee, C.-J. Cheng, and M.-C. Liang, “A low-power bidirectional telemetry device with a near-field charging feature for a cardiac microstimulator,” IEEE Trans. Biomed. Circuits Syst., vol. 5, no. 4, pp. 357–367, Aug. 2011.

## บรรณานุกรม

[1] https://en.wikipedia.org/wiki/Phase-shift_keying

[2] J. G. Proakis and M. Salehi, *Digital Communications*, 5th ed., McGraw-Hill Education, 2007.

[3] S. Haykin, *Digital Communication Systems*, Wiley, 2013.

[4] https://en.wikipedia.org/wiki/Costas_loop

[5] Z. Luo and S. Sonkusale, "A Novel BPSK Demodulator for Biological Implants," *IEEE Transactions on Circuits and Systems –I*, Vol. 55, No. 6, July 2008.

[6] S.-J. Huang, Y.-C. Yeh, H. W., P.-N. Chen, and J. Lee, "W-Band BPSK and QPSK Transceivers With Costas-Loop Carrier Recovery in 65-nm CMOS Technology," *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 12, December 2011.

[7] H. Cho, H. Lee, J. Bae, and Hoi-Jun Yoo, "A 5.2 mW IEEE 802.15.6 HBC Standard Compatible Transceiver With Power Efficient Delay-Locked-Loop Based BPSK Demodulator," *IEEE Journal of Solid-State Circuits*, Vol. 50, No. 11, November 2015.

[8] C. R. Ryan and J. H- Stilwell, "QPSK Demodulator," US Patent no. 4085378, May, 1978.

[9] G. W. Waters, "Costas Loop QPSK Demodulator," US Patent no. 4344178, August, 1982.

[10] S. W. Attwood, "QPSK/BPSK Demodulator," US Patent no. 4833416, May, 1989.

[11] J. P. Costas, "Synchronous communications," *Proceedings of the IRE*, Vol. 44, no. 12, pp. 1713–1718, 1956.

[12] M. K. Simon, "Optimum Receiver Structures for Phase-Multiplexed Modulations," *IEEE Transactions on Communications*, Vol. 26, No. 6, 1978.

[13] D. P. Taylor, "Introduction of "Synchronous Communications": A Classic Paper by John P. Costas," *Proceedings of the IEEE*, Vol. 90, No. 8, August 2002.

[14] J. Jang, J. Lee, K.-R., Lee, L. Lee, M. Kim, Y. Lee, J. Bae, and H.-J. Yoo, "A Four-Camera VGA-Resolution Capsule Endoscope System With 80-Mb/s Body Channel Communication Transceiver and Sub-Centimeter Range Capsule Localization," *IEEE Journal of Solid-State Circuits*, Vol. 54, No. 2, February 2019.

[15] M. Lu et. al., "An Integrated 40 Gbit/s Optical Costas Receiver," *Journal of Lightwave Technology*, vol. 13, no. 13, pp. 2244-2253, July, 2013.

[16] A. Moeinfar, H. Shamsi, M. M. Taradeh, S. Gholami, and S. R. Afrancheh Novel high-data-rate low-complexity BPSK demodulator for telemetry systems," *in 2011 IEEE EUROCON - International Conference on Computer as a Tool,* pp. 4–5, 2011.

[17] F. Asgarian and A. M. Sodagar, "A low-power noncoherent BPSK demodulator and clock recovery circuit for high-data-rate biomedical applications," *in 2009 Annual*

*International Conference of the IEEE Engineering in Medicine and Biology Society*, pp. 4840–4843, 2009.
[18] J.M. Rabaey, Digital Integrated Circuits, Prentice-Hall, Upper Saddle River, NJ, 1996
[19] N. Weste and K. Eshraghian, CMOS VLSI Design, 2nd ed., Addison-Wesley, Reading, MA, 1994.
[20] B. Razavi. RF Microelectronic., Prentice Hall PTR, 1998.
[21] Razavi, B., Design of Analog CMOS Integrated Circuit, New York: McGraw-Hill, 2001
[22] Meng-Lieh Sheu, Ta-Wei Lin, and Wei-Hung Hsu, .. Wide Frequency Range Voltage Controlled Ring Oscillators based on Transmission Gates" , Proc. of 2005 IEEE International Symposium on Circuits and Systems, ISCAS'2005, vol.3, pp.2731-2734, May 2005.
[23] Paul R. Gray, Pual J. Hurst, Stephen H. Lewis and Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, 5$^{th}$ed., New York: John Willy and Sons, 2010
[24] S. Babayan-Mashhadi and R. Lotfi, "Analysis and design of lowvoltage, low-power double-tail dynamic comparator," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 22, no. 2, pp. 343-352, Feb. 2014.
[25] D. Johns, K. Martin, "Analog Integrated Circuit Design," John Wiley & Sons, 1997.
[26] P. J. Ashenden, The Designer's Guide to VHDL, 3rd ed., Morgan Kaufmann, 2008
[27] M. D. Ciletti, Advanced Digital Design with the Verilog HDL, 2nd ed., Prentice Hall, 2010
[28] J. M. Rabaey, Digital Integrated Circuits, 2nd ed., Prentice Hall, 2002.
[29] https://www.fpga4student.com/p/vhdl-project.html
[30] M. D. Ciletti, Starter's Guide to Verilog 2001, Prentice Hall, 2003
[31]https://www.maximintegrated.com/en/design/partners-and-technology/design-technology/ground-layout-board-designers.html
[32] W. Saadeh, M. A. B. Altaf, H. Alsuradi, and J. Yoo, "A 1.1-mW ground effect-resilient body-coupled communication transceiver with pseudo OFDM for head and body area network," IEEE J. Solid-State Circuits, vol. 52, no. 10, pp. 2690–2702, Oct. 2017.
[33] C.-H. Cheng et al., "A fully integrated 16-channel closed-loop neuralprosthetic CMOS SoC with wireless power and bidirectional data telemetry for real-time efficient human epileptic seizure control," IEEE J. Solid-State Circuits, vol. 53, no. 11, pp. 3314–3326, Nov. 2018.
[34] H. Cho, H. Lee, J. Bae, and H.-J. Yoo, "A 5.2 mW IEEE 802.15.6 HBC standard compatible transceiver with power efficient delay-locked-loop based BPSK demodulator," IEEE J. Solid-State Circuits, vol. 50, no. 11, pp. 2549–2559, Nov. 2015.
[35] S.-Y. Lee et al., "A programmable implantable micro-stimulator SoC with wireless

telemetry: Application in closed-loop endocardial stimulation for cardiac pacemaker," in IEEE ISSCC Dig. Tech. Papers, Feb. 2011, pp. 44–45. [5] K. Chen, Z. Yang, L. Hoang, J. Weiland, M. Humayun, and W. Liu, "An integrated 256-channel epiretinal prosthesis," IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1946–1956, Sep. 2010.
[36] S.-Y. Lee, C.-J. Cheng, and M.-C. Liang, "A low-power bidirectional telemetry device with a near-field charging feature for a cardiac microstimulator," IEEE Trans. Biomed. Circuits Syst., vol. 5, no. 4, pp. 357–367, Aug. 2011.

## ภาคผนวก ก.

- **ขั้นตอนการออกแบบ และทดสอบวงจรดิสครีตของระบบคืนสัญญาณบีพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป**

สำหรับการออกแบบจะเหมือนกับหัวข้อที่ 4.3.1 และหัวข้อที่ 4.3.2 ซึ่งจะแตกต่างกันเพียงค่าพารามิเตอร์ของ $K_d, K_{vco}$ และระบบคืนสัญญาณบีพีเอสเคที่จะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s = 40$ kbit/s สำหรับขั้นตอนการออกแบบจะทำการขั้นตอนต่อไปนี้

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05 \times \omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB} / 1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^\circ$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^\circ$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 2.5 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 1.5 เท่าของอัตราการส่งข้อมูล $\omega_3 = 1.5 \times 2\pi \times 40,000 = 376,991$ rad/s

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.14) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (4.15) ดังนั้นผลลัพธ์ของ $\tau_1 = 403\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,628.6$ rad/sและมีค่า $\xi = 0.496$ สามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (ก.1)

$$G_{OL}(s) = \frac{9.45s + 2.25 \times 10^5}{1.07 \times 10^{-9} s^3 + 4.056 \times 10^{-4} s^2 + s} \qquad \text{(ก.1)}$$

- **การชดเชยเสถียรภาพของระบบด้วยการเพิ่มมาร์จินด้วยการเพิ่มซีโร่ที่วงจรกรองสัญญาณความถี่ต่ำผ่านหลังเอาท์พุทวงจรเปรียบเทียบเฟส**

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05 \times \omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB} / 1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^\circ$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^\circ$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการ

ส่งข้อมูลอยู่ 10 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 2 เท่าของอัตราการส่งข้อมูล $\omega_3 = 2 \times 2\pi \times 5,000 = 62,831.8$ rad/s และตำแหน่งของซีโร่จะให้อยู่ห่างจากความถี่ของ $\omega_3$ เป็นค่า 15 เท่า ดังนั้น $\omega_4 = 942,477.8$ rad/s

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.26) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน สมการดังนี้

$$G_{OL}(\omega_2) = 1 \approx \frac{K_{so} K_d K_{vco}}{\omega_2^2 \tau_1} \qquad \text{(ก.2)}$$

จากสมการที่ (ก.2) ทำให้เกิดผลลัพธ์ของ $\tau_1 = 143.4\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,619$ rad/sและมีค่า $\xi = 0.5$ จากขั้นตอนการออกแบบเสถียรภาพของลูปด้วยการออกแบบค่าพารามิเตอร์ของวงจรกรองความถี่ต่ำผ่านแบบ $H_{LPF}(s) = 1 + s\tau_4 / 1 + s\tau_3$ และ $H_{LF}(s) = 1 + s\tau_2 / 1 + s\tau_1$ สามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (ก.3)

$$G_{OL}(s) = \frac{3.56\times10^{-6} s^2 + 3.45s + 8\times10^4}{2.28\times10^{-9} s^3 + 0.159\times10^{-3} s^2 + s} \qquad \text{(ก.3)}$$

- **การออกแบบ และทดสอบวงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป**

สำหรับการออกแบบจะเหมือนกับหัวข้อที่ 4.5.1 และหัวข้อที่ 4.5.2 ซึ่งจะแตกต่างกันเพียงค่าพารามิเตอร์ของ $K_d$ , $K_{vco}$และระบบคืนสัญญาณบีพีเอสเคที่จะทำงานที่ความถี่กลาง $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s = 20$ ksymbol/s สำหรับขั้นตอนการออกแบบจะทำการขั้นตอนต่อไปนี้

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05 \times \omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB} / 1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^o$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^o$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 5 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 1.5 เท่าของอัตราการส่งข้อมูล $\omega_3 = 1.5 \times 2\pi \times 20,000 = 188,495$ rad/s

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.14) สามารถที่จะ

นำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (4.15) ดังนั้นผลลัพธ์ของ $\tau_1 = 806.5\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,621$ rad/sและมีค่า $\xi = 0.496$ สามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (ก.4)

$$G_{OL}(s) = \frac{9.45s + 4.5\times10^{5}}{4.274\times10^{-9}s^{3} + 8.118\times10^{-4}s^{2} + s} \qquad \text{(ก.4)}$$

- **ขั้นตอนการออกแบบระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC**
- **การออกแบบเสถียรภาพของระบบด้วยวิธีของโบด**

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05 \times \omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB}/1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^{o}$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^{o}$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 10 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 2 เท่าของอัตราการส่งข้อมูล $\omega_3 = 2 \times 2\pi \times 5,000 = 62,831$ rad/s เนื่องจากโครงสร้างนี้ต้องการลดทอนสัญญาณความถี่สูงที่มากกว่าโครงสร้างในหัวข้อที่ 4.5 และเพื่อที่เพิ่มเฟสมาร์จินของระบบดังนั้นจะต้องเพิ่มซีโร่ที่ความถี่ $\omega_4 = 20 \times 2 \times 2\pi \times 5,000 = 1,256,637$ rad/s

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.25) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (ก.5)

$$G_{OL}(\omega_2) = 1 \approx \frac{K_{so}K_dK_{vco}}{\omega_2^2\tau_1} \qquad \text{(ก.5)}$$

จากสมการที่ (ก.5) ทำให้เกิดผลลัพธ์ของ $\tau_1 = 104\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 29,080$ rad/s และมีค่า $\xi = 0.61$ จากขั้นตอนการออกแบบเสถียรภาพของลูปด้วยการออกแบบค่าพารามิเตอร์วงจรกรองความถี่ต่ำผ่านแบบ $H_{LPF}(S) = (1 + s\tau_4)/(1 + s\tau_3)$ และ $H_{LF}(s) = 1 + s\tau_2/1 + s\tau_1$ สามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (ก.6)

$$G_{OL}(s) = \frac{2.675\times10^{-6}s^{2} + 3.42s + 8\times10^{4}}{1.66\times10^{-9}s^{3} + 0.12\times10^{-3}s^{2} + s} \qquad \text{(ก.6)}$$

- **การออกแบบ และทดสอบวงจรดิสครีตของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป**

สำหรับการออกแบบจะเหมือนกับหัวข้อที่ 4.6.2 ค่าพารามิเตอร์ $K_d$ , $K_{vco}$ และระบบคืนสัญญาณบีพีเอสเคจะทำงานที่ความถี่กลาง $\omega_c = 2\times\pi\times 100,000 = 628,318.5$ rad/s และต้องการอัตราการส่งข้อมูล $f_s = 20$ ksymbol/s สำหรับขั้นตอนการออกแบบจะทำการขั้นตอนต่อไปนี้

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05\times\omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB}/1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^o$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^o$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2\times\pi\times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 5 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 1.2 เท่าของอัตราการส่งข้อมูล $\omega_3 = 1.2\times 2\pi\times 20,000 = 150,796$ rad/s เนื่องจากเป็นโครงสร้างแบบ 2 bit flash ADC ซึ่งแรงดันอ้างอิงของวงจรเปรียบเทียบแรงดันจะห่างกันเพียง 1.25 V

**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.14) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (4.15) ดังนั้นผลลัพธ์ของ $\tau_1 = 806.5\mu s$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,621$ rad/sและมีค่า $\xi = 0.496$ สามารถที่จะแสดงฟังก์ชันถ่ายโอนของระบบเปิดดังที่ (ก.7)

$$G_{OL}(s) = \frac{18.9s + 4.5\times 10^5}{5.347\times 10^{-9}s^3 + 8.131\times 10^{-4}s^2 + s} \qquad \text{(ก.7)}$$

- **ขั้นตอนการออกแบบระบบคืนสัญญาณ 8-psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC**
- **การออกแบบเสถียรภาพของระบบด้วยวิธีของโบด**

**ขั้นตอนที่ 1** เริ่มจากการตั้งค่าของความถี่ $\omega_{3dB} = 0.05\times\omega_c$ ดังนั้น $\omega_{3dB} = 31,415.93$ rad/s ซึ่งสามารถหาค่าความถี่ทรานซิสชั่น $\omega_T = \omega_{3dB}/1.33 = 23,621$ rad/s โดยจะทำการตั้งค่า $\omega_2 = \omega_T$ ที่ความถี่เชิงมุม $\omega_2$ การพล็อตทางขนาดจะมีความชันเปลี่ยนจาก -40 dB/decade มาเป็น -20 dB/decade และการพล็อตทางเฟสจะมีค่า $-135^o$ ดังนั้นเฟสมาร์จินของระบบจะกลายเป็น $\varphi_m = -45^o$ ซึ่งเพียงพอที่จะทำให้ระบบมีเสถียรภาพ และ $\tau_2 = 42\mu s$

**ขั้นตอนที่ 2** กำหนดความถี่เชิงมุมของ $\omega_3$ เนื่องจากวงจรกรองความถี่ต่ำผ่านจะต้องทำการขจัดสัญญาณคลื่นพาห์ที่มีค่า $\omega_c = 2 \times \pi \times 100,000 = 628,318.5$ rad/s ซึ่งเป็นค่าที่มากกว่าอัตราการส่งข้อมูลอยู่ 10 เท่า ดังนั้นเพื่อความเหมาะสมจะทำการตั้งค่าความถี่เชิงมุมของ $\omega_3$ ให้มีค่า 2 เท่าของอัตราการส่งข้อมูล $\omega_3 = 2 \times 2\pi \times 10000 = 125,663$ rad/s เนื่องจากโครงสร้างนี้ต้องการลดทอนสัญญาณความถี่สูงที่มากกว่าโครงสร้างในหัวข้อที่ 4.8 และเพื่อที่เพิ่มเฟสมาร์จินของระบบดังนั้นจะต้องเพิ่มซีโร่ที่ความถี่ $\omega_4 = 20 \times 2 \times 2\pi \times 1,250 = 1,256,637$ rad/s

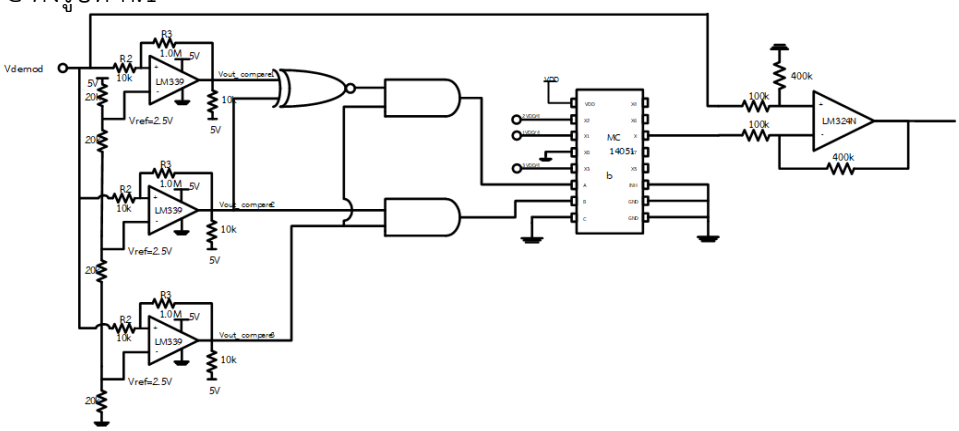
**ขั้นตอนที่ 3** ขั้นตอนต่อไปทำการหาค่าพารามิเตอร์ของ $\tau_1$ ซึ่งสามารถที่จะระบุได้ว่าอัตราขยายฟังก์ชันถ่ายโอนระบบเปิดมีค่าเป็น 1 ที่ความถี่เชิงมุม $\omega = \omega_2$ จากสมการที่ (4.25) สามารถที่จะนำมาใช้เพื่อหาค่า $\tau_1$ แสดงใน (ก.8)

$$G_{OL}(\omega_2) = 1 \approx \frac{K_{so} K_d K_{vco}}{\omega_2^2 \tau_1} \tag{ก.8}$$

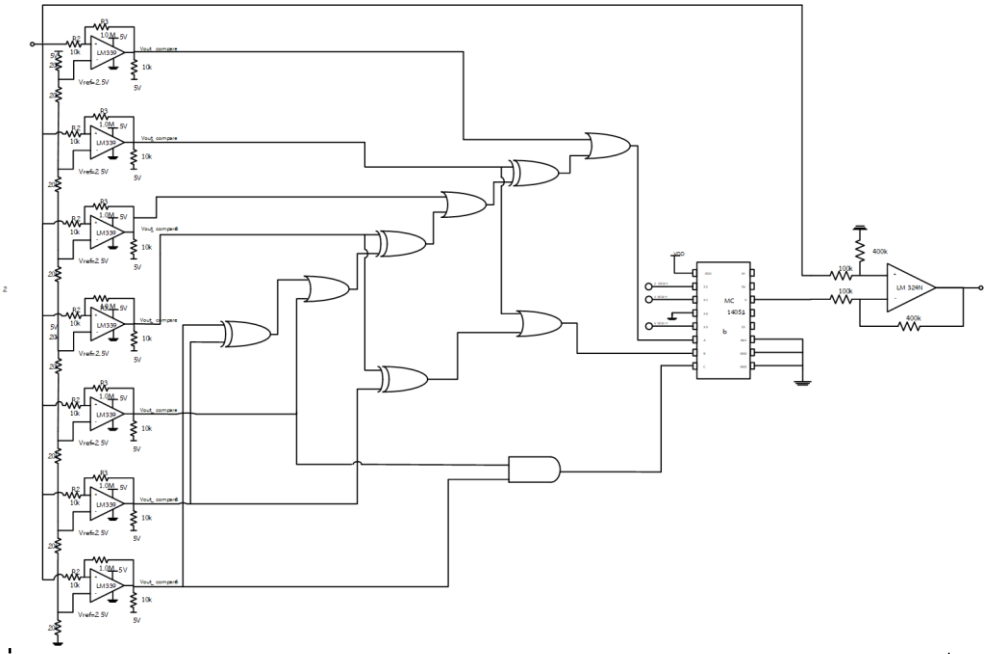
จากสมการที่ (ก.8) ทำให้เกิดผลลัพธ์ของ $\tau_1 = 1.4\text{ms}$ ดังนั้นสามารถที่จะนำค่า $\tau_1$ เพื่อหาค่าพารามิเตอร์ของความถี่ธรรมชาติจากสมการที่ (4.12) ทำให้เกิดผลลัพธ์ของ $\omega_n = 23,611$ rad/s และมีค่า $\xi = 0.49$ จากขั้นตอนการออกแบบเสถียรภาพของลูปด้วยการออกแบบค่าพารามิเตอร์วงจรกรองความถี่ต่ำผ่านแบบ $H_{LPF}(S) = (1 + s\tau_4)/(1 + s\tau_3)$ และ $H_{LF}(s) = 1 + s\tau_2/1 + s\tau_1$ สามารถนำฟังก์ชันถ่ายโอนระบบเปิดของสมการ (ก.9)

$$G_{OL}(s) = \frac{2.67s^2 + 34.24s + 8 \times 10^5}{11.13 \times 10^{-9} s^3 + 1.4 \times 10^{-3} s^2 + s} \tag{ก.9}$$

สำหรับวงจรดิสครีตของวงจร Phase Controller (PC) จะประกอบด้วยวงจรเปรียบเทียบสัญญาณแรงดัน (Voltage Comparator) 3 วงจร , วงจรขยายผลต่างโดยใช้ออปแอมป์ที่มีอัตราขยาย 4 เท่า, วงจร Digital Encoding และวงจรอนาล็อคมัลติเพล็กซ์เซอร์ ซึ่งหลักการเชื่อมต่อวงจรดิสครีตของวงจร PC ดังรูปที่ ก.1



**รูปที่ ก.1** วงจร PC ของระบบคืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 2 bit flash ADC เป็นส่วนของวงจร PC



**รูปที่ ก.2** วงจร PC ของระบบคืนสัญญาณ 8psk แบบเฟสเดียว ลูปเดียว บนหลักการเฟสล็อคลูป โดยมี 3 bit flash ADC เป็นส่วนของวงจร PC

**ภาคผนวก ข.**

การตั้งค่า clock ในบอร์ด zybo ของ FPGA สามารถที่จะทำการตั้งค่าได้ด้วยการเลือก IP Catalog -> FPGA Feature and Design -> Clocking –> Clocking Wizard และทำการใส่ค่า 125 ไปที่ primary input Frequency(MHz) และเลือก Output Freq(MHz) ตามความถี่ที่ต้องการ สามารถแสดงโค้ดดังรูปที่ ข.1(a) และนำ module clocking wizard มาทำการเรียกใช้งานดังรูปที่ ข.1(b)

```
module clk_wiz_0
 (
  // Clock out ports
  output        clk_out1,
  output        clk_out2,
  output        clk_out3,
  output        clk_out4,
  // Status and control signals
  input         reset,
  output        locked,
 // Clock in ports
  input         clk_in1
 );
```

```
clk_wiz_0_clk_wiz inst
(
  // Clock out ports
  .clk_out1(clk_out1),
  .clk_out2(clk_out2),
  .clk_out3(clk_out3),
  .clk_out4(clk_out4),
  // Status and control signals
  .reset(reset),
  .locked(locked),
 // Clock in ports
  .clk_in1(clk_in1)
  );
```

**(a)** โค้ดที่ได้จาก clock wizard

```
entity test_clk is
Port ( clk_in,reset :in STD_LOGIC;
clk_1,clk_2,clk_3,clk_4,locked : inout
STD_LOGIC
);
end test_clk;
architecture Behavioral of test_clk is
component clk_wiz_0
Port (
clk_in1,reset : in std_logic;
clk_out1,clk_out2,clk_out3,clk_out4,locked :
out std_logic
);
end component;
begin
clk_wize_0_a_inst: clk_wiz_0
port map(
reset=> reset ,
clk_in1  => clk_in,
clk_out1 => clk_1 ,
clk_out2 => clk_2 ,
clk_out3 => clk_3 ,
clk_out4 => clk_4
);
end Behavioral;
```

**(b)** โค้ดสำหรับการทดสอบ clock wizard

**รูปที่ ข.1** โค้ดที่ได้จากการตั้งค่า clocking wizard และการเรียกใช้งาน

- **วงจรหารความถี่ของสัญญาณ clocking wizard**

```
requency_divider: process (clk_in) begin

    if (rst = '1') then
      temporal <= '0';
      counter <= 0;
  elsif rising_edge(clk_in) then
      if (counter = 4 ) then
         temporal <= NOT(temporal);
        counter <= 0;
       else
          counter <= counter + 1;
       end if;
   end if;
end process;
clk_out <= temporal;
```

**รูปที่ ข.2** โค้ด VHDL สำหรับวงจรหารความถี่ในที่มีความถี่เท่ากับความถี่คลื่นพาห์ clk_out1/10

- **วงจร LFSR 16 บิต**

```
entity lfsr is
 Port ( CLK : in std_logic;
  RSTn : in std_logic;
  data_test_S0 : out std_logic;
  data_test_S1 : out std_logic;
  data_out : out std_logic_vector(15
downto 0));
end lfsr;
architecture Behavioral of lfsr is
component d_flipflop
Port ( CLK : in std_logic;
 RSTn : in std_logic;
 D : in std_logic;
 Q : out std_logic);
end component;
signal data_reg : std_logic_vector(15
downto 0);
begin
 tap_data <= (data_reg(1) xor
data_reg(2)) xor (data_reg(4) xor
data_reg(15));
 end process;
 stage0: d_flipflop
 port map(CLK, RSTn, tap_data,
data_reg(0));
g0:for i in 0 to 14 generate
 stageN: d_flipflop
 port map(CLK, RSTn, data_reg(i),
data_reg(i+1));
end generate;
 data_test_S0 <= data_reg (0);
 data_test_S1 <= data_reg (9);
end Behavioral;
```

```
signal tap_data : std_logic;
begin
process(CLK)
```

**รูปที่ ข.3** โค้ด VHDL ของวงจร LFSR 16 บิต

- **วงจร Mux2:1**

```
entity mux_2to1 is
 port(

     A,B : in STD_LOGIC;
     sel: in STD_LOGIC;
     Z: out STD_LOGIC
  );
end mux_2to1;

architecture bhv of mux_2to1 is
begin
process (A,B,sel) is
begin
  if (sel ='0') then
       Z <= A;
else
       Z <= B;
  end if;

end process;
end bhv;
```

**รูปที่ ข.4** โค้ดวงจร Mux2:1 ด้วยภาษา VHDL

- **วงจรบีพีเอสเค มอดูเลเตอร์**

```
entity BPSK_mod is

    Port ( clk_in,reset :in STD_LOGIC;
       S0,phase0,phase180,phase90,signal_prbs   :
inout STD_LOGIC;
       BPSK_mod : out STD_LOGIC);
begin

clk_wize_0_a_inst: clk_wiz_0
port map(
reset=> reset ,
clk_in1  => clk_in,
```

```
end BPSK_mod;

architecture Behavioral of BPSK_mod is

component clk_wiz_0
Port (
        clk_in1,reset : in std_logic;

clk_out1,clk_out2,clk_out3,clk_out4,locked : out
std_logic
 );
end component;

component  mux_2to1
  port(
        A,B : in STD_LOGIC;
        sel: in STD_LOGIC;
        Z: out STD_LOGIC
 );
end component;

component  PRBS
Port (
        clk          : in STD_LOGIC;
        reset        : in STD_LOGIC;
        S0           :out std_logic;
        S1           :out std_logic
         );
end component;
```

```
clk_out1 => phase0 ,
clk_out2 => phase180 ,
clk_out4 => phase90 ,
clk_out3 => signal_prbs
);

module_b_inst: mux_2to1
port map(
A => phase0,
B => phase180,
sel => S0,
Z => BPSK_mod
);

module_c_inst: PRBS
port map(
clk => signal_prbs,
reset => reset ,
S0 => S0
);

end Behavioral;
```

**รูปที่ ข.5** โค้ดของวงจรบีพีเอสเค มอดูเลเตอร์ เขียนด้วยภาษา VHDL

- **วงจร D Flip Flop**

| **โค้ดของวงจร D Flip Flop** | **Test Bench ของวงจร D Flip Flop** |
|---|---|
| library IEEE;<br>use IEEE.STD_LOGIC_1164.ALL;<br>use IEEE.STD_LOGIC_ARITH.ALL;<br>use IEEE.STD_LOGIC_UNSIGNED.ALL; | library IEEE;<br>use IEEE.STD_LOGIC_1164.ALL;<br>use IEEE.STD_LOGIC_ARITH.ALL;<br>use IEEE.STD_LOGIC_UNSIGNED.ALL; |

```
entity DFF is
Port ( clk : in std_logic;
 reset : in std_logic;
 D : in std_logic;
 Q : out std_logic);
end entity ;
architecture Behavioral of DFF  is
begin
process(clk)
begin
 if clk'event and clk='1' then
 if reset='1' then
 Q <= '1';
 else
 Q <= D;
 end if;
 end if;
end process;
end architecture;
```

```
entity Test_bench is
--  Port ( );
end entity;

architecture Behavioral of Test_bench is
component DFF is
Port ( clk : in std_logic;
 reset : in std_logic;
 D : in std_logic;
 Q : out std_logic);
end component;
signal d1,clk1,reset1,qa1,qb1:std_logic;

begin
  pm_DFF :DFF
  port map (D => d1,
            clk => clk_data, reset => reset1,
            Q => Q_1);
            p1 :process
            begin
               d1 <= '1'; wait for 200ns;
               d1 <= '0'; wait for 200ns;
            end process;
            p2: process
            begin
                clk_data<='1'; wait for 50 ns;
                clk_data<='0'; wait for 50 ns;
            end process;
            p3 : process
            begin
            reset1 <= '1'; wait for 1ns;
            reset1 <='0';  wait for 1000ns;
            end process;
end architecture;
```

**รูปที่ ข.6** โค้ด VHDL ของวงจร D Flip Flop และโค้ดของการ Test Bench ของวงจร D Flip Flop

- **sampling BPSK_demodulated**

**Test Bench ของการ sampling BPSK_demodulated**

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity Test_bench is
--  Port ( );
end entity;

architecture Behavioral of Test_bench is
component PRBS is
 Port (
        clk,reset       : in STD_LOGIC;
        S0,S1           :out std_logic;
         );
end component;
component sampling_BPSK_demod is
  Port (D,clk_carrier,reset :in std_logic;
         Q              :out std_logic);
end component;
signal clk_data:std_logic;
signal clk_carrier_1 :std_logic;
signal reset1 :std_logic;
signal S0_out :std_logic;
signal S1_out :std_logic;
signal sampling_BPSK_data_1:std_logic;
```

```
begin
pm_PRBS :PRBS
    port map (clk => clk_data,
              reset => reset1,
              S0 => S0_out,
              S1 => S1_out );
pm_sampling_BPSK_demod
:sampling_BPSK_demod
    port map (clk_carrier => clk_carrier_1,
              reset => reset1,
              D => S1_out,
              Q => sampling_BPSK_data_1);
p1 :process
            begin
            clk_data <= '1';
            wait for 50ns;
            clk_data <= '0';
            wait for 50ns;
            end process;
            p2: process
            begin
            clk_carrier_1 <= '1';
            wait for 10ns;
            clk_carrier_1 <= '0';
            wait for 10ns;
            end process;
            p3 : process
            begin
            reset1 <= '1';
            wait for 1ns;
            reset1 <='0';
            wait for 1000ns;
            end process;
end architecture;
```

**รูปที่ ข.7** โค้ด test bench ของแนวคิดการ sampling BPSK_demodulated ตามแนวคิดรูปที่ 6.41

- **sampling BPSK_demodulated (ต่อ)**

**Test Bench ของการ sampling BPSK_demodulated**

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity Test_bench is
--  Port ( );
end entity;

architecture Behavioral of Test_bench
is
component PRBS is
 Port (
        clk,reset       : in STD_LOGIC;
        S0,S1           :out std_logic;
         );
end component;
component sampling_BPSK_demod is
  Port (D,clk_carrier,reset :in std_logic;
         Q              :out std_logic);
end component;
 component procesing_delay is
  Port ( in_process_PRRS_data,
in_process_BPSK_demodulated,
clk_data_90,
reset :in std_logic;
out_process_PRBS_data,
out_process_BPSK_demodulated
:out std_logic;
end component;

signal clk_data:std_logic;
signal clk_data_90:std_logic;
begin

pm_PRBS :PRBS
    port map (clk => clk_data,
              reset => reset1,
              S0 => S0_out,
              S1 => S1_out,
              clk_90 => clk_data_90,
              S0_delay => S0_delayout
              );
    pm_sampling_BPSK_demod
:sampling_BPSK_demod
    port map (clk_carrier => clk_carrier_1,
             reset => reset1,
              D => S1_out,
              Q => sampling_BPSK_data_1);
    pm_procesing_delay :procesing_delay
    port   map   (in_process_PRRS_data   =>
S0_delayout,
              in_process_BPSK_demodulated
=> sampling_BPSK_data_1,
              clk_data_90 => clk_data_90,
              reset => reset1,
              out_process_PRBS_data          =>
out_process_PRBS_data_1,
              out_process_BPSK_demodulated
=> out_process_BPSK_demodulated_1);
  p1 :process
            begin
            clk_data <= '1';
            wait for 50ns;
            clk_data <= '0';
```

```
signal clk_carrier_1 :std_logic;
signal reset1 :std_logic;
signal S0_out :std_logic;
signal S0_delayout :std_logic;
signal S1_out :std_logic;
signal
sampling_BPSK_data_1:std_logic;
signal   out_process_PRBS_data_1   :
std_logic;
signal
out_process_BPSK_demodulated_1
:std_logic;
```

```
        wait for 50ns;
        end process;
        p2: process
        begin
        clk_carrier_1 <= '1';
        wait for 10ns;
        clk_carrier_1 <= '0';
        wait for 10ns;
        end process;
        p3 : process
        begin
        reset1 <= '1';
        wait for 1ns;
        reset1 <='0';
        wait for 1000ns;
        end process;

end architecture;
```

**รูปที่ ข.8** โค้ดของการ test bench ตามแนวคิดรูปที่ 6.43 และรูปที่ 6.44

- **check_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod**

**Test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod**

```
architecture Behavioral of Rx is

component PRBS is
    Port (
    clk         : in STD_LOGIC;
    reset       : in STD_LOGIC;
    S0          :out std_logic;
    S1          :out std_logic
     );
end component;
signal clk1 : std_logic;
signal reset1 : std_logic;
signal error_bit :std_logic;
```

```
p1: process
        begin
        clk1<='1';
        wait for 50 ns;
        clk1<='0';
        wait for 50 ns;
    end process;
 p2: process
        begin
        reset1<='1';
        wait for 10 ns;
        reset1<='0';
        wait for 4000 ns;
```

```
signal PRBS_data :std_logic;
signal BPSK_demod :std_logic;
signal xor_check_bit :std_logic;
begin
 pm_PRBS : PRBS port map(
        clk => clk1,
        reset => reset1,
        S0 =>PRBS_data);
```

```
    end process;
 p3: process
            begin
            error_bit<='1';
            wait for  500ns;
            error_bit<='0';
            wait for 100 ns;
    end process;
BPSK_demod    <=    PRBS_data    and
error_bit;
xor_check_bit    <=    PRBS_data    xor
BPSK_demod;
end Behavioral;
```

**รูปที่ ข.9** โค้ด VHDL ของการcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod

- **check_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod ที่เหมือนกับสัญญาณจริงมีการหลุดล็อก และเข้าล็อก**

**Test Bench การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod ที่เหมือนกับสัญญาณจริงมีการหลุดล็อก และเข้าล็อก**

```
architecture Behavioral of Rx is
component PRBS is
        Port (
        clk          : in STD_LOGIC;
        reset        : in STD_LOGIC;
        S0           :out std_logic;
        S1           :out std_logic
         );
end component;

component  mux_2to1 is
port(
        A,B : in STD_LOGIC;
        sel: in STD_LOGIC;
        Z: out STD_LOGIC
  );
```

```
p1: process
            begin
            clk1<='1';
            wait for 50 ns;
            clk1<='0';
            wait for 50 ns;
     end process;
 p2: process
            begin
            reset1<='1';
            wait for 10 ns;
            reset1<='0';
            wait for 4000 ns;
    end process;
 p3: process
            begin
```

```
end component;

signal clk1 : std_logic;
signal reset1 : std_logic;
signal error_bit :std_logic;
signal error_bit_demod :std_logic;
signal PRBS_data :std_logic;
signal PRBS_data_outphase : std_logic;
signal BPSK_demod :std_logic;
signal BPSK_demod_real :std_logic;
signal xor_check_bit :std_logic;
signal check_bit :std_logic;
begin
 pm_PRBS : PRBS port map(
        clk => clk1,
        reset => reset1,
        S0 =>PRBS_data);
 pm_mux_2to1A : mux_2to1 port map(
        sel => error_bit_demod,
        A   => PRBS_data,
        B   => PRBS_data_outphase,
        Z   => BPSK_demod_real);
```

```
            error_bit<='1';
            wait for  500ns;
            error_bit<='0';
            wait for 100 ns
    end process;
p4: process
              begin
              error_bit_demod <='0';
              wait for  500ns;
             error_bit_demod <='1';
              wait for 600ns;
              wait for 100ns;
              error_bit_demod <='0';
              error_bit_demod <='0';
              wait for 2300ns;
              error_bit_demod <='1';
              wait for 600ns;
              wait for 100ns;
              error_bit_demod <='0';
              wait;
       end process;
BPSK_demod <= PRBS_data and
error_bit;
PRBS_data_outphase <= not PRBS_data;
xor_check_bit <= PRBS_data xor
BPSK_demod;
check_bit <= PRBS_data xor
BPSK_demod_real;


end Behavioral;
```

**รูปที่ ข.10** การจำลองโค้ด VHDL การcheck_bit_error ของสัญญาณ PRBS_data กับสัญญาณ BPSK_demod ที่เหมือนกับสัญญาณจริงมีการหลุดล็อก และเข้าล็อก

- **วงจรนับของจำนวนบิตที่ผิด**

| **วงจรนับของจำนวนบิตที่ผิด** | |
|---|---|
| library IEEE; | architecture Behavioral of counter is |

```
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity counter is
 port(clk: in STD_LOGIC;
 CE: in STD_LOGIC;
 y: inout natural range 0 to 1000000
 );
end entity ;
```

```
begin
process (clk)
begin
if clk='1' and clk'event then
 if CE = '1' then
 y <= y + 1;
 else
 y <= y;
 end if;
 end if;
end process;
end architecture;
```

**รูปที่ ข.11** โค้ด VHDL ของวงจรนับจำนวนบิตที่ผิด

- **วงจรนับหารความถี่**

**วงจรนับหารความถี่**

```
entity clk_div is
    Port (
    clk : in  STD_LOGIC;
    reset  : in  STD_LOGIC;
    count_bit_error : in integer range 0 to
1000000 := 0;
    clk_out: out STD_LOGIC
);
end clk_div;
architecture Behavioral of clk_div is
signal count: integer:=1;
signal tmp : std_logic := '0';
begin
```

```
begin
process(clk,reset)
begin
if(reset='1') then
count<=1;
tmp<='0';
elsif(clk'event and clk='1') then
count <=count+1;
if (count =count_bit_error/2) then
tmp <= NOT tmp;
count <= 1;
end if;
end if;
clk_out <= tmp;
end process;
end Behavioral;
```

**รูปที่ ข.12** โค้ด VHDL ของวงจรหารความถี่ของจำนวนบิตผิด

- วงจรมัลติเพล็กซ์เซอร์4:1

โค้ด VHDL ของวงจรมัลติเพล็กซ์เซอร์

```
library IEEE;
```

```
architecture bhv of mux_4to1 is
```

```
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity mux_4to1 is
 port(

    A,B,C,D : in STD_LOGIC;
    Sel0,Sel1: in STD_LOGIC;
    Z: out STD_LOGIC
  );
end mux_4to1;
```

```
begin
process (A,B,C,D,Sel0,Sel1) is
begin
  if (Sel0 ='0' and Sel1 = '0') then
      Z <= A;
  elsif (Sel0 ='0' and Sel1 = '1') then
      Z <= B;
  elsif (Sel0 ='1' and Sel1 = '0') then
      Z <= C;
  else
      Z <= D;
  end if;
end process;
end bhv;
```

**รูปที่ ข.13** โค้ด VHDL ของวงจรมัลติเพล็กซ์เซอร์

- **แนวคิด BER ของระบบกู้คืนสัญญาณคิวพีเอสเค**

**Test Bench การจำลองฟังก์ชันของแนวคิด BER ของระบบกู้คืนสัญญาณคิวพีเอสเค แบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป รูปที่ 6.69**

```
architecture Behavioral of RX is
component PRBS is
        Port (
        clk          : in STD_LOGIC;
        reset        : in STD_LOGIC;
        S0           :out std_logic;
        S1           :out std_logic
         );
end component;
component  mux_2to1 is
port(
        A,B : in STD_LOGIC;
        sel: in STD_LOGIC;
        Z: out STD_LOGIC
         );
end component;

component counter is
```

```
pm_clk_div : clk_div port map(
         clk => clk1,
         reset => reset1,

         clk_out  => clk_out1);
  p1: process
       begin
       clk1<='1';
       wait for 50 ns;
       clk1<='0';
       wait for 50 ns;
end process;
  p2: process
      begin
       reset1<='1';
       wait for 10 ns;
       reset1<='0';
       wait for 30000 ns;
```

```
 port(
        clk: in STD_LOGIC;
        CE: in STD_LOGIC;
        y: inout natural range 0 to 1000000
    );
end component;

component clk_div is
    Port (
    clk : in  STD_LOGIC;
    reset  : in  STD_LOGIC;
    count_bit_error : in integer range 0 to
1000000 := 0;
    clk_out: out STD_LOGIC
);
end component;
signal clk1 : std_logic;
signal reset1 : std_logic;
signal error_bit0 :std_logic;
signal error_bit1 :std_logic;
signal error_bit_demod0 :std_logic;
signal error_bit_demod1 :std_logic;
signal PRBS_data0 :std_logic;
signal PRBS_data1 :std_logic;
signal BPSK_demod_real0 :std_logic;
signal BPSK_demod_real1 :std_logic;
signal xor_check_bit_ber0 :std_logic;
signal xor_check_bit_count0 :std_logic;
signal xor_check_bit_ber1 :std_logic;
signal xor_check_bit_count1 :std_logic;
signal              xor_check_bit_count_sum
:std_logic;
signal PRBS_data_outphase0 :std_logic;
signal PRBS_data_outphase1 :std_logic;
signal BPSK_demod0 :std_logic;
signal BPSK_demod1 :std_logic;
```

```
end process;
  p3: process
      begin
       error_bit0<='1';
       wait for  500ns;
       error_bit0<='0';
       wait for 100 ns;
 end process;
   p4: process
     begin
       error_bit1<='1';
       wait for  800ns;
       error_bit1<='0';
       wait for 100 ns;
end process;
   p5: process
      begin
       error_bit_demod0 <='0';
       wait for  500ns;
       error_bit_demod0 <='1';
       wait for 600ns;
       wait for 100ns;
       error_bit_demod0 <='0';
       error_bit_demod0 <='0';
       wait for 2300ns;
       error_bit_demod0 <='1';
       wait for 600ns;
       wait for 100ns;
       error_bit_demod0 <='0';
       end process;
   p6: process
     begin
       error_bit_demod1 <='0';
       wait for  800ns;
       error_bit_demod1 <='1';
       wait for 900ns;
```

```
signal clk_out1 :std_logic;
signal count_out :natural range 0 to 1000000;

begin
 pm_PRBS : PRBS port map(
        clk => clk1,
        reset => reset1,
        S1 => PRBS_data1,
        S0 =>PRBS_data0);
 pm_mux_2to1A : mux_2to1 port map(
        sel => error_bit_demod0,
         A   => PRBS_data0,
         B   => PRBS_data_outphase0,
         Z   => BPSK_demod_real0);
pm_mux_2to1B : mux_2to1 port map(
         sel => error_bit_demod1,
         A   => PRBS_data1,
         B   => PRBS_data_outphase1,
         Z   => BPSK_demod_real1);
 pm_counter : counter port map(
        clk => clk1,
        CE  =>  xor_check_bit_count_sum,
        y => count_out);
```

```
        wait for 100ns;
        error_bit_demod1 <='0';
        error_bit_demod1 <='0';
        wait for 2600ns;
        error_bit_demod1 <='1';
        wait for 900ns;
        wait for 100ns;
        error_bit_demod1 <='0';
        end process;
 BPSK_demod0 <= PRBS_data0 and error_bit0;
 PRBS_data_outphase0 <= not PRBS_data0;
 xor_check_bit_ber0 <= PRBS_data0 xor BPSK_demod_real0;
 xor_check_bit_count0 <= PRBS_data0 xor BPSK_demod0;

 BPSK_demod1 <= PRBS_data1 and error_bit1;
 PRBS_data_outphase1 <= not PRBS_data1;
 xor_check_bit_ber1 <= PRBS_data1 xor BPSK_demod_real1;
 xor_check_bit_count1 <= PRBS_data1 xor BPSK_demod1;
 xor_check_bit_count_sum <= xor_check_bit_count0 or xor_check_bit_count1;
end Behavioral;
```

**รูปที่ ข.14** Test Bench การจำลองฟังก์ชันของแนวคิด BER ของระบบกู้คืนสัญญาณคิวพีเอสเคแบบเฟสเดียว ลูปเดียว บนพื้นฐานเฟสล็อกลูป

# ภาคผนวก ค.
# การตีพิมพ์เผยแพร่ผลงานวิจัย

- ECTI-CON 2021 – *Smart Electrical Systems & Technology*

2021 18th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON) | 978-1-6654-0382-5/20/$31.00 ©2021 IEEE | DOI: 10.1109/ECTI-CON51831.2021.9454858

## Single-Phase, Single-Loop PLL-Based BPSK, QPSK, 8-PSK Demodulators

Chutpipat Chaichomnan and Phanumas Khumsat*
Department of Electrical Engineering
Faculty of Engineering, Prince of Songkla University
Hat-Yai, Songkhla, Thailand: *phanumas.k@psu.ac.th

Apisak Worapishet
Mahanakhon Microelectronic Research Center
Mahanakhon University of Technology
Nong-Chok, Bangkok, Thailand

***Abstract*— A general single-phase/single-loop PLL-based *m*-PSK demodulator is described. The demodulator employs a rising-edge *RS* flip-flop as a phase detector because of its linear <phase difference>/<average output voltage> over a 0-2π phase difference. This flip-flop characteristic helps simplify the phase controller design and make it truly modular. The phase controller basically explores a sub-ranging/re-scaling technique similar found in a typical ADC converter. The proposed principle has been implemented with discrete components around 74HCT4046 for demodulating BPSK, QPSK and 8-PSK signals. The modulator prototypes operate under a single supply of 5V achieving a maximum data rate of 40kbps at a carrier frequency around 120-kHz. Experimental comparison with a widely-used Costas-Loop BPSK demodulator suggests that the proposed structure offers a competitive performance.**

***Keywords*—*BPSK; QPSK; 8-PSK; m-PSK; demodulator, PLL, Costas loop, single phase, single loop***

### I. INTRODUCTION

Phase shift keying (PSK) signals such as BPSK and QPSK have been essentially important in modern digital wireless and wire-line communications that support vast ranges of applications such as internet of things (IoT), mobile/smart devices, automobiles, biomedicals, etc. Modern mixed-signal PLL-based BPSK and QPSK demodulator structure mostly relies on the Costas Loop [1], [2] that has a profound impact on digital communications [3]. The architecture is still highly active and it (or its variants) can be found in modern circuits and systems related to digital data communication receivers [4-9]. A non-PLL-based BPSK demodulator with all-digital circuit offers a very competitive performance in term of energy per bit [10], however, the structure is rather limited to BPSK demodulation and it cannot easily be extended for QPSK, 8-PSK or *m*-PSK demodulation. In Costas Loop, the voltage-controlled oscillator (VCO)'s phase accuracy is of prime important in achieving reasonably good performance on BPSK and QPSK demodulation. The high precision of the 90-degree phase difference usually poses a challenge in a quadrature VCO design for a high-speed system.

In this work, an alternative architecture employing a single-phase VCO is introduced for BPSK, QPSK and 8-PSK demodulation. This helps relax the VCO design, especially if it is in an integrated form. The structure is very simple and it can be modularly extended for demodulating any *m*-PSK signal. At the preliminary stage, these proposed demodulator architectures have been successfully verified with measurement using low-cost, discrete implementation.

### II. BASIC PRINCIPLE OF PLL-BASED DEMODULATION FOR M-PSK SIGNAL

It is widely known that the BPSK, QPSK, 8-PSK or *m*-PSK signals (with a carrier frequency of $\omega_c$) can be demodulated simply by performing phase comparison between the modulated signal and a synchronized signal (generated from an oscillator) whose frequency ($=\omega_c$) *and* phase is unchanged regardless of any data symbol change. The phase comparator's output signal can then be used to distinguish among these symbols by various means such as different pulse widths, different duty cycles, etc.

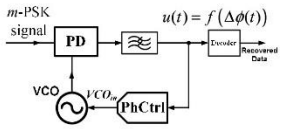



**Fig. 1** A conceptual PLL-based structure for *m*-PSK demodulation with a phase controller (PhCtrl).

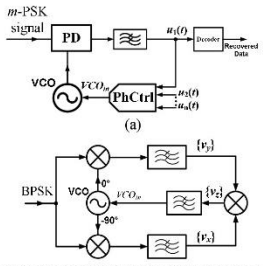
In practice, it thus firstly requires a voltage-controlled oscillator (VCO) to track and lock the input carrier frequency, $\omega_c$. After frequency locking at a particular $\omega_c$, the VCO's phase $\phi_0$ has to remain unchanged for the rest of all data periods while the necessary phase comparison has to be simultaneously carried. Phase-locked loop (PLL) technique is one of the most popular strategies for achieving frequency locking. However, to extend the PLL technique for *m*-PSK demodulation, the VCO's input, $VCO_{in}$ voltage has to stay quietly undisturbed after initial frequency lock so that the VCO's output phase can remain unchanged. This PLL-based *m*-PSK demodulation concept can be depicted in Fig. 1 where a phase controller (PhCtr) has been inserted between the loop filter and the VCO to keep $VCO_{in}$ solidly fixed even if the output of the loop filter $u(t)$ varies according to the incoming data symbols. The obtained $VCO_{in}$ voltage also needs to be at the correct value corresponding to the locked frequency complying with the VCO's characteristic. Each level of the analog signal $u(t)$ uniquely represents specific data symbol which has to be further decoded so the digital bits can be fully recovered.

One of the most widely used BPSK, QPSK demodulators are based on Costas loop [1, 2]. Since its introduction in 1965, it has gained popularity until today [4-9]. The Costas loop BPSK/QPSK demodulators also relies on the aforementioned demodulation principle but with a quadrature VCO providing more than one signal, e.g., $u_1(t)$, $u_2(t)$, …, $u_n(t)$ fed into the phase controller (a linear multiplier as in the case for BPSK) as the structure in Fig. 1 extended into Fig. 2(a). The BPSK and QPSK demodulators based on Costas loop with a quadrature oscillator are respectively shown in Fig. 2(b), (c) [1, 2].

978-0-7381-1127-8/21/$31.00 ©2021 IEEE



Authorized licensed use limited to: STMicroelectronics international NV. Downloaded on November 23,2021 at 03:32:57 UTC from IEEE Xplore. Restrictions apply.




(b) Costas loop as BPSK demodulator (redrawn from [1])

(c) Costas loop for QPSK demodulator [2]

**Fig. 2** BPSK and QPSK demodulators based on Costas Loop

## III. Single-Phase/Single-Loop PLL-Based *m*-PSK Demodulators

### A. Demodulation Principle

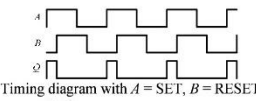
In this work, a single-phase VCO can be employed for BPSK, QPSK, 8-PSK or *m*-PSK demodulation by exploiting the rising-edge RSFF's characteristic shown in Fig. 3(a). Its average-output voltage, $\{v_y\}$ *vs* phase difference, $\Delta\phi$ characteristic in Fig. 3(b) indicates a repeating linear relation between $\{v_y\} = 0$ and $V_{DD}$ over $\Delta\phi = 2n\pi$ to $2(n+1)\pi$ radians where $n = 0, \pm1, \pm2, \ldots$.

The phase controller operates differently on $\{v_y\}$ depending on a particular order of phase-shifting modulation as depicted in Fig. 4. On the first graph of Fig. 4(a) and Fig. 4(b), the data symbols of the *m*-PSK signal (represented by the unique $\{v_y\}$ level) are placed with equal voltage and phase spacing's of $V_{DD}/m$ and $2\pi/m$ radians with $m$ = 2 and 4 for BPSK and QPSK, respectively. The phase controller has to operate on these $\{v_y\}$ positions such that all the different data symbol levels on the $\{v_y\}$–$\Delta\phi$ graph, have to be mapped to the same level, that is, $\{v_y\}$ is turned into $\{v_z\}$ and fed into $VCO_{in}$. This essentially restricts $VCO_{in}$ not to experience any significant change so the VCO's phase remains undisturbed after the initial frequency lock. Consider the BPSK scenario in Fig. 4(a), $\{v_y\}$ is compared with a reference voltage $V_{ref} = V_{DD}/2$. If $\{v_y\}$ is higher than $V_{DD}/2$, $\{v_z\}$ could be obtained by subtracting $\{v_y\}$ with $V_{DD}/2$ before multiplying by 2 to a full range (re-scaling) and turn into $\{v_z\}$. The re-scaling processing is to make sure that $\{v_z\}$ stays at $V_{DD}/2$ for locking at the VCO's center frequency. This "compare-select-subtract-rescaling" process essentially resembles a well-known sub-ranging/re-scaling step in ADC data conversion. This can be described by

$$\{v_z\} = 2\{v_y\}, \quad 0 \le \{v_y\} \le \frac{V_{DD}}{2} \tag{1a}$$

$$\{v_z\} = 2\left[\{v_y\} - \frac{V_{DD}}{2}\right], \quad \frac{V_{DD}}{2} \le \{v_y\} \le V_{DD} \tag{1b}$$

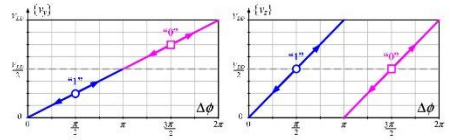
for a BPSK phase controller. This 1-bit sub-ranging/re-scaling process can be recursively repeated for QPSK, 8-PSK or



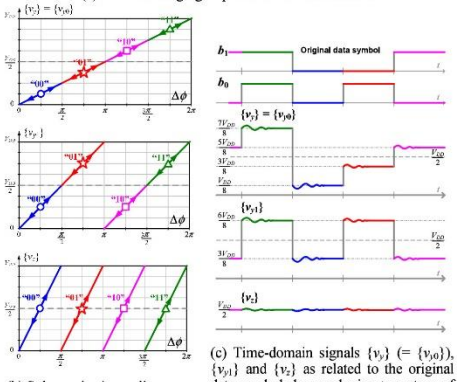

(a) Timing diagram with $A$ = SET, $B$ = RESET, $Q$ = Output

(b) Average output voltage, $\{v_y\}$ *vs* phase difference, $\Delta\phi$

**Fig. 3** Rising-edge RSFF properties



(a) 1-bit sub-ranging step for BPSK demodulation




(b) Sub-ranging/re-scaling steps for QPSK demodulation

(c) Time-domain signals $\{v_y\}$ (= $\{v_{y0}\}$), $\{v_{y1}\}$ and $\{v_z\}$ as related to the original data symbols by employing two steps of sub-ranging for QPSK phase control

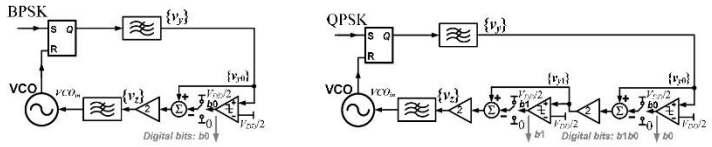
**Fig. 4** Average voltages vs phase difference with sub-ranging/re-scaling for phase control. The voltage $\{v_z\}$ is applied to $VCO_{in}$.

*m*-PSK demodulation where 2, 3 or $\log_2(m)$ identical stages are needed. Moreover, because the phase controller still preserves the PLL's loop dynamic, if the carrier frequency changes, the phase controller would automatically set the voltage $\{v_z\}$ and $VCO_{in}$ to the new value to attain frequency tracking as shown by the tilted arrows in Fig. 4(a), (b). In this way, the frequency tuning can be achieved for this *m*-PSK demodulator similar to the conventional PLL. Time-domain signaling of the phase control is also illustrated in Fig. 4(c) for QPSK demodulation.

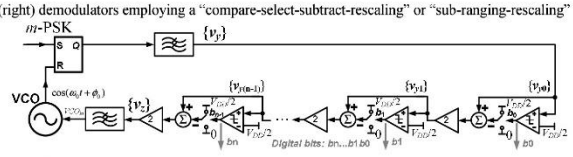
The phase controlling operations with a 1-bit sub-ranging/re-scaling process can be conceptually implemented with ideal building blocks shown in Fig. 5(a) for BPSK, QPSK where Fig. 5(b) is the extended version for *m*-PSK demodulation. It is also important to note that the digital data bits $b_0$, $b_1$,…, $b_{\log2(m)-1}$ can be retrieved from the comparator's output inside an individual sub-ranging stage. Alternatively,



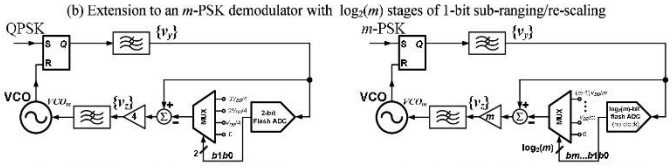
Authorized licensed use limited to: STMicroelectronics international NV. Downloaded on November 23,2021 at 03:32:57 UTC from IEEE Xplore. Restrictions apply.




(a) BPSK (left), QPSK (right) demodulators employing a "compare-select-subtract-rescaling" or "sub-ranging-rescaling" process for phase control




(b) Extension to an $m$-PSK demodulator with $\log_2(m)$ stages of 1-bit sub-ranging/re-scaling




(c) (left) QPSK demodulator with a 2-bit flash ADC (no clock), a multiplexer, a subtractor and a ×4 multiplier for phase control, (right) extended to an $m$-PSK demodulator using one $\log_2(m)$-bit flash sub-ranging step

**Fig. 5** A conceptual PLL-based BPSK, QPSK, $m$-PSK demodulators with a single-phase VCO.

instead of using $\log_2(m)$ stages of 1-bit sub-ranging step, only one stage of $\log_2(m)$-bit flash sub-ranging step can be employed as an example for QPSK in Fig. 5(c) where a 2-bit flash ADC (no clock) is utilized with an analog 4-to-1 multiplexer and a ×4 multiplier. The output bits from the ADC select one reference voltage level for subtraction before re-scaling by a factor of four to a full range for VCO's input. This flash sub-ranging/re-scaling method can be simply extended for an $m$-PSK signal with a $\log_2(m)$–bit flash ADC and a corresponding $m$-to-1 multiplexer. The phase control equation (1) for $\{v_z\}$ can be modified for $m$-PSK demodulation using only one $\log_2(m)$–bit flash sub-ranging step as

$$\{v_z\} = m\left[\{v_y\} - \left(\frac{k}{2}+1\right)\frac{V_{DD}}{m}\right] \quad (2)$$

for $k\frac{V_{DD}}{m} \le \{v_y\} \le (k+1)\frac{V_{DD}}{m}$, with $k$ = 0, 1, 2, … $m$. The multiplying factor "$m$" is for re-scaling. It is fairly obvious that various combinations between different numbers of the 1-bit and the multi-bit flash sub-ranging/rescaling steps can be used for $m$-PSK demodulation. Generally for $m$-PSK demodulator, we simply need a $\log_2(m)$–bit sub ranger with appropriate re-scaling step. However if we need to mix between 1-bit sub-ranger and its flash-type counterpart,

$p$ steps of a 1-bit sub-ranger and $q$ steps of a $\log_2(m/2^{(p-q)})$-bit flash sub-ranger (3)

with proper re-scaling is needed. Note also that a single $q$-bit flash sub-ranger is equivalent to $q$ stages of a 1-bit sub-ranger. Loop dynamic design of this single-phase $m$-PSK demodulator is fairly simple owing to a single-loop structure. A typical loop filter design technique and strategy for a type-I PLL (phase/gain margins, root locus, pole/zero placement, etc.) can be directly applied to the proposed structure. Ideally, the phase detector's $\{v_y\}$–$\Delta\phi$ slope, $K_D = V_{DD}/2\pi$ and the phase controller's constant $K_{PC} = m$ (to the first order) for $m$-PSK demodulator. The loop-gain equation, $LG(s)$ can be written as

$$LG(s) = K_D F(s) K_{PC} G(s) K_O = m\frac{V_{DD}}{2\pi} K_O F(s) G(s) \quad (4)$$

with $K_O$ being the VCO's voltage-to-frequency conversion gain where $F$(s) and $G$(s) are filter transfer functions before and after the phase controller. The design flexibility has to be managed by pole and zero placement from the filter transfer functions $F(s)$ and $G(s)$.

### *B. Realization with Discrete Components*

The demodulators can be preliminarily realized with discrete components centered around CD74HCT4046 IC which contains a rising-edge RSFF and VCO. The main purpose is to verify functionality of the proposed concept without any concern on the performance for modern applications. The 1-bit sub-ranging and ×2-re-scaling circuit from (1a) and (1b) is implemented with a comparator (LM339), a difference amplifier (LM324), an analog multiplexer, ANLG MUX (MC14051) as shown in Fig. 6. The comparator's output selects a constant DC voltage level either 0V or $V_{DD}/2$ and fed to the difference amplifier with a gain of two. The implementation of Fig. 6 can be easily extended for a $\log_2(m)$-bit flash sub-ranging stage as realized in Fig. 7.

## IV. SYSTEM VERIFICATION WITH EXPERIMENTS

Functionality of the proposed single-phase/single-loop BPSK, QPSK and 8-PSK demodulators is successfully verified with measurements as depicted in Fig. 8. It can be seen that an individual voltage level from the loop filter $\{v_y\}$ uniquely represents the specific data symbol. In practice, this $\{v_y\}$ signal needs to be further decoded for recovering digital bits as suggested in Fig. 1. It can also be seen in Fig. 8(a)-(c) for BPSK and QPSK that the $VCO_{in}$ signals look well undisturbed, hence the VCO output signal's phase can be maintained.



Authorized licensed use limited to: STMicroelectronics international NV. Downloaded on November 23,2021 at 03:32:57 UTC from IEEE Xplore. Restrictions apply.

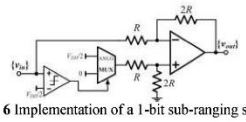


**Fig. 6** Implementation of a 1-bit sub-ranging stage

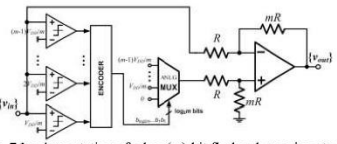
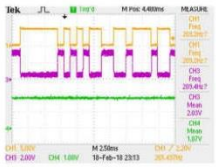
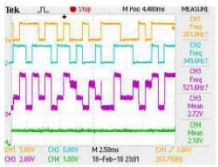


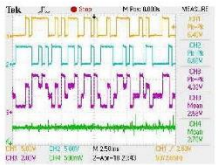
**Fig. 7** Implementation of a $\log_2(m)$-bit flash sub-ranging stage



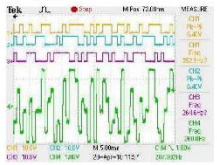
(a) BPSK demodulator: Ch1=original 1-bit data, Ch3={$v_y$}, Ch4 = $VCO_{in}$



(b) QPSK with 2 stages of 1-bit sub-ranging: Ch1, Ch2= 2-bit data, Ch3={$v_y$}, Ch4 = $VCO_{in}$



(c) QPSK with 1 step of 2-bit flash sub-ranging/re-scaling: Ch1, Ch2= 2-bit data, Ch3={$v_y$}, Ch4 = $VCO_{in}$



(d) 8-PSK demodulator with one 3-bit flash sub-ranging: Ch1, Ch2, Ch3= 3-bit data, Ch4 = {$v_y$}

**Fig. 8** Measured demodulation results using discrete components.

The QPSK demodulation results in Fig. 8(b), (c) resemble what has been predicted in Fig 4(c). Moreover, the $VCO_{in}$ level is adjustable with the carrier frequency reported as a lock range in Table I and II.

A Costas-loop BPSK demodulator has also been built for comparison purpose with an XOR phase detector and a Gilbert multiplier cell as a linear multiplier. Comparison on BPSK demodulation is summarized in Table I. The maximum data rate of the BPSK, QPSK and 8-PSK demodulator prototypes is around 40kbps for a carrier frequency of 120kHz as shown in Table II. A bit-error-rate (BER) from the demodulators has also been simulated with MATLAB Simulink as depicted in Fig. 9.

## V. Conclusion and Discussion

The BPSK, QPSK, 8-PSK and *m*-PSK demodulator architectures employing a single-phase VCO have been proposed. As a rising-edge RSFF being used as a phase detector, numbers of 1-bit and multi-bit flash sub-ranging/re-scaling steps can be combined with proper re-scaling to perform a phase controlling operation. This essentially limits the $VCO_{in}$ to sense any significant voltage swing and the phase consequently is preserved after the initial frequency lock. The concept has been experimentally verified with discrete-circuit implementation. The proposed architecture can be further

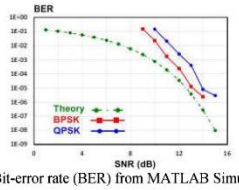



**Fig. 9** Bit-error rate (BER) from MATLAB Simulink®.

**Table I** BPSK demodulator performance comparison with discrete implementation, both with $V_{DD}$ =5V.

| | Costas loop | This work |
|---|---|---|
| Carrier frequency:<br>+ Center frequency<br>+ Tuning (lock) range | <br>75kHz<br>64-91.2kHz | <br>115kHz<br>101.75-124.75kHz |
| Max. data rate | 16kbps | 40kbps |
| VCO's phases | Quadrature (0°/90°) | Single phase |
| Power consumption | 433mW | 140mW |

**Table II** Measured performance of discrete single-phase BPSK, QPSK and 8-PSK demodulators, all with $V_{DD}$ =5V.

| | BPSK | QPSK | | 8-PSK |
|---|---|---|---|---|
| | With 1 stage of 1-bit sub-ranging step | With 2 stages of 1-bit sub-ranging step | With 1 stage of 2-bit flash sub-ranging step | With 1 stage of 3-bit flash sub-ranging step |
| Carrier freq.:<br>+Tuning (Lock) range<br>+Capture range | <br>101.75-124.75kHz<br>102.50-123.90kHz | <br>110.40-117.30kHz<br>110.80-116.70kHz | <br>117.40-123.30kHz<br>118.80-122.70kHz | <br>111.80-115.90kHz<br>112.45-114.70kHz |
| Max. data rate | 40kbps | 20ksymb/s = 40kbps | 20ksymb/s = 40kbps | 13ksymb/s = 39kbps |
| Power cons. | 140mW | 156mW | 160mW | 192mW |

modified to operate with a multi-phase VCO and multiple RSFF's for parallel multi-phase comparisons. Also, other types of phase detector such as XOR, phase-frequency detector (PFD), etc. can also be used. Moreover, the corresponding all-digital-circuit or the time-domain version of the proposed demodulator can also be realized where all of the signal processing is carried out in a *time* domain as usually found in an all-digital PLL (ADPLL). All these works will be reported in another literature.

## References

[1] J. P. Costas, "Synchronous communications," *Proceedings of the IRE*, Vol. 44, no. 12), pp. 1713–1718, 1956.

[2] M. K. Simon, "Optimum Receiver Structures for Phase-Multiplexed Modulations," *IEEE Trans. on Communications*, Vol. 26, No. 6, 1978.

[3] D. P. Taylor, "Introduction of "Synchronous Communications": A Classic Paper by John P. Costas," *Proceedings of the IEEE*, Aug. 2002.

[4] Z. Luo and S. Sonkusale, "A Novel BPSK Demodulator for Biological Implants," *IEEE Trans. on Circuits and Systems –I*, July 2008.

[5] S.-J. Huang, Y.-C. Yeh, H. W., P.-N. Chen, and J. Lee, "W-Band BPSK and QPSK Transceivers With Costas-Loop Carrier Recovery in 65-nm CMOS Technology," *IEEE J. Solid-State Circuits*, December 2011.

[6] H. Cho et al., "A 5.2 mW IEEE 802.15.6 HBC Standard Compatible Transceiver With Power Efficient Delay-Locked-Loop Based BPSK Demodulator," *IEEE J. Solid-State Circuits*, Nov. 2015.

[7] H. Cho et al., "A 79 pJ/b 80 Mb/s Full-Duplex Transceiver and a 42.5 µW 100 kb/s Super-Regenerative Transceiver for Body Channel Communication," *IEEE J. Solid-State Circuits*, Jan. 2016.

[8] C. Cheng et al., "A Fully Integrated 16-Channel Closed-Loop Neural-Prosthetic CMOS SoC With Wireless Power and Bidirectional Data Telemetry for Real-Time Efficient Human Epileptic Seizure Control," *IEEE J. Solid-State Circuits*, Nov., 2018.

[9] Jaeeun Jang et al., "A Four-Camera VGA-Resolution Capsule Endoscope System With 80-Mb/s Body Channel Communication Transceiver and Sub-Centimeter Range Capsule Localization," *IEEE Journal of Solid-State Circuits*, Feb., 2019.

[10] C.-Y. Lo and H.-C. Hong, "A 0.9 pJ/b, Reference Clock Free, Delay-Based, All-Digital Coherent BPSK Demodulator," *IEEE Solid-State Circuits Letters*, vol. 3, pp. 498–501, 2020.



Authorized licensed use limited to: STMicroelectronics international NV. Downloaded on November 23,2021 at 03:32:57 UTC from IEEE Xplore. Restrictions apply.

# ประวัติผู้เขียน

**ชื่อ สกุล** นาย ฉัตรพิพัฒน์ ชัยชำนาญ

**รหัสประจำตัวนักศึกษา** 6110120089

**วุฒิการศึกษา**

| วุฒิ | ชื่อสถาบัน | ปีที่สำเร็จการศึกษา |
|---|---|---|
| วิศวกรรมศาสตรบัณฑิต (สาขาวิศวกรรมไฟฟ้า) | มหาวิทยาลัยสงขลานครินทร์ | 2559 |

**ทุนการศึกษา**

ทุนอุดหนุนการวิจัยเพื่อวิทยานิพนธ์ บัณฑิตวิทยาลัย มหาวิทยาลัยสงขลานครินทร์

ทุนศิษย์ก้นกุฏิ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

**การตีพิมพ์เผยแพร่ผลงาน**

[1] C. Chaichomnan, P. Khumsat, and A. Worapishet, “Single-Phase, Single-Loop PLL-Based BPSK, QPSK, 8-PSK Demodulators,” in *2021 18th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, May 2021, pp. 821–824. doi: 10.1109/ECTI-CON51831.2021.9454858.