# การพัฒนาวงจรลดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย บน FPGA

# Development of a Noise Cancellation in Surface Electromyography (SEMG) on an FPGA


ไซนัลอาบีดิน เจ๊ะแว

**Sainan - Abeedin Chewae**


**วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญา**
**วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า**
**มหาวิทยาลัยสงขลานครินทร์**

**A Thesis Submitted in Partial Fulfillment of the Requirements for the Degree of**
**Master of Engineering in Electrical Engineering**
**Prince of Songkla University**
**2553**


**ลิขสิทธิ์ของมหาวิทยาลัยสงขลานครินทร์**

**ชื่อวิทยานิพนธ์** การพัฒนาวงจรลดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลายบน FPGA

**ผู้เขียน** นายไซนัลอาบีดิน เจ๊ะแว

**สาขาวิชา** วิศวกรรมไฟฟ้า

---

**อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก**

..... (ผู้ช่วยศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์)

**อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม**

..... (ผู้ช่วยศาสตราจารย์ ดร.พรชัย พฤกษ์ภัทรานนต์)

**คณะกรรมการสอบ**

.....ประธานกรรมการ (ผู้ช่วยศาสตราจารย์ ดร.วรรณรัช สันติอมรทัต)

.....กรรมการ (ผู้ช่วยศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์)

.....กรรมการ (ผู้ช่วยศาสตราจารย์ ดร.พรชัย พฤกษ์ภัทรานนต์)

.....กรรมการ (รองศาสตราจารย์ ดร.วัฒนพงศ์ เกิดทองมี)

บัณฑิตวิทยาลัย มหาวิทยาลัยสงขลานครินทร์ อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

.....

(รองศาสตราจารย์ ดร.เกริกชัย ทองหนู)

คณบดีบัณฑิตวิทยาลัย

| | |
|---|---|
| **ชื่อวิทยานิพนธ์** | การพัฒนาวงจรลดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลายบน FPGA |
| **ผู้เขียน** | นายไซนัลอาบีดิน เจ๊ะแว |
| **สาขาวิชา** | วิศวกรรมไฟฟ้า |
| **ปีการศึกษา** | 2552 |

## บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวิธีการกำจัดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ ที่เกิดขึ้นจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยใช้หลักการของวงจรกำจัดสัญญาณรบกวนแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยเบื้องต้นจะทำการวิเคราะห์เปรียบเทียบเทคนิคของการกรอง ด้วยวงจรไอไออาร์น็อตฟิลเตอร์ วงจรกรองปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS และวงจรกรอง NLMS โดยการออกแบบและจำลองการทำงานของวงจร ใช้บล็อกการประมวลผลสัญญาณดิจิตอลร่วมกับ Xilinx Accel DSP Toolbox บน MATLAB เพื่อเปรียบเทียบวิธีที่ดีที่สุดสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ประสิทธิภาพของการกำจัดสัญญาณรบกวนถูกวัดด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) จากการวิเคราะห์พบว่าวงจร ADALINE มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวนได้ดี และขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30% และเมื่อทำการวิเคราะห์จำนวนแท็ปและรูปแบบของการประมวลผลสัญญาณแบบ 16 บิต และ 32 บิต พบว่า วงจรกรองปรับตัว ADALINE จำนวน 10 แท็ปดีเลย์ ที่ใช้รูปแบบของการประมวลผลสัญญาณแบบ 16 บิต Fixed-point มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวนได้ใกล้เคียงกับการประมวลผลสัญญาณแบบ 32 บิต Fixed-point และยังมีขนาดของวงจรเล็กกว่าประมาณ 3 เท่า การออกแบบวงจรฮาร์ดแวร์นั้น ผู้วิจัยได้ออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน เพื่อเพิ่มประสิทธิภาพการใช้งานในทรัพยากรที่มีค่อนข้างจำกัด จากการออกแบบวงจรกรองปรับตัว ADALINE บน FPGA ตระกูล SPARTAN-3 เบอร์ XC3S400-TQ144 ของบริษัท Xilinx นั้น พบว่าวงจรสามารถใช้ทรัพยากรที่มีอยู่จำกัดได้ดีขึ้น วงจรที่ได้มีขนาดเล็กและให้ปริมาณงานสูงอีกด้วย นอกจากนั้นยังให้ผลที่ถูกต้องตรงกับผลที่ได้จากการจำลองบน MATLAB โดยระบบที่สร้างขึ้นในงานวิจัยนี้ได้ใช้วงจรคูณขนาด 18x18 บิต ภายใน FPGA จำนวน 3 วงจร 1835 LUTs และ 858 Flip-Flops ซึ่งสามารถประมวลผลสัญญาณได้ 1.656 ล้านตัวอย่างต่อวินาที

| | |
|---|---|
| **Thesis Title** | Development of a Noise Cancellation in Surface Electromyography (SEMG) on an FPGA |
| **Author** | Mr. Sainan – Abeedin Chewae |
| **Major Program** | Electrical Engineering |
| **Academic Year** | 2009 |

## ABSTRACT

This thesis presents a design of an adaptive noise cancellation system for 50-Hz noise in surface electromyography. The comparisons of noise cancellation without external reference signal consisting of an IIR Notching filter, an adaptive linear neural network (ADALINE) filter based on least mean square (LMS) algorithm and Normalized least mean square (NLMS) algorithm were performed. The design and the simulation were performed using DSP Toolbox and Xilinx Accel DSP Toolbox on MATLAB. The filter efficiency was measured using the correlation coefficient and the normalized mean square error (NMSE). From the analysis results, ADALINE filter is the most suitable method for 50-Hz noise cancellation because it has the efficiency comparable to NLMS but its circuit size is about 30% smaller than the NLMS based filter. In additions, the 16-bit fixed-point Q0.15 format was optimized for area using the resource-sharing technique that considers the interconnect complexity. The design and the simulation were performed by using Xilinx tools to find the most optimized circuit on Xilinx FPGA SPARTAN-3 XC3S400-TQ144. From the experimental results, the 10-tap ADALINE implemented in the 16-bit fixed-point Q0.15 format can achieve the throughput of 1.656 MSPS (Million sample per sec) with the area of three 18x18 bit embedded multipliers, 1835 LUTs, and 858 Flip-Flops, whereas the signal quality is the same as the others.

# กิตติกรรมประกาศ

ขอแสดงคำขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ณัฏฐา จินดาเพ็ชร์ ประธานกรรมการที่ปรึกษางานวิจัย ที่ได้เสียสละเวลาในการให้คำปรึกษา แนวคิดในการทำวิจัย รวมถึงการช่วยเหลือแก้ไขปัญหาที่เกี่ยวกับการวิจัย ตลอดจนตรวจสอบและแก้ไขวิทยานิพนธ์ให้ดำเนินไปอย่างลุล่วงสมบูรณ์

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.พรชัย พฤกษ์ภัทรานนต์ กรรมการที่ปรึกษางานวิจัยที่ได้กรุณาอุทิศเวลาให้คำปรึกษา คำแนะนำ และให้ความช่วยเหลือในงานวิจัยตลอดจนช่วยตรวจทานแก้ไขวิทยานิพนธ์ให้ดำเนินไปด้วยดี

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.วรรณรัช สันติอมรทัต ที่ได้กรุณาเสียสละเวลาเป็นประธานกรรมการสอบวิทยานิพนธ์และตรวจทานแก้ไขวิทยานิพนธ์ให้มีความสมบูรณ์

ขอขอบพระคุณ รองศาสตราจารย์ ดร.วัฒนพงศ์ เกิดทองมี ที่ได้กรุณาเสียสละเวลาเป็นกรรมการสอบวิทยานิพนธ์ อีกทั้งตรวจทานและแก้ไขวิทยานิพนธ์ให้มีความสมบูรณ์ยิ่งขึ้น

ขอขอบพระคุณ คณาจารย์และเจ้าหน้าที่ในภาควิชาวิศวกรรมไฟฟ้าทุกๆ ท่าน ที่ให้ความช่วยเหลือในด้านต่างๆ มาโดยตลอด จนกระทั่งงานสำเร็จลุล่วง

ขอขอบพระคุณ บัณฑิตวิทยาลัย มหาวิทยาลัยสงขลานครินทร์ วิทยาเขตหาดใหญ่ที่ให้การสนับสนุนในการทำวิจัยและให้ความช่วยเหลือด้านการประสานงานต่างๆ

ขอขอบคุณ พี่ๆ เพื่อนๆ และน้องๆ มหาวิทยาลัยสงขลานครินทร์ ทุกท่านที่ได้ให้คำแนะนำ คำปรึกษา และกำลังใจที่ดีมาโดยตลอด

สุดท้ายนี้ ข้าพเจ้าขอน้อมรำลึกถึงพระคุณของ บิดามารดา และครอบครัว ที่ส่งเสริมและสนับสนุนข้าพเจ้าในทุกๆ เรื่องตลอดมาจนสำเร็จการศึกษา

ไซนัลอาบีดิน เจ๊ะแว

**สารบัญ**


| | หน้า |
|---|---|
| สารบัญ | (6) |
| รายการตาราง | (10) |
| รายการภาพประกอบ | (11) |
| บทที่ | |
| 1. บทนำ..... | 1 |
| 1.1 ความสำคัญและที่มาของหัวข้อวิจัย..... | 1 |
| 1.2 การทบทวนเอกสารวิจัยที่เกี่ยวข้อง..... | 2 |
| 1.3 วัตถุประสงค์ของการวิจัย..... | 5 |
| 1.4 ขอบเขตของการวิจัย..... | 6 |
| 1.5 ขั้นตอนและวิธีการดำเนินการวิจัย..... | 6 |
| 1.6 ประโยชน์ที่คาดว่าจะได้รับ..... | 8 |
| 2. ทฤษฎีและหลักการที่เกี่ยวข้อง..... | 9 |
| 2.1 ทฤษฎีและหลักการเกี่ยวกับสัญญาณไฟฟ้าของกล้ามเนื้อลาย..... | 9 |
| 2.1.1 กล้ามเนื้อลาย..... | 9 |
| 2.1.2 การเกิดสัญญาณไฟฟ้าของกล้ามเนื้อลาย..... | 9 |
| 2.1.3 การเกิดสัญญาณรบกวนในการวัดสัญญาณไฟฟ้ากล้ามเนื้อลาย..... | 10 |
| 2.2 ทฤษฎีและหลักการเกี่ยวกับระบบลดสัญญาณรบกวน..... | 11 |
| 2.2.1 ตัวกรองสัญญาณดิจิตอลแบบไอไออาร์ (Digital IIR Filter)…….. | 11 |
| 2.2.2 ตัวกรองสัญญาณดิจิตอลแบบเอฟไออาร์ (Digital FIR Filter)..... | 14 |
| 2.2.3 อัลกอริทึมแบบค่าเฉลี่ยกำลังสองน้อยที่สุด (Least mean square algorithm)..... | 16 |
| 2.2.4 อัลกอริทึมแบบนอมอลไลซ์ค่าเฉลี่ยกำลังสองน้อยที่สุด (Normalized least mean square algorithm)…….. | 21 |
| 2.2.5 การประยุกต์ใช้งานตัวกรองสัญญาณแบบปรับตัวเอง..... | 21 |
| 2.2.6 การทำนายแบบปรับตัวเอง (Adaptive Prediction)…… | 22 |

**สารบัญ(ต่อ)**

**หน้า**


2.2.7 การกำจัดสัญญาณรบกวนแบบปรับตัวเอง (Adaptive Noise Cancellation)..... 23

2.2.8 หลักการพื้นฐานการลดสัญญาณรบกวนโดยการใช้วงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก..... 24

2.2.9 การประยุกต์ใช้โครงข่ายประสาท ADALINE เป็นวงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก..... 26

2.3 หลักการเกี่ยวกับการคำนวณหรือการประมวลผลสัญญาณแบบทศนิยมตรึงจุด (Fixed-point arithmetic)..... 27

2.4 เทคนิคการออกแบบวงจรรวมดิจิตอล..... 30

2.4.1 การจัดลำดับโอเปอเรชันและการกำหนด Clock period เพื่อสามารถใช้ทรัพยากรร่วมกันได้..... 30

2.4.2 การออกแบบวงจรข้อมูล (Data-path) โดยหลักการใช้ทรัพยากรร่วมกันและการคิดวงจรควบคุม (Control-path)..... 32

2.4.3 หลักการของวงจรควบคุม Finite State Machine (FSM) แบบ Moore Finite State Machine…….. 35

2.4.4 ขั้นตอนของการออกแบบวงจรดิจิตอลบนเทคโนโลยี FPGAs……... 37

3. การวิเคราะห์อัลกอริทึมที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย..... 42

3.1 การจำลองระบบการกำจัดสัญญาณรบกวน ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายด้วยโปรแกรม MATLAB..... 42

3.1.1 วิธีการและอุปกรณ์..... 43

3.1.2 ผลการจำลอง..... 44

3.2 การจำลองการกำจัดสัญญาณรบกวนออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายโดยใช้ DSP Toolbox ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox..... 60

3.2.1 วิธีการและอุปกรณ์..... 61

3.2.2 ผลการจำลอง..... 61

**สารบัญ(ต่อ)**


| | หน้า |
|---|---|
| 4. วิธีการออกแบบและการสร้าง..... | 66 |
| 4.1 การออกแบบสถาปัตยกรรมของวงจรประมวลผลสัญญาณดิจิตอล..... | 66 |
| 4.1.1 การออกแบบวงจรคูณแบบ 16 บิต Fixed-point รูปแบบ Q0.15..... | 66 |
| 4.1.2 การออกแบบวงจรบวกและวงจรลบแบบ 16 บิต Fixed-point..... | 67 |
| 4.2 การออกแบบสถาปัตยกรรมของวงจรกรองปรับตัว ADALINE..... | 68 |
| 4.2.1 โครงสร้างทางฮาร์ดแวร์ของวงจรกรองปรับตัว ADALINE..... | 68 |
| 4.2.1.1 วงจรดีเลย์ข้อมูล 10 Samples และวงจร 10-Tapped Delay Line..... | 69 |
| 4.2.1.2 โครงสร้างของโครงข่าย ADALINE ชนิด 10 แท็ปดีเลย์..... | 70 |
| 4.2.1.3 วงจรปรับค่าน้ำหนักและค่าไบอัสของโครงข่าย ADALINE ชนิด 10 แท็ปดีเลย์..... | 70 |
| 4.3 การออกแบบสถาปัตยกรรมของวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกัน..... | 71 |
| 4.3.1 โครงสร้างของวงจรส่วนข้อมูล..... | 71 |
| 4.3.1.1 โครงสร้างของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน..... | 73 |
| 4.3.1.2 โครงสร้างของวงจรปรับค่าน้ำหนักและค่าไบอัสของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน..... | 75 |
| 4.3.2 โครงสร้างของวงจรในส่วนการควบคุม..... | 77 |
| 5. ผลการทดลอง……..... | 79 |
| 5.1 ผลการสังเคราะห์..... | 79 |
| 5.1.1 วงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15..... | 79 |
| 5.1.2 วงจรบวก 16 บิต Fixed-point..... | 81 |
| 5.1.3 วงจรลบ 16 บิต Fixed-point..... | 82 |
| 5.1.4 วงจรดีเลย์ข้อมูล 10 Samples และวงจร 10-Tapped Delay Line..... | 83 |

**สารบัญ(ต่อ)**

**หน้า**


5.1.5 วงจรส่วนควบคุม..... 85
5.1.6 วงจรที่ใช้ในการทดสอบ..... 86
5.1.7 วงจรกรองปรับตัว ADALINE ชนิด 10 แท็ปดีเลย์..... 87
5.1.7.1 วงจรกรองปรับตัว ADALINE ที่ออกแบบก่อนการใช้ทรัพยากรร่วมกัน..... 88
5.1.7.2 วงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน..... 89
5.2 ผลการทดสอบ..... 91
5.3 ผลการทดสอบสัญญาณจริง..... 93
5.3.1 ผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อลายบน MATLAB..... 93
5.3.2 ผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อลายบน Xilinx ISE..... 95
6. สรุปผลการทดลองและข้อเสนอแนะ..... 99
6.1 สรุปผลการทดลอง..... 99
6.2 ข้อเสนอแนะ..... 100
บรรณานุกรม..... 102
ภาคผนวก..... 104
ภาคผนวก (ก)..... 105
ภาคผนวก (ข)..... 113
ภาคผนวก (ค)..... 124
ภาคผนวก (ง)..... 141
ภาคผนวก (จ)..... 146
ประวัติผู้เขียน..... 152

**รายการตาราง**


| ตารางที่ | | หน้า |
|---|---|---|
| 2-1 | Dynamic range, Scaling factors และ Precision ของเลขจำนวน 16 บิต ที่ใช้ Q-format ที่ต่างกัน | 28 |
| 3-1 | ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 49 เฮิรตซ์ | 44 |
| 3-2 | ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 50 เฮิรตซ์ | 48 |
| 3-3 | ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 51 เฮิรตซ์ | 52 |
| 3-4 | ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 51 เฮิรตซ์ ที่แอมพลิจูด 0.1 | 56 |
| 3-5 | แสดงผลการเปรียบเทียบขนาดของวงจรต่างๆ ที่ได้จากการทดลอง | 60 |
| 3-6 | ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม Xilinx Accel DSP Toolbox | 62 |
| 3-7 | แสดงผลการเปรียบเทียบการใช้ทรัพยากรรูปแบบต่างๆ บน FPGA SPARTAN- 3 ตระกูล XC3S5000-FG676-4 | 62 |
| 4-1 | แสดงผลการเปรียบเทียบการใช้ทรัพยากรร่วมกันรูปแบบต่างๆ | 72 |
| 5-1 | แสดงการเปรียบเทียบผลของตัวบ่งชี้จากการทดสอบวงจรกรองปรับตัว ADALINE 10-Tapped Delay Line โดยใช้ 16 บิต Fixed-Point รูปแบบ Q0.15 บน Xilinx ISE | 91 |
| 5-2 | แสดงผลการเปรียบเทียบการใช้ทรัพยากรรูปแบบต่างๆ บน FPGA SPARTAN-3 ตระกูล XC3S400-TQ144-4 | 96 |
| 5-3 | แสดงผลการเปรียบเทียบปริมาณการทำงานของวงจรบนอุปกรณ์ต่างๆ | 98 |

## รายการภาพประกอบ


| ภาพประกอบ | | หน้า |
|---|---|---|
| 1-1 | แสดงขั้นตอนและวิธีการดำเนินการวิจัย | 7 |
| 2-1 | แสดงโครงสร้างของวงจรกรองไอไออาร์แบบ Direct Form I | 12 |
| 2-2 | แสดงโครงสร้างของวงจรกรองไอไออาร์แบบ Direct Form II | 13 |
| 2-3 | แสดงโครงสร้างของวงจรกรองเอฟไออาร์ | 15 |
| 2-4 | แสดงรูปแบบขั้นตอนการทำงานของ LMS | 20 |
| 2-5 | แสดงรูปแบบและส่วนประกอบของตัวกรองสัญญาณแบบปรับตัวเอง | 21 |
| 2-6 | แสดงการทำนายแบบปรับตัวเอง | 22 |
| 2-7 | แสดงการกำจัดสัญญาณรบกวนแบบปรับตัวเอง | 23 |
| 2-8 | วงจรลดสัญญาณรบกวนที่ใช้วงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก | 24 |
| 2-9 | การประยุกต์ใช้โครงข่าย ADALINE เป็นวงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก | 26 |
| 2-10 | แสดงการจัดลำดับโอเปอเรชันและการกำหนด Clock period ของการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน | 31 |
| 2-11 | การใช้ Clock Period ที่ต่างกันใน Resource Sharing ของการออกแบบวงจรแบบ Pipeline | 32 |
| 2-12 | การออกแบบวงจรสำหรับการควบคุม Data-path | 33 |
| 2-13 | แสดงตัวอย่างของการออกแบบวงจร Resource Estimation | 34 |
| 2-14 | แสดงตัวอย่างไดอะแกรมของหน่วยควบคุม | 35 |
| 2-15 | แสดงแผนภาพไดอะแกรมรูปแบบ Moore Machine | 36 |
| 2-16 | แสดงบล็อกไดอะแกรมรูปแบบ Moore Machine ในมุมมองทางฮาร์ดแวร์ | 36 |
| 2-17 | โครงสร้างภายในของ FPGA ตระกูล Spartan – 3 | 37 |
| 2-18 | Xilinx Design Flow | 39 |
| 3-1 | แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) | 45 |
| 3-2 | แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 49 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) | 45 |

**รายการภาพประกอบ(ต่อ)**


| ภาพประกอบ | | หน้า |
|---|---|---|
| 3-3 | ความสามารถในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงจรไอไออาร์น็อตซ์ ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.30 และค่า NMSE 8.75..... | 46 |
| 3-4 | ความสามารถในการกำจัดสัญญาณรบกวน49 เฮิรตซ์ ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 46 |
| 3-5 | ความสามารถในการกำจัดสัญญาณรบกวน49 เฮิรตซ์ ของวงจร NLMS (ซ้าย) และ เพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 47 |
| 3-6 | แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงจรกรองแบบต่างๆ..... | 47 |
| 3-7 | แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)..... | 49 |
| 3-8 | แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 50 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)..... | 49 |
| 3-9 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจรไอไออาร์น็อตซ์ ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.95 และค่า NMSE 0.09..... | 49 |
| 3-10 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 50 |
| 3-11 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 51 |
| 3-12 | แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจรกรองแบบต่างๆ..... | 51 |
| 3-13 | แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)..... | 53 |
| 3-14 | แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 51 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)..... | 53 |

**รายการภาพประกอบ(ต่อ)**


| ภาพประกอบ | | หน้า |
|---|---|---|
| 3-15 | ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจรไอไออาร์น็อตซ์ ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.33 และค่า NMSE 7.96..... | 53 |
| 3-16 | ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 54 |
| 3-17 | ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจรกรอง NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 55 |
| 3-18 | แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจรกรองแบบต่างๆ..... | 55 |
| 3-19 | แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) | 57 |
| 3-20 | แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)..... | 57 |
| 3-21 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงจร ไอไออาร์นอตซ์ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์ สหพันธ์ 0.97 และค่า NMSE 0.05..... | 57 |
| 3-22 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงจร กรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 58 |
| 3-23 | ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ..... | 59 |
| 3-24 | แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงกรองแบบต่างๆ..... | 59 |
| 3-25 | แสดงไดอะแกรมในการออกแบบและจำลองวงจรกำจัดสัญญาณรบกวนของ วงจรกรองปรับตัว ADALINE ด้วยโปรแกรม Xilinx Accel DSP Toolbox..... | 61 |

**รายการภาพประกอบ(ต่อ)**


| ภาพประกอบ | | หน้า |
|---|---|---|
| 3-26 | ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองปรับตัว ADALINE ที่จำนวน Tapped Delay Line ต่างๆ..... | 64 |
| 3-27 | ค่า Mean square error ของวงจรกรอง ADALINE 10-Tapped Delay Line แบบ 32 บิต Fixed-point รูปแบบ Q0.31 และ 16 บิต Fixed-point รูปแบบ Q0.15 เทียบกับค่า Double precision บนMATLAB..... | 64 |
| 4-1 | แสดงโครงสร้างและลำดับการทำงานของวงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15..... | 66 |
| 4-2 | แสดงโครงสร้างและลำดับการทำงานของวงจรบวก 16 บิต แบบ Fixed-point..... | 67 |
| 4-3 | แสดงโครงสร้างและลำดับการทำงานของวงจรลบ 16 บิต แบบ Fixed-point..... | 67 |
| 4-4 | แสดงโครงสร้างทางฮาร์ดแวร์โดยรวมของวงจรกรองปรับตัว ADALINE..... | 68 |
| 4-5 | แสดงโครงสร้างทางฮาร์ดแวร์ของวงจรดีเลย์ข้อมูล 10 Samples..... | 69 |
| 4-6 | แสดงโครงสร้างทางฮาร์ดแวร์ของวงจร 10-Tapped Delay Line..... | 69 |
| 4-7 | แสดง Data Flow Graph ของโครงข่าย ADALINE 10 Tapped Delay Line..... | 70 |
| 4-8 | แสดง Data Flow Graph ของวงจรปรับค่าน้ำหนักและค่าไบอัสของโครงข่าย ADALINE 10 Tapped Delay Line..... | 70 |
| 4-9 | แสดงโครงสร้างทางฮาร์ดแวร์ของโครงข่าย ADALINE 10-Tapped Delay Line โดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1……. | 73 |
| 4-10 | แสดง Timing Diagram ของการใช้ทรัพยากรร่วมกันของโครงข่าย ADALINE 10-Tapped Delay Line รูปแบบ Resource Sharing # 4:1..... | 74 |
| 4-11 | แสดงโครงสร้างทางฮาร์ดแวร์ของวงจรปรับค่าน้ำหนักและค่าไบอัสที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1..... | 75 |
| 4-12 | แสดง Timing Diagram ของการออกแบบวงจรปรับค่าน้ำหนักและค่าไบอัส รูปแบบ Resource Sharing # 4:1..... | 76 |
| 4-13 | แสดงบล็อกไดอะแกรมของวงจรควบคุม ADALINE Adaptive Filter..... | 77 |
| 4-14 | แสดงโครงสร้างทางฮาร์ดแวร์โดยรวมของวงจรกรองปรับตัว ADALINE ที่ออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน..... | 78 |

## รายการภาพประกอบ(ต่อ)


| ภาพประกอบ | | หน้า |
|---|---|---|
| 5-1 | แสดงผลการสังเคราะห์ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15 ที่ใช้ในงานวิจัย..... | 79 |
| 5-2 | แสดง Device Utilization Summary ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15..... | 80 |
| 5-3 | แสดง Timing Summary ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15..... | 80 |
| 5-4 | แสดงผลการสังเคราะห์ของวงจรบวก 16 บิต Fixed-Point ที่ใช้ในงานวิจัย..... | 81 |
| 5-5 | แสดง Device Utilization Summary ของวงจรบวก 16 บิต Fixed-Point..... | 81 |
| 5-6 | แสดง Timing Summary ของวงจรบวก 16 บิต Fixed-Point..... | 82 |
| 5-7 | แสดงผลการสังเคราะห์ของวงจรลบ 16 บิต Fixed-Point ที่ใช้ในงานวิจัย..... | 82 |
| 5-8 | แสดง Device Utilization Summary ของวงจรลบ 16 บิต Fixed-point..... | 83 |
| 5-9 | แสดง Timing Summary ของวงจรลบ 16 บิต Fixed-point..... | 83 |
| 5-10 | แสดงผลการสังเคราะห์ของวงจรดีเลย์ข้อมูล 10 Sample และ วงจร 10-Tapped Delay Line ที่ใช้ในงานวิจัย..... | 83 |
| 5-11 | แสดง Device Utilization Summary ของวงจรดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line..... | 84 |
| 5-12 | แสดง Timing Summary ของวงจรดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line..... | 84 |
| 5-13 | แสดงผลการสังเคราะห์ของวงจรควบคุมแบบ Moore Finite State Machine..... | 85 |
| 5-14 | แสดง Device Utilization Summary ของวงจรควบคุมแบบ Moore Finite State Machine..... | 85 |
| 5-15 | แสดง Timing Summary ของวงจรควบคุมแบบ Moore Finite State Machine..... | 86 |
| 5-16 | แสดงผลการสังเคราะห์ของวงจรทดสอบการทำงานของวงจรกรองปรับตัว ADALINE ที่ใช้ในงานวิจัย..... | 86 |
| 5-17 | แสดง Device Utilization Summary ของวงจรทดสอบ..... | 87 |
| 5-18 | แสดง Timing Summary ของวงจรทดสอบ..... | 87 |
| 5-19 | แสดงผลการสังเคราะห์ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน..... | 88 |

**รายการภาพประกอบ(ต่อ)**


| ภาพประกอบ | | หน้า |
|---|---|---|
| 5-20 | แสดง Device Utilization Summary ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน..... | 88 |
| 5-21 | แสดง Timing Summary ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน..... | 89 |
| 5-22 | แสดงผลการสังเคราะห์ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1…..... | 89 |
| 5-23 | แสดง Device Utilization Summary ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1…….. | 90 |
| 5-24 | แสดง Timing Summary ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1…..... | 90 |
| 5-25 | แสดงผลการเปรียบเทียบการทดสอบวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ..... | 92 |
| 5-26 | แสดงการเปรียบเทียบอัตราการลู่เข้าของวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ..... | 92 |
| 5-27 | สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา)…..... | 93 |
| 5-28 | สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา) ที่ได้จากการลดสัญญาณรบกวนของวงจรน็อตช์ ฟิลเตอร์ (บน) วงจรกรอง ADALINE (กลาง) และวงจรกรอง NLMS (ล่าง)..... | 94 |
| 5-29 | สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา) ก่อนการลดสัญญาณรบกวน (บน), หลังจากที่ผ่านการลดสัญญาณรบกวน (ล่าง)..... | 95 |
| 5-30 | กราฟแสดงผลการเปรียบเทียบค่า MUL18x18, FFs, และ LUTs ของวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ..... | 97 |
| 5-31 | กราฟแสดงผลการเปรียบเทียบค่า Throughput ของวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ..... | 97 |

# บทที่ 1

# บทนำ

## 1.1 ความสำคัญและที่มาของหัวข้อวิจัย

การประมวลผลสัญญาณดิจิตอลมีบทบาทสำคัญในการออกแบบวงจรที่มีขนาดใหญ่ และต้องการความเร็วในการประมวลผลสูง ปัจจุบันมีการนำวงจรรวมดิจิตอลที่สามารถถูกโปรแกรมได้ เช่น Field Programmable Gate Array มาใช้งานอย่างแพร่หลาย เนื่องจากการแก้ไขวงจรทำได้ง่าย และเทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static RAM) ทำให้สามารถโปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกทในระดับสูงถึงล้านๆ เกท เหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน โดยเฉพาะวงจรที่ใช้สำหรับประมวลผลข้อมูลจำนวนทศนิยมที่ต้องการความละเอียดสูง ในการออกแบบวงจรดิจิตอลนั้นสามารถทำได้โดยการใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ (Hardware Description Language) เนื่องจากวิธีการนี้ผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซีและที่สำคัญ การออกแบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) ได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยี สำหรับภาษาที่ใช้สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL, Verilog เป็นต้น

ปัญหาส่วนใหญ่ในการวัดสัญญาณไฟฟ้ากล้ามเนื้อลาย (Surface Electromyography : SEMG) มักจะพบสัญญาณรบกวนเสมอ โดยเฉพาะอย่างยิ่งสัญญาณรบกวน 50 เฮิรตซ์ ที่เกิดจากการเหนี่ยวนำของสนามแม่เหล็กไฟฟ้าของระบบไฟฟ้า 220 โวลต์ ที่ความถี่ 50 เฮิรตซ์ สัญญาณนี้จะเข้าปะปนอยู่กับสัญญาณกล้ามเนื้อจริง ทำให้สัญญาณจริงของกล้ามเนื้อที่วัดได้ผิดเพี้ยนจากสัญญาณจริงได้ สัญญาณกล้ามเนื้อมีประโยชน์มากทางด้านการแพทย์ เช่น นำมาใช้ในการวิเคราะห์ความผิดปกติต่างๆ ของระบบประสาทและกล้ามเนื้อ โดยทั่วไปสัญญาณไฟฟ้าจากกล้ามเนื้อของคน ปกติจะมีพลังงานของสัญญาณอยู่ในย่านความถี่ 10 – 500 Hz ที่แรงดันขนาด 50 μv – 100 mv ซึ่งเป็นขนาดสัญญาณค่อนข้างต่ำมาก ทำให้เกิดสัญญาณรบกวนได้ง่าย เนื่องจากสัญญาณรบกวนมีขนาดของสัญญาณที่สูงกว่าสัญญาณไฟฟ้าของกล้ามเนื้อมาก [1] จากปัญหาดังกล่าว การเลือกสรรเทคนิควิธีการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลาย จึงทำให้ผู้วิจัยมีความสนใจที่จะดำเนินการวิจัย ในการเลือกสรรวิธีเพื่อกำจัดสัญญาณ

รบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลายขึ้น จากงานวิจัย [2][3][4] พบว่า วงจรกรองแบบปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก สามารถกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคได้ และมีความเหมาะสมในการนำไปใช้งานมากที่สุด และผลงานวิจัย [5][6][7] ได้ออกแบบวงจรกรองปรับตัว ADALINE ในการกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ โดยใช้การประมวลผลสัญญาณแบบจุดทศนิยม 32 บิต แบบไปป์ไลน์ ในการออกแบบวงจรได้ใช้ทรัพยากรร่วมกันในไปป์ไลน์ละเอียดผลจากการทดลองพบว่า วงจรที่ได้มีขนาดใหญ่มาก

งานวิจัยนี้ จึงได้ทำการออกแบบระบบกำจัดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยเฉพาะอย่างยิ่งในการกำจัดสัญญาณรบกวนจากความถี่ระบบไฟฟ้า 50 เฮิรตซ์ และฮาร์มอนิคของระบบ โดยเปรียบเทียบการกำจัดสัญญาณรบกวนที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลายโดยใช้วงจรกรองไอไออาร์แบบน็อตซ์ฟิลเตอร์ (IIR Notch Filter) วงจรกรองปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS และวงจรกรองแบบปรับตัวที่ใช้อัลกอริทึม NLMS เพื่อเปรียบเทียบวิธีที่ดีที่สุด สำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ โดยวัดประสิทธิภาพของการกำจัดสัญญาณรบกวนด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) แล้วนำวงจรที่ออกแบบมาได้ที่เหมาะสมที่สุด นำไปโปรแกรมลงบนชิพ FPGA ด้วยเทคนิคการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน เพื่อให้ประหยัดจำนวนทรัพยากรของวงจร

## 1.2 การทบทวนเอกสารวิจัยที่เกี่ยวข้อง

1.2.1 FPGA-Based Implementation of an Adaptive Canceller for 50/60- Hz Interference in Electrocardiography [8] บทความนี้ได้นำเสนอการออกแบบวงจรกรองแบบปรับตัวได้ Adaptive Filter ที่ใช้สัญญาณอ้างอิงจากภายนอก ในการกำจัดสัญญาณรบกวน 50/60 เฮิรตซ์ โดยใช้อัลกอริทึม LMS ในการปรับค่าสัมประสิทธิ์ของวงจรกรอง เพื่อสร้างเป็นวงจรกำจัดสัญญาณรบกวนความถี่ 50/60 Hz จากการวัดสัญญาณคลื่นไฟฟ้าหัวใจ แล้วนำวงจรที่ออกแบบมาโปรแกรมลงบนชิพ FPGA โดยงานวิจัยได้ทำการเปรียบระหว่างวงจรที่สร้างขึ้นกับวงจรน็อตซ์ฟิลเตอร์ (Notch Filter) ผลการวิจัยพบว่า วงจรกรองปรับตัวที่ได้สร้างขึ้นสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ได้ดีกว่า เมื่อเทียบกับวงจรน็อตซ์ฟิลเตอร์ (Notch Filter)

1.2.2 Adaptive Noise Cancellation Based on Neural Network [9] บทความนี้กล่าวถึงการประยุกต์ใช้วงจรกรองปรับตัวแบบโครงข่ายประสาท ADALINE ที่ใช้สัญญาณอ้างอิงจากภายนอก ในการกำจัดสัญญาณรบกวนจากเครื่องยนต์ โดยใช้อัลกอริทึม LMS ในการปรับค่าน้ำหนักของวงจรกรอง และทำการทดลองบนโปรแกรม MATLAB เพื่อใช้ในการแยกคลื่นสัญญาณรบกวนจากเครื่องยนต์ ที่เข้ารบกวนยังห้องผู้โดยสาร โดยนำวงจรที่ได้ทำการทดสอบที่ความเร็วรอบของเครื่องยนต์ระดับต่าง ๆ ทั้งในขณะรถหยุดอยู่กับที่และวิ่งอยู่บนท้องถนน ผลการทดสอบพบว่า วงจรกรองปรับตัวแบบโครงข่าย ADALINE ที่ใช้สัญญาณอ้างอิงจากภายนอกที่สร้างขึ้นสามารถลดสัญญาณรบกวนได้ดีในขณะที่รถอยู่กับที่ แต่เมื่อทดสอบในขณะที่รถวิ่งอยู่บนท้องถนนพบว่ามีสัญญาณรบกวนจากที่อื่นเพิ่มเข้ามาในระบบด้วย ทำให้ประสิทธิภาพในการกำจัดสัญญาณรบกวนน้อยลงตามไปด้วย

1.2.3 Investigation of Adaptive Filtering for Noise Cancellation in ECG signals [10] บทความนี้กล่าวถึงการประยุกต์ใช้วงจรกรองแบบปรับตัว ที่ใช้สัญญาณอ้างอิงจากภายนอก ในการกำจัดสัญญาณรบกวน 50/60 เฮิรตซ์ โดยใช้อัลกอริทึม LMS ในการปรับค่าสัมประสิทธิ์ของวงจรกรอง เพื่อใช้ในการแยกคลื่นสัญญาณไฟฟ้าหัวใจออกจากสัญญาณรบกวนจากความถี่ของระบบไฟฟ้า 50/60 Hz โดยนำวงจรและอัลกอริทึมที่ออกแบบมาได้ นำไปจำลองโดยใช้ MATLAB SIMULINK บนโปรแกรม MATLAB ซึ่งผลจากการทดลองผลปรากฏว่า วงจรสามารถกำจัดสัญญาณรบกวน 50/60 เฮิรตซ์ ได้ดี

1.2.4 Implementation and Analysis of the NLMS Algorithm on TMS320C6713 DSP [11] บทความนี้กล่าวถึง การออกแบบและวิเคราะห์วงจรกรองแบบปรับตัวได้ที่ใช้อัลกอริทึม LMS และ NLMS บนชิพ DSP (TMS320C6713) เพื่อทำการเปรียบเทียบสมรรถนะของอัลกอริทึมทั้งสองในการลดสัญญาณรบกวนที่เกิดขึ้นจากการประมวลผลสัญญาณเสียง ผลจากการทดลองพบว่า วงจรกรองแบบปรับตัวที่ได้สามารถลดสัญญาณรบกวนในการประมวลผลสัญญาณเสียงได้ดี และเมื่อพิจารณาเวลาในการประมวลผลสัญญาณพบว่าวงจรกรองแบบปรับตัวที่ใช้อัลกอริทึม NLMS มีอัตราการลู่เข้าได้เร็วกว่าอัลกอริทึม LMS

1.2.5 Design of an ADALINE Adaptive Filter Based Noise Cancellation Based on Fine-grained Pipelines [7] บทความนี้กล่าวถึงวิธีการออกแบบวงจรประมวลผลสัญญาณแบบจุดทศนิยมแบบไปป์ไลน์ ได้แก่วงจรคูณจุดทศนิยม 32 บิต แบบไปป์ไลน์ 4 สเตจ และวงจรบวกจุดทศนิยม 32 บิตแบบไปป์ไลน์ 4 สเตจเช่นกัน และนำวงจรประมวลผลที่ออกแบบมาได้ มาสร้างเป็นวงจรกรองแบบปรับตัว ADALINE จำนวน 8 แท็ปดีเลย์ แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ในการออกแบบวงจรโดยร่วม ได้ใช้เทคนิคในการออกแบบด้วยการใช้ทรัพยากรร่วมกันในไปป์ไลน์

ละเอียด และนำวงจรที่ได้ มาทดสอบในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ผลปรากฏว่า วงจรที่สร้างขึ้นสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์และสัญญาณฮาร์มอนิคได้ดี แต่วงจรที่ได้มีขนาดใหญ่มากทำให้ใช้เนื้อที่ทั้งหมดของชิพ FPGA ตระกูล Spatarn-3 เบอร์ XC3S400-TQ144

1.2.6 การประยุกต์ใช้โครงข่ายประสาทเพื่อลดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณ Somatosensory Evoked Potentials และสัญญาณไฟฟ้าของกล้ามเนื้อ [2] การวิจัยนี้เสนอวิธีการลดสัญญาณรบกวนโดยประยุกต์ใช้โครงข่ายประสาท 2 ประเภทด้วยกัน ได้แก่ โครงข่ายประสาท ADALINE และโครงข่ายประสาทที่มีการเรียนรู้แบบแพร่กลับ (Back Propagation) เพื่อประยุกต์ใช้เป็นวงจรกรองปรับตัว ทั้งที่ใช้สัญญาณอ้างอิงจากภายนอก และไม่ใช้สัญญาณอ้างอิงจากภายนอก จากผลการทดลองพบว่า วงจรกรองปรับตัวที่ใช้สัญญาณอ้างอิงจากภายนอกสามารถลดสัญญาณรบกวน 50 เฮิรตซ์ได้ แต่ไม่สามารถลดสัญญาณฮาร์มอนิคได้ ในขณะที่วงจรกรองปรับตัวที่ไม่ใช้สัญญาณอ้างอิงจากภายนอกสามารถลดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคได้ ทั้งโครงข่าย ADALINE และโครงข่ายที่มีการเรียนรู้แบบแพร่กลับ แต่หากพิจารณาทั้งสองโครงข่ายแล้ว วงจรกรองปรับตัวได้ที่ประยุกต์ใช้โครงข่าย ADALINE มีความเหมาะสมมากที่สุด เนื่องจากใช้เวลาในการคำนวณน้อยกว่า ทั้งนี้เนื่องจากวงจรมีเพียงชั้นอินพุต และชั้นเอาต์พุตเท่านั้น รวมทั้งเป็นการคำนวณแบบป้อนไปข้างหน้าอย่างเดียว ซึ่งต่างจากวงจรโครงข่ายที่มีการเรียนรู้แบบแพร่กลับ ที่ประกอบไปด้วยชั้นอินพุต ชั้นซ่อน และชั้นเอาต์พุต และมีการคำนวณแบบป้อนไปข้างหน้าและป้อนย้อนกลับ จึงทำให้ใช้เวลาที่นานกว่าโครงข่าย ADALINE ดังนั้นวงจรกรองแบบปรับตัวที่ประยุกต์ใช้โครงข่าย ADALINE ที่ไม่ใช้สัญญาณอ้างอิงจากภายนอกมีความเหมาะสมในการใช้งานมากที่สุด

1.2.7 การประยุกต์ใช้ไมโครคอนโทรลเลอร์เป็นโครงข่ายประสาทเพื่อลดสัญญาณรบกวน [3] บทความนี้นำเสนอการประยุกต์ใช้ไมโครคอนโทรลเลอร์ dsPIC30F2010 เป็นโครงข่ายประสาท ADALINE โดยกำหนดให้โครงข่าย ADALINE มีจำนวน 8 แท็ปดีเลย์ ระยะการหน่วงเวลาเท่ากับ 10 และอัตราการเรียนรู้เท่ากับ 0.005 ทำหน้าที่เป็นวงจรกรองแบบปรับตัวในกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และทำการศึกษาเปรียบเทียบโครงข่ายที่สร้างขึ้นกับวงจรกรองแบบน็อตซ์ ในกำจัดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อ จากผลการวิจัยพบว่า ระบบที่สร้างขึ้นสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ได้ดีกว่า เมื่อเทียบกับวงจรกรองแบบน็อตซ์ และสามารถลดสัญญาณฮาร์มอนิค ในขณะที่วงจรกรองแบบน็อตซ์ไม่สามารถจะกำจัดได้ โดยระบบที่สร้างขึ้นสามารถใช้เวลาในการประมวลผลตามอัลกอริทึมของโครงข่าย ADALINE ประมาณ 400 ไมโครวินาทีต่อรอบการคำนวณ

1.2.8 การประยุกต์ใช้ตัวประมวลผลสัญญาณดิจิตอลสำหรับการลดสัญญาณรบกวนและการตรวจจับจุดกลืนจากสัญญาณไฟฟ้าของกล้ามเนื้อลาย [4] การวิจัยนี้เป็นการออกแบบวงจรลดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้ากล้ามเนื้อลาย โดยประยุกต์ใช้วงจรกรองปรับตัวแบบ ADALINE แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยทำการทดลองวงจรด้วยการประมวลผลสัญญาณแบบ Fixed-point บนชิพ DSP (TMS320VC5509A) โดยกำหนดให้วงจรกรองปรับตัว ADALINE มีจำนวน 10 แท็ปดีเลย์ ระยะการหน่วงเวลาเท่ากับ 10 และอัตราการเรียนรู้เท่ากับ 0.0156 ทำหน้าที่เป็นวงจรกรองแบบปรับตัวในกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ผลการวิจัยพบว่า วงจรที่สร้างขึ้นสามารถลดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคได้ดี และใช้เวลาในการประมวลผลตามอัลกอริทึมของโครงข่ายประมาณ 4.08 ไมโครวินาทีต่อรอบการคำนวณ

1.2.9 การออกแบบหน่วยประมวลผลคณิตศาสตร์ความเร็วสูงสำหรับวงจรกรองปรับตัวบน FPGAs [6] การวิจัยนี้ เป็นการออกแบบวงจรประมวลผลจำนวนทศนิยม 32 บิต แบบไปป์ไลน์ และนำมาสร้างเป็นวงจรกรองปรับตัวที่ประยุกต์ใช้โครงข่ายประสาท ADALINE แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยในการออกแบบวงจรฮาร์ดแวร์จะแบ่งออกเป็นสองส่วนคือ ส่วนวงจรข้อมูลและส่วนวงจรควบคุม โดยส่วนวงจรข้อมูลแยกย่อยออกได้เป็นวงจรโครงข่ายประสาท ADALINE ชนิด 8 แท็ปดีเลย์ และวงจรปรับค่าความผิดพลาด ซึ่งการออกแบบวงจรอาศัยหลักการใช้ทรัพยากรร่วมกันในไปป์ไลน์ละเอียด ในส่วนวงจรควบคุมอาศัยหลักการของ Finite State Machine (FSM) แบบ Moore Machine เพื่อควบคุมการทำงานของส่วนวงจรข้อมูล ผลจากการทดลองพบว่า ระบบที่สร้างขึ้นสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ได้ และใช้เวลาในการประมวลผลตามอัลกอริทึมของโครงข่ายประมาณ 1.25 ล้านตัวอย่างต่อวินาที แต่วงจรที่สร้างขึ้นนั้นมีขนาดใหญ่มาก ทำให้ต้องใช้พื้นที่ทั้งหมดบนชิพ FPGA

## 1.3 วัตถุประสงค์ของการวิจัย

1.3.1 ศึกษาและออกแบบสถาปัตยกรรมของวงจรกรองปรับตัวบน FPGAs

1.3.2 ศึกษาและออกแบบอัลกอริทึมในการปรับค่าสัมประสิทธิ์ของวงจรกรองแบบปรับตัว

1.3.3 ศึกษาและค้นหาเทคนิคการปรับปรุงวงจรให้ดีที่สุด (Optimization) เพื่อให้ได้วงจรที่เหมาะสมที่สุดก่อนที่จะโปรแกรมลงบน FPGAs

## 1.4 ขอบเขตของการวิจัย

1.4.1 ทำการออกแบบวงจรกรองปรับตัว แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก บน FPGA โดยใช้การประมวลผลแบบ Fixed-point ขนาด 16 บิต รูปแบบ Q0.15 ให้มีขนาดเล็กที่สุด ภายใต้ข้อจำกัดความเร็ว

1.4.2 ใช้อัลกอริทึมแบบค่าเฉลี่ยกำลังสองน้อยที่สุด (Least mean square algorithm) ในการคำนวณหาค่าพารามิเตอร์ที่เหมาะสมในการกำจัดสัญญาณรบกวน

1.4.3 วงจรกรองปรับตัวที่สร้างได้นั้น สามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณฮาร์มอนิค

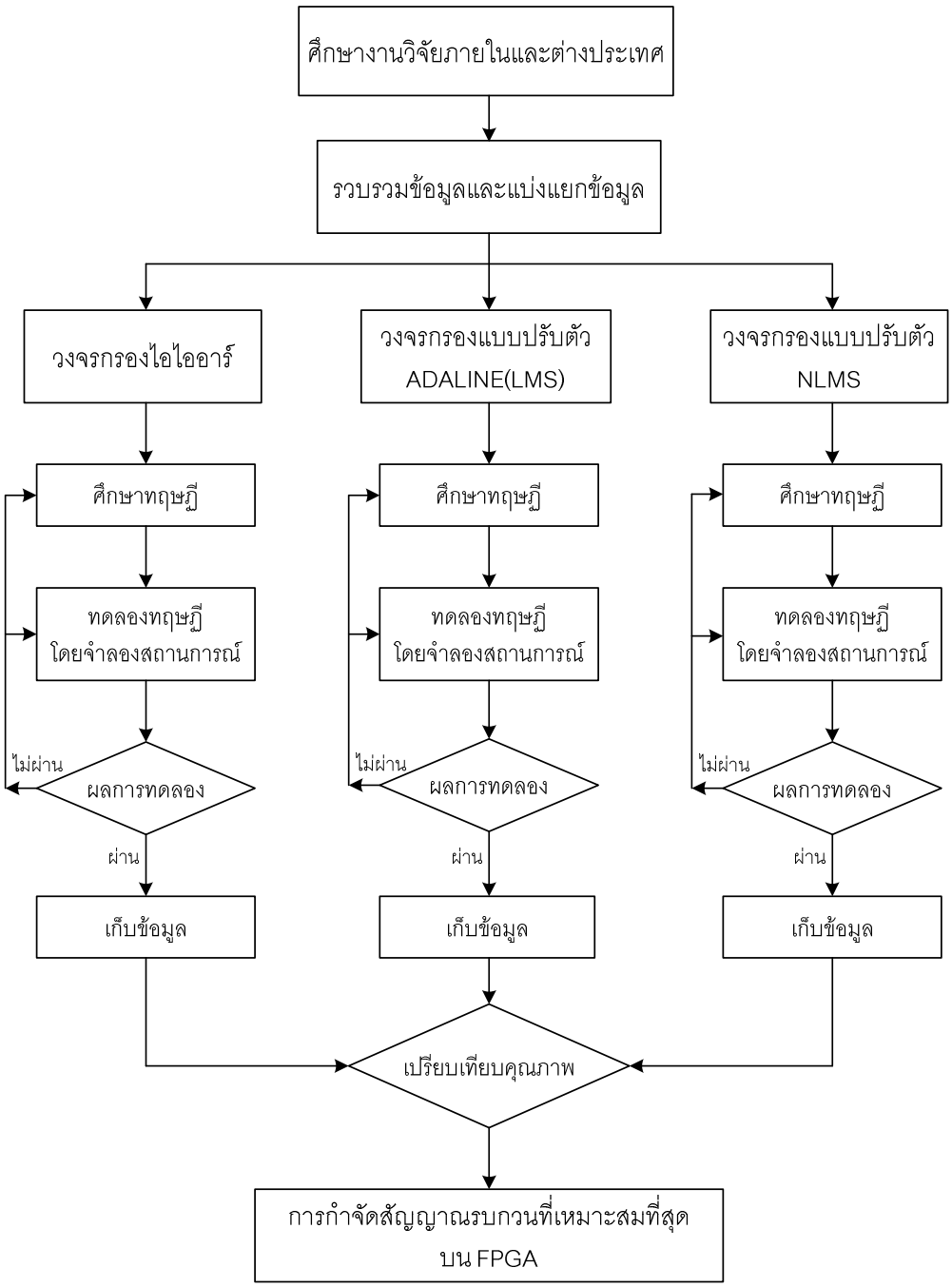
1.4.4 สัญญาณไฟฟ้าที่จะใช้ในการทดสอบเป็นสัญญาณไฟฟ้าของกล้ามเนื้อลายที่จำลองขึ้นด้วยโปรแกรม MATLAB

1.4.5 เปรียบเทียบการทำงานระหว่าง วงจรกรองไอไออาร์แบบน็อตซ์ (IIR Notch Filter) วงกรองปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS และวงจรกรอง NLMS

## 1.5 ขั้นตอนและวิธีการดำเนินการวิจัย

โดยทั่วไปในการออกแบบวงจรกำจัดสัญญาณรบกวน 50 เฮิรตซ์ มักจะใช้วงจรกรองแบบ IIR Notch Filter เนื่องจากการออกแบบทำได้ง่ายและวงจรมีขนาดเล็ก แต่เนื่องจากข้อจำกัดของวงจรแบบ IIR Notch Filter คือไม่สามารถกำจัดลักษณะของสัญญาณรบกวนที่เกิดขึ้นไม่แน่นอนได้ จึงจำเป็นต้องมีการออกแบบวงจรที่เหมาะสมที่สุดในการกำจัดสัญญาณรบกวนที่เกิดขึ้นลักษณะดังกล่าว งานวิจัยนี้ เป็นการออกแบบและเปรียบเทียบเพื่อหาวงจรที่เหมาะสมที่สุดในการกำจัดสัญญาณรบกวนที่เกิดขึ้นจากระบบไฟฟ้า 50 เฮิรตซ์ โดยทำการเปรียบเทียบเทคนิควิธีของวงจรกรองแบบ IIR Notch Filter วงจรกรองปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS และวงจรกรองปรับตัวที่ใช้อัลกอริทึม NLMS โดยวงจรกรองดังกล่าวนั้น เป็นวงจรกรองแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก และนำวงจรที่เหมาะสมที่สุดในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ที่ได้ สร้างลงบน FPGAs เพื่อให้ได้วงจรที่มีขนาดเล็ก มีความเร็วในการประมวลผลสูง และวงจรสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคของระบบไฟฟ้าได้ เพื่อประยุกต์ใช้ในการแก้ปัญหาการเกิดสัญญาณรบกวนจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย

ขั้นตอนในการเก็บรวมรวมข้อมูล สำหรับการออกแบบวงจรกรองต่างๆ ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ สามารถแสดงแผนภาพประกอบได้ดังภาพประกอบที่ 1-1 โดยทำการทดสอบและปรับค่าพารามิเตอร์ต่างๆ ของวงจรโดยใช้โปรแกรม MATLAB และ Xilinx ISE สามารถอธิบายขั้นตอนการทดลองได้ดังนี้




ภาพประกอบ 1-1 แสดงขั้นตอนและวิธีการดำเนินการวิจัย

1.5.1 ทำการศึกษาและออกแบบวงจรกำจัดสัญญาณรบกวนด้วยโปรแกรม MATLAB ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox

1.5.2 ศึกษาเทคนิคการออกแบบวงจรอัลกอริทึมที่เหมาะสมสำหรับวงจรกรองแบบปรับตัวได้

1.5.3 ศึกษาเทคนิคการออกแบบวงจรประมวลผลสัญญาณต่างๆ เช่นวงจรคูณ วงจรบวก โดยใช้โปรแกรม Xilinx ISE

1.5.4 ออกแบบและสังเคราะห์วงจรกรองปรับตัว โดยใช้อัลกอริทึมที่สร้างผ่านมาแล้ว

1.5.5 ทดสอบอัลกอริทึมที่ได้ออกแบบไว้

## 1.6 ประโยชน์ที่คาดว่าจะได้รับ

1.6.1 ได้วงจรกรองแบบปรับตัวได้ที่ประยุกต์ใช้บน FPGA

1.6.2 วงจรกรองปรับตัวได้ที่สร้างขึ้นสามารถใช้กำจัดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณฮาร์มอนิค ที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลายได้

1.6.3 ได้เทคนิคในการออกแบบวงจรที่เหมาะสมที่สุดเมื่อมีข้อจำกัดในการออกแบบ (Design Constraints) เช่น เนื้อที่จำกัด ความเร็วในการประมวลผลสัญญาณ เป็นต้น

# บทที่ 2

# ทฤษฎีและหลักการที่เกี่ยวข้อง

เนื้อหาของบทนี้ จะกล่าวถึงทฤษฎีและหลักการที่เกี่ยวข้องกับการออกแบบระบบกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยแบ่งเนื้อหาออกเป็น 4 ส่วนใหญ่ๆด้วยกัน ได้แก่ส่วนที่ 1 จะกล่าวถึงทฤษฎีเกี่ยวกับสัญญาณไฟฟ้าของกล้ามเนื้อลาย ส่วนที่ 2 ทฤษฎีและหลักการเกี่ยวกับการกำจัดสัญญาณรบกวน ส่วนที่ 3 จะกล่าวถึงทฤษฎีเกี่ยวกับการคำนวณหรือการประมวลผลสัญญาณแบบทศนิยมตรึงจุด (Fixed-point Arithmetic) และส่วนที่ 4 จะกล่าวถึงเทคนิคการออกแบบวงจรร่วมดิจิตอล

## 2.1 ทฤษฎีและหลักการเกี่ยวกับสัญญาณไฟฟ้าของกล้ามเนื้อลาย

### 2.1.1 กล้ามเนื้อลาย [2]

กล้ามเนื้อเป็นอวัยวะที่สำคัญส่วนหนึ่งของร่างกายโดยมีบทบาทสำคัญในการเคลื่อนไหวร่างกาย หากกล้ามเนื้อมีประสิทธิภาพลดลงจะทำให้ร่างกายเคลื่อนไหวได้ช้าลงหรือมีประสิทธิภาพลดลง สาเหตุที่เรียกว่ากล้ามเนื้อลาย เนื่องจาก หากใช้กล้องจุลทรรศน์ดูจะพบว่ากล้ามเนื้อชนิดนี้มีลายตามขวาง กล้ามเนื้อลายเป็นกล้ามเนื้อที่มีบทบาทสำคัญในการเคลื่อนไหวร่างกาย โดยจะประกอบกันเป็นมัดกล้ามเนื้อหลายร้อยมัด และยึดติดกับกระดูก ประกอบขึ้นเป็นกล้ามเนื้อส่วนใหญ่ของร่างกาย การหดตัวของกล้ามเนื้อลายทำให้เกิดการเคลื่อนไหวของร่างการ โดยการหดตัวของกล้ามเนื้อลายจะเกิดก็ต่อเมื่อได้รับการกระตุ้นโดยสัญญาณไฟฟ้าจากเซลล์ประสาทสั่งการ (Motor Neurons) การทำงานของกล้ามเนื้อลายจะอยู่ภายใต้การควบคุมของอำนาจจิตใจ

### 2.1.2 การเกิดสัญญาณไฟฟ้าของกล้ามเนื้อลาย

การเคลื่อนไหวของร่างกายเกิดจากการหดตัวของเซลล์กล้ามเนื้อ โดยในกระบวนการการหดตัวของกล้ามเนื้อจะมีส่วนของสัญญาณไฟฟ้ามาเกี่ยวข้องด้วย กล่าวคือ กล้ามเนื้อซึ่งเป็นเนื้อเยื่อที่สามารถตอบสนองต่อการกระตุ้น (Excitable Tissue) มีกลไกเก็บประจุไฟฟ้าและปล่อยประจุไฟฟ้าได้เมื่อมีการกระตุ้น เซลล์กล้ามเนื้อมีอิเล็คโตรลัยท์ที่มีอิออนสำคัญเป็น

ส่วนประกอบอยู่ 2 ชนิด ได้แก่โซเดียมและโปแตสเซียม เยื่อหุ้มเซลล์กล้ามเนื้อนี้จะมีกลไกที่ทำหน้าที่สูบโปแตสเซียมเข้าไปในเซลล์และขับโซเดียมออกนอกเซลล์อยู่ตลอดเวลาและทำให้เกิดการกระจายของประจุไฟฟ้า

ในภาวะพักเยื่อหุ้มเซลล์จะยอมให้โปแตสเซียมผ่านได้มากกว่าโซเดียมประมาณ 50 เท่า ทำให้โปแตสเซียมนำประจุบวกออกมาข้างนอกเซลล์ แต่จะไม่สามารถกระจายไปได้ไกล เนื่องจะถูกดูดโดยอิออนที่ไม่สามารถผ่านเยื่อหุ้มเซลล์ออกมาได้ จึงเรียงรายอยู่รอบนอกของเยื่อหุ้มเซลล์

เมื่อกล้ามเนื้อทำงาน เช่นมีการเคลื่อนไหวของกล้ามเนื้อ จะมีการกระจายของไฟฟ้าออกไปตามเซลล์ของกล้ามเนื้อเพื่อนำคำสั่งที่ได้รับจากประสาทโดยผ่าน Neuromuscular Junction ให้กระจายไปตามกล้ามเนื้อได้อย่างรวดเร็วและทั่วถึง ซึ่งไฟฟ้าที่กระจายไปตามกล้ามเนื้อนี้จะมีหน้าที่กระตุ้นกลไกการหดตัวของกล้ามเนื้ออีกต่อหนึ่ง

เนื่องจากสัญญาณไฟฟ้าที่กระจายไปในเนื้อเยื่อหุ้มเซลล์ของกล้ามเนื้อขณะที่ถูกกระตุ้นเป็นกรรมวิธีที่เกิดภายในตัวเอง พลังงานจะต้องปล่อยออกมาทุกจุดที่ถูกกระตุ้น จึงทำให้ศักย์ไฟฟ้าที่ผ่านเส้นใยกล้ามเนื้อมีแรงดันสูง ไม่ลดลงตลอดความยาวของเส้นใยกล้ามเนื้อ

### 2.1.3 การเกิดสัญญาณรบกวนในการวัดสัญญาณไฟฟ้ากล้ามเนื้อลาย

สัญญาณไฟฟ้าจากกล้ามเนื้อของคนปกติจะมีย่านแรงดันขนาด 50 μv – 100 mv และมีความถี่ของสัญญาณอยู่ในย่าน 0-500 Hz [1] ซึ่งเป็นขนาดสัญญาณค่อนข้างต่ำมาก ในการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย มักพบปัญหาในการวัดคือปัญหาการรบกวนจากสัญญาณความถี่ 50 เฮิรตซ์และสัญญาณรบกวนจากความถี่ฮาร์มอนิค ที่เกิดจากการเหนี่ยวนำของอุปกรณ์ไฟฟ้าที่ใช้กันทั่ว ๆ ไปที่แรงดันไฟฟ้า 220 โวลต์ ความถี่ 50 เฮิรตซ์ รวมทั้งอุปกรณ์ไฟฟ้าอื่นที่สามารถแผ่กระจายรังสีที่ทำให้เกิดการเหนี่ยวนำของสนามแม่เหล็กได้

โดยสัญญาณรบกวนนี้จะมีขนาดของสัญญาณที่สูงกว่าสัญญาณไฟฟ้าของกล้ามเนื้อลายมากรวมทั้งสัญญาณรบกวนที่เกิดขึ้นนี้ เป็นลักษณะกลุ่มสัญญาณเป็นช่วงๆ เกิดไม่แน่นอน และมีความถี่อยู่ในช่วงเดียวกันกับสัญญาณไฟฟ้าของกล้ามเนื้อลาย จึงทำให้สัญญาณไฟฟ้าจากกล้ามเนื้อที่วัดเกิดความผิดเพี้ยนจากสัญญาณจริง ทำให้การกำจัดสัญญาณรบกวนนี้ได้ยาก

## 2.2 ทฤษฎีและหลักการเกี่ยวกับระบบลดสัญญาณรบกวน

### 2.2.1 ตัวกรองสัญญาณดิจิตอลแบบไอไออาร์ (Digital IIR Filter) [15]

ตัวกรองสัญญาณดิจิตอลแบบไอไออาร์ (Infinite Impulse Response: IIR Filter) มีคุณสมบัติสำคัญ คือให้ผลตอบสนองทางความถี่ได้คม (Sharp Cut-off Frequency) ซึ่งดีกว่าตัวกรองแบบเอฟไออาร์ เนื่องจากสมการทรานเฟอร์ฟังก์ชั่นเป็นแบบแลทชั่นแนล (Rational Function) มีทั้งโพล (Pole) และซีโร่ (Zero) สามารถปรับเลือกค่าได้ ในการออกแบบจึงไม่ต้องใช้ออร์เดอร์ (Order) สูง แต่จะได้ตัวกรองแบบริเคอซีฟ (Recursive) สามารถเขียนให้อยู่ในรูปของผลต่าง (Difference Equation) ได้ดังสมการ

$$y(n) = b_0x(n) + b_1x(n-1) + \cdots + b_{L-1}x(n-L+1) - a_1y(n-1) - a_2y(n-2) - \cdots - a_{M-1}y(n-M+1) \quad (2\text{-}1)$$

$$y(n) = \sum_{i=0}^{L-1} b_i x(n-i) + \sum_{m=1}^{M-1} -a_m y(n-m) \quad (2\text{-}2)$$

$$y(n) = \mathbf{b}^T\mathbf{x}(n) + \mathbf{a}^T\mathbf{y}(n-1) \quad (2\text{-}3)$$

เมื่อ **b** และ **a** คือ Filter- Coefficient vectors

$$\mathbf{b} = [b_0, b_1, \cdots b_{L-1}] \quad (2\text{-}4)$$

$$\mathbf{a} = [-a_1, a_2, \cdots -a_{M-1}] \quad (2\text{-}5)$$

เมื่อ

$$\mathbf{x}(n) = [x(n)x(n-1)\cdots x(n-L+1)]^T \quad (2\text{-}6)$$

นำไปจัดเทอมต่าง ๆ ใหม่และเขียนให้อยู่ในรูปของ z-transform ได้ดังสมการ

$$Y(z) = (b_0 + b_1z^{-1} + \cdots + b_{L-1}z^{-L+1})X(z) - (a_1z^{-1} + a_2z^{-2} + \cdots + a_{M-1}z^{-M+1})Y(z) \quad (2\text{-}7)$$

$$Y(z) = X(z)\sum_{i=0}^{L-1} b_i z^{-i} - Y(z)\sum_{m=1}^{M-1} a_m z^{-m} \quad (2\text{-}8)$$

ฟังก์ชันถ่ายโอน (Transfer function) ของตัวกรองแบบไอไออาร์สามารถเขียนเป็นสมการ คือ

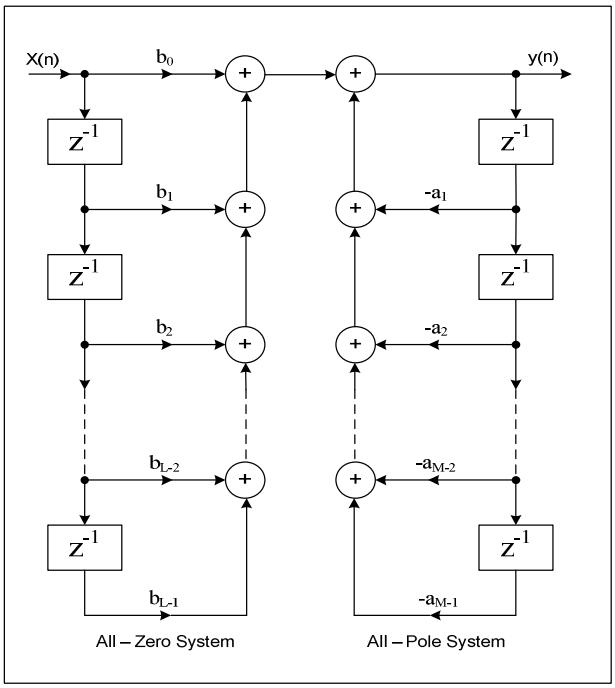
$$H(z) = \frac{Y(z)}{X(z)} \tag{2-9}$$

$$H(z) = \frac{\sum_{i=0}^{L-1} b_i z^{-i}}{1+\sum_{m=1}^{M-1} a_m z^{-m}} \tag{2-10}$$

หรือจัดรูปแบบสมการ เขียนได้ใหม่คือ

$$H(z) = \frac{b_0+b_1 z^{-1}+ \cdots + b_{L-1} z^{-L+1}}{a_0+a_1 z^{-1}+ \cdots + a_{M-1} z^{-M+1}} \tag{2-11}$$

จากสมการที่ 2-1 สามารถนำมาเขียนเป็นโครงสร้างในภาพประกอบที่ 2-1 ซึ่งเป็นโครงสร้างของวงจรกรองไอไออาร์ แบบ Direct Form I




ภาพประกอบ 2-1 แสดงโครงสร้างของวงจรกรองไอไออาร์แบบ Direct Form I

แต่เนื่องจากตัวกรองดิจิตอลที่มีโครงสร้างเป็นแบบ Direct Form I เมื่อมีจำนวนลำดับเพิ่มขึ้น จะมีค่าของสัมประสิทธิ์มากขึ้น กล่าวคือจะใช้หน่วยความจำในการเก็บข้อมูลมากขึ้นด้วย ทำให้เป็นปัญหาอย่างมาก โดยเฉพาะอย่างยิ่งถ้าใช้ตัวประมวลผลที่มีขนาดของหน่วยความจำที่

ค่อนข้างจำกัด ดังนั้น ในการใช้งานจริง ๆ จึงสามารถปรับโครงสร้างของสมการใหม่ได้เป็น Direct Form II ซึ่งจะทำให้มีค่าของหน่วยความจำน้อยลงประมาณครึ่งหนึ่งดังแสดงในภาพประกอบที่ 2-2 ถ้านำ $\frac{W(z)}{W(z)}$ คูณตลอดสมการที่ 2-11 จะได้

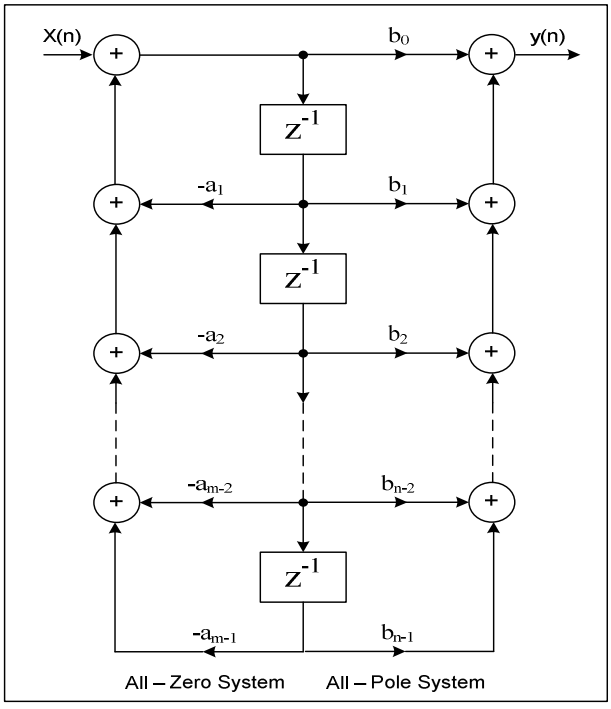
$$H(z) = \frac{W(z)}{W(z)} \times \frac{b_0+b_1z^{-1}+\cdots+b_{L-1}z^{-L+1}}{a_0+a_1z^{-1}+\cdots+a_{M-1}z^{-M+1}} \tag{2-12}$$

$$H(z) = \frac{Y(z)}{X(z)} = \frac{W(z)}{W(z)} \times \frac{b_0+b_1z^{-1}+\cdots+b_{L-1}z^{-L+1}}{a_0+a_1z^{-1}+\cdots+a_{M-1}z^{-M+1}} \tag{2-13}$$

$$W(z) = X(z) + a_1W(z)z^{-1} - \cdots - a_{M-1}W(z)z^{-M+1} \tag{2-14}$$

$$Y(z) = b_0W(z) + b_1W(z)z^{-1} + \cdots + b_{L-1}W(z)z^{-L+1} \tag{2-15}$$

จากสมการที่ 2-14 และ 2-15 สามารถนำมาเขียนเป็นโครงสร้างได้ดังภาพประกอบที่ 2-2 เรียกว่าโครงสร้างของวงจรกรองไอไออาร์ แบบ Direct Form II




ภาพประกอบ 2-2 แสดงโครงสร้างของวงจรกรองไอไออาร์แบบ Direct Form II

### 2.2.2 ตัวกรองสัญญาณดิจิตอลแบบเอฟไอาร์ (Digital FIR Filter)

ตัวกรองสัญญาณดิจิตอลแบบเอฟไอาร์ (Finite Impulse Response: FIR Filter) มีคุณสมบัติดังสมการ

$$y(n) = b_0x(n) + b_1x(n-1) + \ ... + b_{L-1}x(n-L+1) \tag{2-16}$$

$$y(n) = \sum_{i=0}^{L-1} b_i x(n-i) \tag{2-17}$$

$$y(n) = \mathbf{b}^T\mathbf{x}(n) \tag{2-18}$$

เมื่อ $T$ คือ เมตริกซ์ ทรานโพสของเวกเตอร์ และ **b** คือ ค่าสัมประสิทธิ์ของวงจรกรองขนาด (*L x 1*)

$$\mathbf{b} = [b_0, b_1, \dots, b_{L-1}]^T \tag{2-19}$$

และ $\mathbf{x}(n)$ ได้มาจาก

$$\mathbf{x}(n) = [x(n), x(n-1), \cdots x(n-L+1)]^T \tag{2-20}$$

เขียนให้อยู่ในรูปของ z-transform ได้ดังสมการ

$$y(z) = b_0x(z) + b_1z^{-1}x(z) + b_2z^{-2}x(z) + \cdots + b_{L-1}z^{-L+1}x(z) \tag{2-21}$$

$$y(z) = X(z)\sum_{i=0}^{L-1} b_i z^{-i} \tag{2-22}$$

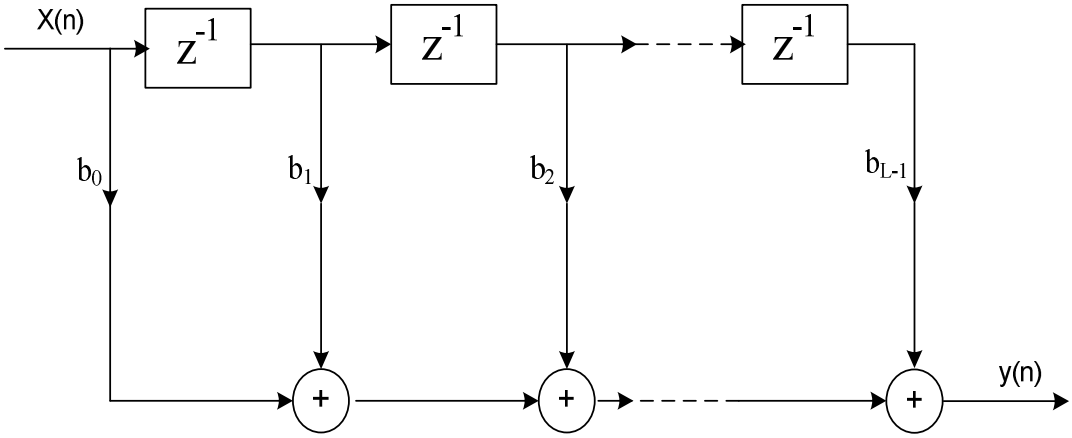
หรือสามารถเขียนให้อยู่ในรูปของฟังก์ชั่นถ่ายโอน จะได้

$$B(z) = \frac{Y(z)}{X(z)} \tag{2-23}$$

$$B(z) = b_0 + b_1z^{-1} + b_2z^{-2} + \cdots + b_{L-1}z^{-L+1} \tag{2-24}$$

$$B(z) = \sum_{i=0}^{L-1} b_i z^{-i} \tag{2-25}$$

จากสมการที่ 2-16 สามารถเขียนเป็นโครงสร้างได้ดังภาพประกอบที่ 2-3




ภาพประกอบ 2-3 แสดงโครงสร้างของวงจรกรองเอฟไอาร์

ตัวกรองแบบเอฟไอาร์จัดเป็นตัวกรองสัญญาณแบบนอนรีเคอร์ซีฟ (Non Recursive) เนื่องจากไม่มีการป้อนกลับจากทางด้านเอาต์พุต และนอกจากนี้ตัวกรองสัญญาณแบบเอฟไอาร์ยังมีคุณสมบัติอื่น ๆ อีก คือ

1. สามารถสร้างได้ง่ายเมื่อเทียบกับตัวกรองแบบไอไอาร์
2. มีคุณสมบัติการตอบสนองทางเฟสเป็นแบบเชิงเส้น (Linear Phase)
3. สัมประสิทธิ์ที่เกิดจากการคำนวณจะมีค่าไม่เกินหนึ่งทำให้สามารถสร้างและทำงานได้ดีบนตัวประมวลผลแบบจุดทศนิยมตรึงจุด (Fixed-point)
4. มีความเสถียรภาพ (Stable) แน่นอน เนื่องจากว่ามีโพลอยู่ที่จุดกำเนิด (Origin)

**2.2.3 อัลกอริทึมแบบค่าเฉลี่ยกำลังสองน้อยที่สุด (Least mean square algorithm)**

อัลกอริทึมปรับตัวเองแบบค่าเฉลี่ยกำลังสองน้อยที่สุด หรือ แอลเอ็มเอส (LMS) เป็นอัลกอริทึมซึ่งใช้โครงสร้างแบบไดเรกท์ และใช้สัญญาณผิดพลาด $e(n)$ มาคำนวณเพื่อปรับค่าสัมประสิทธิ์ของตัวกรองสัญญาณโดยใช้เงื่อนไขการลดค่าความผิดพลาดกำลังสองเฉลี่ย (Mean Square Error) หรือ MSE ให้มีค่าต่ำสุดแสดงได้ดังนี้

$$\beta = E[e^2(n)] \tag{2-26}$$

$E[\,]$ แสดงถึงเอ็กเป็กเตชั่นอ็อปเปอร์เรเตอร์ (Expectation Operator) เป็นค่าความคาดหวัง และ $e(n)$ คือค่าผลต่างของสัญญาณที่ต้องการ คือ $d(n)$ กับสัญญาณเอาต์พุตของตัวกรอง คือ $y(n)$ ดังนี้

$$e(n) = d(n) - y(n) \tag{2-27}$$

หรือ

$$e(n) = d(n) - \mathbf{w}^T(n)\mathbf{x}(n) \tag{2-28}$$

ซึ่งค่าของ $\mathbf{w}(n)$ คือสัมประสิทธิ์ตัวกรองที่เวลาใด ๆ เรียกว่า เวทเวกเตอร์ (Weight Vector)

$$\mathbf{w}(n) = \begin{bmatrix} w(0) \\ w(1) \\ \vdots \\ w(L-1) \end{bmatrix} \tag{2-29}$$

และค่าของ $\mathbf{x}(n)$ คือ

$$\mathbf{x}(n) = \begin{bmatrix} x(n) \\ x(n-1) \\ \vdots \\ x(n-L+1) \end{bmatrix} \tag{2-30}$$

ซึ่งค่าของ $\mathbf{w}^T(n)$ คือการทรานโพสท์ของเวกเตอร์ $\mathbf{w}(n)$

จากสมการ 2-28 สามารถเขียนสมการ 2-26 ใหม่ได้ดังสมการ 2-36 จัดรูปสมการ

$$e^2(n) = (d(n) - y(n))^2 \tag{2-31}$$

$$e^2(n) = (d(n) - \mathbf{w^T}(n)\mathbf{x}(n))^2 \tag{2-32}$$

$$e^2(n) = d^2(n) - 2d(n)\mathbf{w}^T(n)\mathbf{x}(n) + \{\mathbf{w}^T(n)\boldsymbol{x}(n)\}^2 \tag{2-33}$$

ดังนั้นจะได้

$$\beta = E[e^2(n)] \tag{2-34}$$

$$E[e^2(n)] = E[d^2(n)] - 2E[d(n) - \mathbf{w}^T(n)\boldsymbol{x}(n)] + [\{\mathbf{w}^T(n)\mathbf{x}(n)\}]^2 \tag{2-35}$$

เมื่อจัดรูปของสมการใหม่จะได้

$$\beta = \mathrm{E}[d^2(n)] - 2\mathbf{w}^T(n)\mathbf{p} + \mathbf{w}^T(n)\mathbf{R}\mathbf{w}(n) \tag{2-36}$$

โดยที่ $\mathbf{R} = E[\mathbf{x}(n)\mathbf{x}^T(n)]$ เป็น Autocorrelation Matrix ขนาด $N$ x $N$ แสดงความสัมพันธ์ของแต่ละค่าสัญญาณสุ่ม (Sample) ของอินพุต $\mathbf{x}(n)$ และ $\mathbf{p} = E[d(n)\mathbf{x}(n)]$ เป็น Cross correlation Vector ขนาด $N$ x 1 แสดงความสัมพันธ์กันระหว่างสัญญาณที่ต้องการ $d(n)$ กับสัญญาณอินพุต $x(n)$

ในการหาสัมประสิทธิ์ที่เป็นคำตอบของสมการ 2-35 คือ $\mathbf{w} = [w_0\ w_1 \dots w_{n-1}]^T$ จะพิจารณาโดยการกำหนดค่าแกรเดี้ยนของ MSE ให้มีค่าต่ำสุดแล้วทำการแก้สมการดังต่อไปนี้

$$\nabla(\varepsilon) = \frac{\partial \varepsilon}{\partial \mathbf{w}(n)} = 0 \tag{2-37}$$

ในสมการ 2-37 เรียกว่าสมการพื้นผิวของค่าแกรเดี้ยน (Gradient of MSE Performance Surface) ซึ่งสามารถจัดสมการในรูปของค่าสัมประสิทธิ์ คำตอบ $w$ ได้มีชื่อเรียกว่าสมการนอร์มอล (Normal Equation) ดังนี้

$$\mathbf{R}\mathbf{w} = \mathbf{p} \tag{2-38}$$

จากสมการ 2-28 สามารถหาค่าสัมประสิทธิ์ $\mathbf{w}$ ได้ใน 2 ลักษณะ คือ แบบทีละชุด (Block-By-Block) โดยการประมาณค่า $\mathbf{R}$ และ $\mathbf{p}$ จากอินพุตซึ่งแบ่งเป็นส่วนย่อยๆ แล้วจึงหาคำตอบต่อไปนี้

$$\mathbf{w} = \mathbf{R}^{-1}\mathbf{p} \tag{2-39}$$

และแบบทีละค่า (Sample-By-Sample) ซึ่งนิยมใช้กันในทางปฏิบัติมีลักษณะการทำงานเป็นแบบตามเวลาจริง (Real Time) หลีกเลี่ยงการคำนวณที่ยุ่งยากในการหา $\mathbf{R^{-1}}$ และ $\mathbf{p}$ โดยการทำให้อยู่ในรูปแบบของการทำซ้ำ (Iteration) ซึ่งอาศัยหลักการประมาณค่าแกรเดี้ยน เช่นเดียวกับวิธีสติฟเดชเซ้นท์ (Steepest Descent) ดังสมการต่อไปนี้

$$w(n+1) = w(n) - \mu\nabla(n) \tag{2-40}$$

สังเกตได้ว่าค่า $w(n+1)$ จะปรับค่าเป็นสัดส่วนตามค่าลบของแกรเดี้ยนของ MSE, ค่า $\mu$ ในสมการ คือขนาดขั้น (Step Size) เป็นค่าคงที่มีผลต่อเสถียรภาพ และอัตราการลู่เข้าของอัลกอริทึมในการประมาณค่าแกรเดี้ยน $\nabla(n)$ สำหรับอัลกอริทึมแบบแอลเอ็มเอส ประมาณโดยการกำหนดให้ค่า MSE, $(\mathcal{E})$ มีค่าเท่ากับ $e^2(n)$ ซึ่งแสดงค่าประมาณแกรเดี้ยนได้ดังนี้

$$\nabla(n) = \frac{\partial[e^2(n)]}{\partial \mathbf{w}(n)} = -2e(n)x(n) \tag{2-41}$$

และเมื่อแทนค่าประมาณแกรเดี้ยนที่เวลาใด ๆ ในสมการ 2-40 จะได้อัลกอริทึม Widrow-Hoft LMS Algorithm ดังนี้

$$w(n+1) = w(n) + 2\mu e(n)x(n) \tag{2-42}$$

ในการกำหนดค่าเริ่มต้นสำหรับสัมประสิทธิ์เรทเวกเตอร์ (Weight Vector) $w(0)$ สามารถกำหนเป็นค่าใดๆ ส่วนค่าที่ต้องกำหนดให้เหมาะสมคือ ค่าขนาดขั้น (Step Size) $\mu$ เนื่องจากมีผลต่อความเสถียร และความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย จากความสัมพันธ์ตามสมการจะสามารถกำหนดค่าขนาดขั้น $\mu$ ได้ดังนี้

$$0 < \mu < \frac{1}{\lambda_{max}} \tag{2-43}$$

โดยที่ $\lambda_{\max}$ เป็นค่าไอเก็น (Eigen Value) ที่ใหญ่สุดของเมตริกซ์ $\mathbf{R}$ และค่า $\lambda_{\max}$ สามารถหาขอบเขตได้จาก

$$\lambda_{max} < Tr[\mathbf{R}] = \sum(\text{Diagonal Elements of } \mathbf{R}) \tag{2-44}$$

โดยที่ $Tr$ [ ] คือ เทรส (trace) ของเมตริกซ์ใด ๆ

ความเร็วในการลู่เข้า (Speed of Convergence) ของสัมประสิทธิ์ตัวกรองสัญญาณ (Weight Vector) ซึ่งเป็นตัวกำหนดความสามารถในการติดตามสัญญาณของตัวกรองสัญญาณโดยตัวกรองสัญญาณจะสามารถลู่เข้าได้เมื่อค่าความเร็วในการลู่เข้าที่ช้าที่สุดสามารถทำให้ตัวกรองสัญญาณลู่เข้าได้เท่านั้น ค่าคงที่เวลา (Time Constant) กรณีที่ช้าที่สุดแสดงได้ดังนี้

$$t = \frac{1}{\mu\lambda_{min}} \tag{2-45}$$

จากสมการข้างต้น แสดงให้เห็นว่าค่าคงที่เวลาสำหรับการลู่เข้าแปรผกผันกับค่าขนาดขั้น $\mu$ และค่าไอเก็น (Eigen Value) ของ Autocorrelation เมตริกซ์ซึ่งเวลาที่ช้าที่สุดจะถูกกำหนดโดยค่า $\lambda_{\min}$

ผลการทำงานการปรับตัวเองโดยใช้การประมาณค่าแกรเดี้ยน (Gradient) จะเกิดค่าผิดพลาด เนื่องจากการแปรเปลี่ยนในลักษณะสุ่มของสัมประสิทธิ์ตัวกรองสัญญาณจากค่า Optimum ในสภาวะคงตัว (Steady State) ความถูกต้องของสัมประสิทธิ์ในสภาวะคงตัวสามารถวัดได้ในรูปของค่าผิดพลาดซึ่งเกินจากค่าเฉลี่ยหรือ Excess Mean Square Error

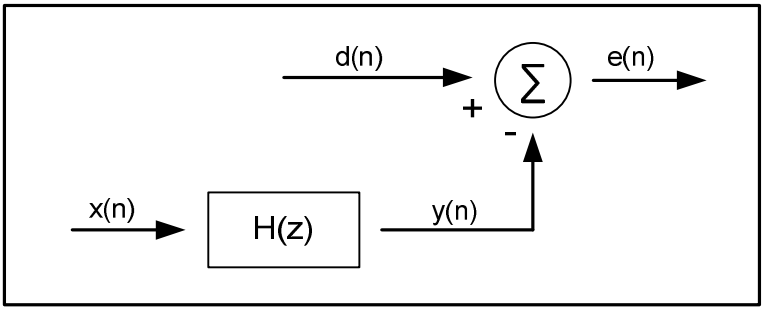
(Excess MSE = $E[\mathcal{E} - \mathcal{E}min]$) และกรณีอัลกอริทึมแบบแอลเอ็มเอส ค่า Excess MSE แสดงได้ดังนี้

$$Excess\ MSE = \mu\, Tr[\mathbf{R}]\mathcal{E}min \tag{2-46}$$

โดยที่ $\mathcal{E}min$ หรือค่า MSE ต่ำสุดในสภาวะคงตัว จากสมการ 2-45 และ 2-46 สามารถใช้เป็นพื้นฐานในการเลือกขนาดขั้น $\mu$ ของอัลกอริทึมแบบแอลเอ็มเอส เพื่อกำหนดคุณสมบัติของอัลกอริทึมเกี่ยวกับอัตราการลู่เข้าและความเที่ยงตรง ของสัมประสิทธิ์เทียบกับค่าที่เหมาะสมที่สุด (Optimum) ในสภาวะคงตัว

โดยที่เราสามารถสรุปขั้นตอนการทำงานของ LMS (Least Mean Square) ได้ดังนี้

สมมติค่าน้ำหนัก *(w)* และค่าอัตราการเรียนรู้ $(\mu)$ เริ่มต้นให้กับวงจร และป้อนอินพุต *x(n)* ให้แก่วงจร หลังจากนั้นวงจรจะทำการคำนวณหาค่าเอาต์พุต *y(n)* เพื่อนำไปหักล้างกับสัญญาณปฐมภูมิ *d(n)* จะได้เป็นสัญญาณความผิดพลาด *e(n)* และนำสัญญาณความผิดพลาดนี้ไปทำการปรับค่าน้ำหนัก $w(n+1)$ ตามหลักการของอัลกอริทึม LMS




ภาพประกอบ 2-4 แสดงรูปแบบขั้นตอนการทำงานของ LMS

ขั้นที่ 1 สุ่มเลือกตัวเลขต่าง ๆ คำนวณหาค่าของเอาต์พุต $y(n)$ เมื่อ $x(n)$ และ $w(n)$ เป็นเวกเตอร์จำนวนขนาด $L$ อินพุตที่ $n$ ต่างๆ ได้จาก

$$\mathbf{x}(n) = [x(n), x(n-1) \dots x(n-L+1)]^T \quad (2\text{-}47)$$

$$\mathbf{w}(n) = [\, w_0(n), w_1(n) \dots w_{L-1}(n)]^T \quad (2\text{-}48)$$

$$y(n) = \mathbf{w}^T(n)\mathbf{x}(n) \quad (2\text{-}49)$$

ขั้นที่ 2 คำนวณตามรูปแบบสมการ วงกรองแบบปรับตัว โดยหาค่าความผิดพลาด $e(n)$ จากผลต่างของเอาต์พุตเป้าหมาย $d(n)$ กับเอาต์พุตของวงจร $y(n)$ ได้จาก

$$e(n) = d(n) - y(n) \quad (2\text{-}50)$$

ขั้นที 3 Update หาค่าน้ำหนัก $w(n+1)$ ได้จาก

$$w(n+1) = w(n) + 2\mu x(n)e(n) \quad (2\text{-}51)$$

ขั้นที่ 4 ไปทำซ้ำขั้นที่ 2

รูปแบบการทำงานจะวนลูปอย่างนี้ไปเรื่อย ๆ

**2.2.4 อัลกอริทึมแบบนอมอลไลซ์ค่าเฉลี่ยกำลังสองน้อยที่สุด (Normalized least mean square algorithm)**

โดยทั่วไปแล้วอัลกอริทึมแบบ LMS การกำหนดค่าขนาดขั้น (Step Size) $\mu$ จะมีผลต่อความเสถียรและความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย [11][12] ดังนั้น จากสมการที่ 2-51 สามารถเพิ่มค่าขนาดขั้น ของวงจรกรองแบบปรับตัวที่ใช้อัลกอริทึมแบบ NLMS เพื่อเพิ่มประสิทธิภาพในการลู่เข้าของวงจรได้ดังนี้

$$\mu_{nlms} = \frac{\alpha}{X_n^T X_n + \beta} \tag{2-52}$$

เมื่อ $X_n^T X_n$ คือเวกเตอร์อินพุต

$$X_n^T X_n = x_n^2 + x_{n-1}^2 + \cdots + x_{n-M+1}^2 \tag{2-53}$$

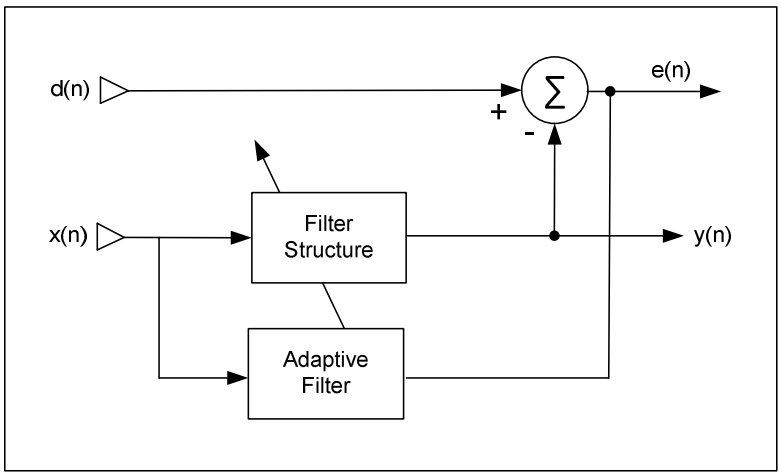
$$X_n^T X_n \approx Tr[R] \tag{2-54}$$

สำหรับค่า $\beta$ และ $\alpha$ ควรมีค่าอยู่ในช่วงดังนี้

$$0 < \beta < 1 \tag{2-55}$$

$$0 < \alpha < 2 \tag{2-56}$$

**2.2.5 การประยุกต์ใช้งานตัวกรองสัญญาณแบบปรับตัวเอง**

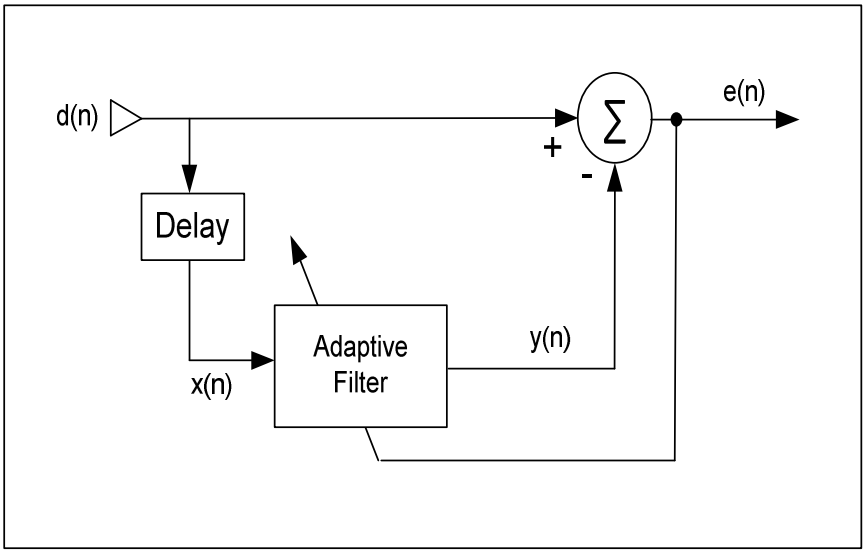



ภาพประกอบ 2-5 แสดงรูปแบบและส่วนประกอบของตัวกรองสัญญาณแบบปรับตัวเอง

คุณสมบัติสำคัญของตัวกรองสัญญาณแบบปรับตัวเอง คือ สามารถทำงานได้อย่างมีประสิทธิผลในสภาพแวดล้อมที่ไม่อาจคาดเดาได้ และการติดตามสัญญาณอินพุตซึ่งมีลักษณะสมบัติแปรเปลี่ยนตามเวลาได้ ระบบต่างๆ ซึ่งตัวกรองสัญญาณแบบปรับตัวเองประสบผลสำเร็จดีในการนำไปประยุกต์ใช้งาน ได้แก่ ระบบสื่อสาร (Radar) โซนาร์ (Sonar) ระบบควบคุมและ การประมวลผลสัญญาณ รูปแบบโดยทั่วไปของตัวกรองสัญญาณแบบปรับตัวเองแสดงดังภาพที่ 2-25 ประกอบด้วยสัญญาอินพุต *x(n)* และ *d(n)* สัญญาณเอาต์พุต *y(n)* และสัญญาณค่าผิดพลาด *e(n)* ซึ่งเป็นผลต่างของสัญญาณที่ต้องการ *d(n)* และสัญญาณเอาต์พุต *y(n)* ตัวกรองสัญญาณแบบปรับตัวเองสามารถประยุกต์ใช้งานได้หลายแบบ ขึ้นกับการจัดรูปแบบของอินพุตและเอาต์พุต ดังตัวอย่างต่อไปนี้

### 2.2.6 การทำนายแบบปรับตัวเอง (Adaptive Prediction)

ตัวคาดคะเนแบบปรับตัวเองแสดงรูปแบบตังรูปที่ 2-6 ประกอบด้วยสัญญาณที่เกี่ยวข้องคือ *d(n)* เป็นสัญญาณอินพุต *x(n)* เป็นสัญญาณอินพุตที่ถูกหน่วงเวลา *y(n)* เป็นสัญญาณที่ถูกสร้างโดยการทำนายของตัวกรองสัญญาณแบบปรับตัวเองและ *e(n)* คือสัญญาณค่าผิดพลาดของการทำนาย

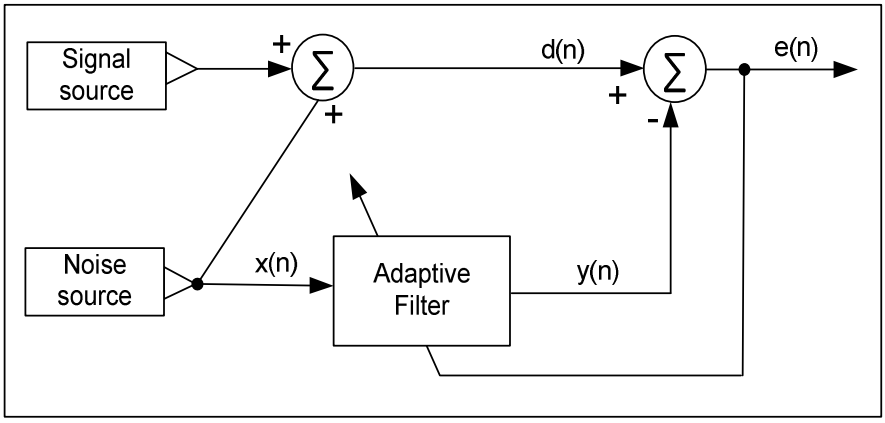



ภาพประกอบ 2-6 แสดงการทำนายแบบปรับตัวเอง

การใช้งานส่วนใหญ่ของการทำนายแบบปรับตัวเอง คือ การเข้ารหัสสัญญาณพูด ตัวกรองสัญญาณแบบปรับตัวเองถูกออกแบบให้ใช้ประโยชน์ของการมีความสัมพันธ์กันของค่าสัญญาณสุ่ม ใกล้เคียงกับของสัญญาณพูดซึ่งจะได้ขนาดของสัญญาณค่าผิดพลาดจากการคาดคะเนนี้จะถูกคัดแยกระดับ (Quantized) และถูกส่งไปยังตัวรับสัญญาณเพื่อลดจำนวนบิตให้เหมาะสมตามความต้องการของระบบส่งสัญญาณแบบของการเข้ารหัสนี้ เรียกว่า เอดีพีซีเอ็น (ADPCM) ซึ่งย่อจาก Adaptive Differential Pulse-Code Modulation ตัวทำนายแบบปรับตัวเองยังสามารถใช้สำหรับตรวจสอบและเพิ่มระดับสัญญาณแถบความถี่แคบ ๆ ซึ่งผสมรวมอยู่ในสัญญาณปะปนความถี่กว้างได้

### 2.2.7 การกำจัดสัญญาณรบกวนแบบปรับตัวเอง (Adaptive Noise Cancellation)

รูปแบบของตัวกำจัดสัญญาณรบกวนแบบปรับตัวเองแสดงได้ดังภาพที่ 2-7 ประกอบด้วย *d(n)* เป็นสัญญาณอินพุตหลัก (Primary Input) ประกอบด้วยสัญญาณที่ต้องการรวมกับสัญญาณรบกวน *x(n)* เป็นสัญญาณอินพุตอ้างอิง (Reference Input) ตัวกรองสัญญาณแบบปรับตัวเองจะประเมินสัญญาณรบกวนในอินพุตหลัก *d(n)* ได้เป็นสัญญาณ *y(n)* นำไปลบกับสัญญาณอินพุตหลักจะได้สัญญาณเอาต์พุตซึ่งกำจัดสัญญาณรบกวนออกแล้ว ในที่นี้คือ สัญญาณค่าผิดพลาด *e(n)*

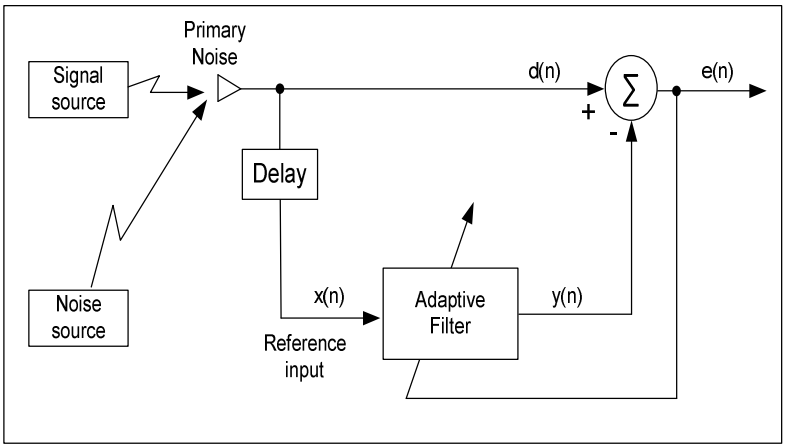



ภาพประกอบ 2-7 แสดงการกำจัดสัญญาณรบกวนแบบปรับตัวเอง

ตัวกำจัดสัญญาณรบกวนที่จะพิจารณาต่อไปนี้จะใช้กับกรณีที่สัญญาณรบกวนเป็นแบบเสริม (Additive Noise) เท่านั้น และพิจารณาจะเลือกเฉพาะกรณีใช้ตัวกรองแบบปรับตัวเองแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ซึ่งจะกล่าวในหัวข้อต่อไป

**2.2.8 หลักการพื้นฐานการลดสัญญาณรบกวนโดยการใช้วงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก**

การลดสัญญาณรบกวนโดยวงจรกรองปรับตัวได้แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก [4] แสดงรูปแบบดังภาพประกอบที่ 2-8 สมมติให้สัญญาณที่วัดได้ คือสัญญาณ $s$ ที่มีสัญญาณรบกวนปนมาด้วย ซึ่งในที่นี้คือ $s+n_0$ ส่วนสัญญาณอ้างอิงที่จะป้อนให้แก่วงจรกรองปรับตัว คือ สัญญาณ $n_1$ ซึ่งเกิดจากการหน่วงเวลาของสัญญาณที่วัดได้ จากนั้นวงจรกรองสร้างสัญญาณเอาต์พุต $a$ เพื่อประมาณค่าของสัญญาณรบกวน $n_0$ และนำไปไปหักล้างกับสัญญาณที่วัดได้ ผลลัพธ์ที่ได้คือค่าสัญญาณความผิดพลาด $e$ จะถูกป้อนกลับไปยังวงจรกรองเพื่อปรับให้ $a \cong n_0$ จะได้ $e \cong s$ นั่นคือสามารถแยก $n_0$ ออกจาก $s$ หรือได้สัญญาณที่ทำการกำจัดสัญญาณรบกวนแล้วนั่นเอง




ภาพประกอบ 2-8 วงจรลดสัญญาณรบกวนที่ใช้วงจรกรองปรับตัว
แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก

สมมติ $s$, $n_0$ และ $n_1$ มีคุณสมบัติทางสถิติไม่แปรผันตามเวลา (Statistical stationary) และค่าเฉลี่ยเท่ากับศูนย์ และสมมติ $s$ ไม่มีความสัมพันธ์ (Uncorrelated) กับ $n_0$ และ $n_1$ แต่ $n_1$ มีความสัมพันธ์ (correlated) กับ $n_0$ ดังนั้นสัญญาณความผิดพลาดซึ่งในที่นี้ขอเรียกเป็นสัญญาณเอาต์พุตของระบบ (System output, $e$) ก็คือ

$$e = s + n_0 - a \tag{2-48}$$

ยกกำลังสองทั้งสองข้างของสมการที่ 2-57 และจัดรูปสมการ จะได้

$$e^2 = s^2 + 2(n_0 - a)s + (n_0 - a)^2 \tag{2-49}$$

พิจารณาว่าทุกสัญญาณคือสัญญาณสุ่ม เมื่อหาค่าความคาดหวังหรือค่าเฉลี่ยทางสถิติของสัญญาณ (Expected value) จะได้

$$E[e^2] = E[s^2 + 2(n_0 - a)s + (n_0 - a)^2] \tag{2-50}$$

กระจายแต่ละเทอมของสมการที่ 2-57 จะได้

$$E[e^2] = E[s^2] + 2E[sn_0] - 2E[sa] + E[(n_0 - a)^2] \tag{2-51}$$

เนื่องจากสัญญาณ $s$ กับ $n_0$ และ $s$ กับ $a$ ไม่มีความสัมพันธ์กันจากทฤษฎีทางสถิติที่ว่าค่าความคาดหวังของผลคูณของสองสัญญาณที่ไม่สัมพันธ์กันจะเท่ากับศูนย์ ซึ่งจากสมการที่ 2-58 จะได้ว่าเทอมที่ 2 และ 3 ของสมการทางด้านขวามือเป็นศูนย์ ดังนั้นจึงได้สมการใหม่เป็น

$$E[e^2] = E[s^2] + E[(n_0 - a)^2] \tag{2-52}$$

โดยที่ค่าความคาดหวังของกำลังสองของสัญญาณ ก็คือ ค่ากำลังเฉลี่ยของสัญญาณ

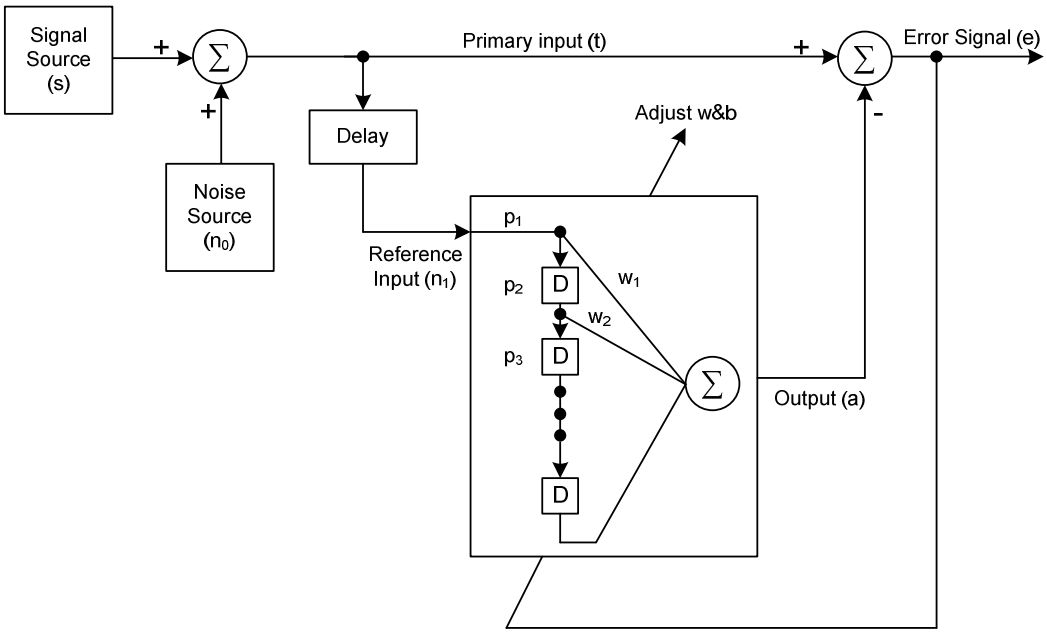
กระบวนการปรับตัวของวงจรกรองคือ กระบวนการที่วงจรปรับค่าน้ำหนัก (Weight Value) แบบอัตโนมัติเพื่อให้ $E[e^2]$ มีค่าน้อยที่สุด การทำให้ $E[e^2]$ มีค่าน้อยลง หมายความว่าเทอมที่สองของสมการที่ 2-59 จะต้องมีค่าน้อยที่สุด เพราะเทอมแรกคือเทอมของกำลังสัญญาณและไม่เกี่ยวข้องกับน้ำหนัก

เงื่อนไขที่ดีที่สุดจะเกิดขึ้นเมื่อ $a \cong n_0$ และจะได้สมการค่าต่ำสุดของค่ากำลังเฉลี่ยของสัญญาณ ดังสมการต่อไปนี้

$$E_{min}[e^2] = E[s^2] + E_{min}[(n_0 - a)^2] \tag{2-53}$$

หมายความว่าสัญญาณผิดพลาดถูกทำให้เท่ากับสัญญาณแหล่งกำเนิด วงจรกรองแบบปรับตัวสามารถแยกสัญญาณแหล่งกำเนิดออกจากสัญญาณรบกวนและสำเร็จถึงเป้าหมายของการกำจัดสัญญาณรบกวนนั่นเอง

**2.2.9 การประยุกต์ใช้โครงข่ายประสาท ADALINE เป็นวงจรกรองปรับตัวแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก [2]**




ภาพประกอบ 2-9 การประยุกต์ใช้โครงข่าย ADALINE เป็นวงจรกรองปรับตัว
แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก

ภาพประกอบที่ 2-9 แสดงถึงการประยุกต์ใช้โครงข่าย ADALINE เป็น Adaptive Filter ชนิดที่ไม่ใช้สัญญาณอ้างอิงจากภายนอก ซึ่งสามารถนำโครงข่าย ADALINE มาทำหน้าที่แทน Adaptive Filter ได้ โดยสัญญาณอินพุตที่ได้ทำการหน่วงเวลา จะเป็นสัญญาณอ้างอิงโครงข่าย จะทำการคำนวณหาค่าเอาต์พุต และนำไปหักล้างกับสัญญาณปฐมภูมิจะได้เป็นสัญญาณความผิดพลาด และนำสัญญาณความผิดพลาดนี้ไปทำการปรับค่าน้ำหนักตามกฎการเรียนรู้ของโครงข่าย ADALINE และสัญญาณความผิดพลาดนี้จะเป็นสัญญาณข่าวสารที่ต้องการที่ได้ทำการกำจัดสัญญาณรบกวนแล้ว

การเรียนรู้ของโครงข่าย ADALINE จะมีดัชนีชี้สมรรถนะ คือ ค่าเฉลี่ยกำลังสองของความผิดพลาดต่ำสุด (Least Mean Square Error)

หลักการเรียนรู้ของโครงข่ายประสาท ADALINE สามารถสรุปได้ดังนี้

ขั้นที่ 1 สมมติค่าน้ำหนัก *(w)*, ค่าไบอัส *(b)* และค่าอัตราการเรียนรู้ *($\alpha$)* เริ่มต้นให้กับโครงข่ายประสาท

ขั้นที่ 2 ป้อนอินพุต *p(k)* ให้แก่โครงข่าย

ขั้นที่ 3 คำนวณหาค่าเอาต์พุต *a(k)* ของโครงข่ายประสาท

$$a(k) = f(\mathbf{w}(k)^T \mathbf{p}(k) + b) \tag{2-54}$$

ขั้นที่ 4 หาค่าความผิดพลาด *e(k)* จากผลต่างของเอาต์พุตเป้าหมาย *t(k)* กับเอาต์พุตของโครงข่ายประสาท *a(k)*

$$e(k) = t(k) - a(k) \tag{2-55}$$

ขั้นที่ 5 ปรับค่าน้ำหนักและไบอัสของโครงข่ายประสาทใหม่จากสมการ

$$w(k+1) = w(k) + 2\alpha e(k)p(k) \tag{2-56}$$

$$b(k+1) = b(k) + 2\alpha e(k) \tag{2-57}$$

ขั้นที่ 6 นำค่าน้ำหนักและไบอัสที่ได้จากขั้นตอนที่ 5 ไปป้อนให้กับโครงข่าย ADALINE ในรอบใหม่

## 2.3 หลักการเกี่ยวกับการคำนวณหรือการประมวลผลสัญญาณแบบทศนิยมตรึงจุด (Fixed-point Arithmetic)

Fixed-point คือ ระบบเลขที่เมื่อมีการแปลงค่าแล้วดูเหมือนเลขจำนวนเต็ม (Integer) โดยรูปแบบของการแทนค่าใช้รูปแบบที่เรียกว่า Q format ในที่นี้ขออธิบายในกรณีเลข 16 บิต ซึ่งมีหลายลักษณะ จะแทนด้วย Qm.n เมื่อ m คือจำนวนบิตที่อยู่หน้าจุดทศนิยม และ n คือจำนวนบิตที่อยู่หลังจุดทศนิยม โดยกำหนด N คือจำนวนบิตทั้งหมด ดังนั้นจะได้ N = m + n + 1 ตัวอย่างเช่น เลขจำนวน 16 บิตแบบคิดเครื่องหมาย กำหนดบิตเป็น 1 บิตเครื่องหมาย (Sign bit) และ 15 บิตสำหรับหลังจุดทศนิยม จะเรียกได้ว่า Q0.15 (หรือ Q.15) format ในทางกลับกัน 15 บิตสำหรับหน้าจุดทศนิยม จะเรียกว่า Q15.0 format สำหรับค่า Dynamic range และ Scaling factors ของเลขจำนวน 16 บิตที่ใช้ Q format ที่ต่างกันแสดงได้ดังตารางที่ 2-1

ตารางที่ 2-1 Dynamic range, Scaling factors และ Precision ของเลขจำนวน 16 บิต ที่ใช้ Q-format ที่ต่างกัน

| Format | Scaling factor ($2^n$) | Dynamic Range in Hex (Decimal value) | Precision |
|---|---|---|---|
| Q0.15 | $2^{15} = 32768$ | 7FFFh (0.99) ⟶ 8000h (-1) | 0.00003051757813 |
| Q1.14 | $2^{14} = 16384$ | 7FFFh (1.99) ⟶ 8000h (-2) | 0.00006103515625 |
| Q2.13 | $2^{13} = 8192$ | 7FFFh (3.99) ⟶ 8000h (-4) | 0.00012207031250 |
| Q3.12 | $2^{12} = 4096$ | 7FFFh (7.99) ⟶ 8000h (-8) | 0.00024414062500 |
| Q4.11 | $2^{11} = 2048$ | 7FFFh (15.99) ⟶ 8000h (-16) | 0.00048828125000 |
| Q5.10 | $2^{10} = 1024$ | 7FFFh (31.99) ⟶ 8000h (-32) | 0.00097652500000 |
| Q6.9 | $2^{9} = 512$ | 7FFFh (63.99) ⟶ 8000h (-64) | 0.00195312500000 |
| Q7.8 | $2^{8} = 256$ | 7FFFh (127.99) ⟶ 8000h (-128) | 0.00390625000000 |
| Q8.7 | $2^{7} = 128$ | 7FFFh (255.99) ⟶ 8000h (-256) | 0.00781250000000 |
| Q9.6 | $2^{6} = 64$ | 7FFFh (511.99) ⟶ 8000h (-512) | 0.01562500000000 |
| Q10.5 | $2^{5} = 32$ | 7FFFh (1023.99) ⟶ 8000h (-1024) | 0.03125000000000 |
| Q11.4 | $2^{4} = 16$ | 7FFFh (2047.99) ⟶ 8000h (-2048) | 0.06250000000000 |
| Q12.3 | $2^{3} = 8$ | 7FFFh (4097.99) ⟶ 8000h (-4096) | 0.12500000000000 |
| Q13.2 | $2^{2} = 4$ | 7FFFh (8191.99) ⟶ 8000h (-8192) | 0.25000000000000 |
| Q14.1 | $2^{1} = 2$ | 7FFFh (16383.99) ⟶ 8000h (-16384) | 0.50000000000000 |
| Q15.0 | $2^{0} = 1$ | 7FFFh (32767) ⟶ 8000h (-32768) | 1.00000000000000 |

จากตารางที่ 2-1 จะเห็นว่า จำนวนของบิตที่ใช้เป็นส่วนทศนิยมนั้นจะมีผลกับความแม่นยำของผลลัพธ์และในส่วนของจำนวนเต็ม จะมีผลกับช่วงไดนามิคของค่าที่สามารถแทนได้ เมื่อพิจารณา Q.15 format พบว่ามีความแม่นยำมากที่สุด แต่ก็มีข้อจำกัด คือในส่วนของค่าจำนวนจริงมีค่าอยู่ระหว่าง -1 ถึง $1 - 2^{-15}$ เท่านั้น จะเห็นได้ว่าเป็นช่วงที่แคบมาก แต่มีผลดีคือการคูณเลขสองจำนวนเข้าด้วยกันจะไม่เกิดโอเวอร์โฟล เพราะผลลัพธ์ที่ได้จะไม่มีทางเกินช่วง -1 ถึง 1 สำหรับ Q15.0 format มีความแม่นยำน้อยที่สุด แต่มีช่วงไดนามิคกว้างที่สุด คือ -32768 ถึง 32767

การแปลงเลข Q format มีวิธีการแปลงดังนี้

1. นอมอลไลซ์ตัวเลขให้อยู่ในย่านของตัวเลขของ Q format ที่ต้องการ
2. คูณค่าตัวเลขที่ผ่านการนอมอลไลซ์ด้วย $2^n$ โดย n คือจำนวนบิตหลังจุดทศนิยม
3. ทำการปัดเศษผลคูณให้ใกล้เคียงจำนวนเต็ม

ตัวอย่างเช่น แปลงตัวเลข 1.18 ให้อยู่ใน Q.15 format

วิธีทำ 1. นอมอลไลซ์ตัวเลขให้อยู่ในย่าน $\pm 1$ ดังนั้น 1.18/2 = 0.59

2. คูณค่าตัวเลขที่ผ่านการนอมอลไลซ์ด้วย $2^{15}$ คือ $0.59 \times 2^{15} = 19333.12$

3. Round (19333.12) $\rightarrow$ 19333

โดยนิยามให้ round( ) คือฟังก์ชันในการปัดเศษเป็นจำนวนเต็ม ถ้าค่าที่ใส่ให้มีส่วนทศนิยมที่น้อยกว่า 0.5 ก็จะตัดทิ้ง แต่ถ้ามากกว่าหรือเท่ากับ 0.5 ก็จะปัดเพิ่มเป็น 1 การปัดเศษนี้จะทำให้เกิดความคลาดเคลื่อนที่เกิดขึ้น ซึ่งค่าความคลาดเคลื่อนที่เกิดขึ้น คือ $(19333/2^{15}) - 0.59$ และนอกจากความคลาดเคลื่อนที่กล่าวนี้ เมื่อนำเอาระบบเลขแบบ Fixed-point มาใช้แทนค่าสัญญาณและการประมวลผลสัญญาณ ยังคงมีค่าคลาดเคลื่อนที่เกิดจากการแบ่งขั้นสัญญาณ (Signal quantization), โอเวอร์โฟล (Overflow), และการปัดเศษหลังการคูณ (Product rounding) ซึ่งมีรายละเอียดดังต่อไปนี้

- การแบ่งขั้นสัญญาณ หมายถึง การแทนค่าสัญญาณที่ถูกสุ่มจากระดับสัญญาณอนาลอก ซึ่งมีความละเอียดไม่จำกัดด้วยระบบเลขฐานสองที่มีจำนวนบิตจำกัด จึงทำให้เกิดความคลาดเคลื่อนจากการแทนค่าขึ้น ดังนั้นการใช้จำนวนยิ่งมาก จะได้การแบ่งขั้นที่ละเอียดและแทนสัญญาณจริงที่ถูกต้องมากขึ้นเท่านั้น

- โอเวอร์โฟล คือเหตุการณ์ที่ผลลัพธ์ของการประมวลผลมีค่าเกินช่วงที่จะสามารถแทนค่าได้ ซึ่งจะทำให้ผลลัพธ์ที่ได้ผิดไปจากค่าความเป็นจริง ถ้าหากปล่อยให้เกิดการโอเวอร์โฟล อาจทำให้สัญญาณเอาต์พุตเสียรูปร่างจนดูไม่รู้เรื่อง อย่างไรก็ตามโอเวอร์โฟลเป็นความคลาดเคลื่อนที่สามารถป้องกันได้ โดยลดขนาดของสัญญาณอินพุต ใช้ตัวคูณลดทอนที่สัญญาณอินพุตหรือใช้วิธีการเลื่อนบิต

- การปัดเศษหลังการคูณ ในที่นี้ขออธิบายโดยการยกตัวอย่างการคูณเลขแบบ Fixed-point เช่น การคูณเลขจำนวน 5 บิต ตัวตั้งมีรูปแบบ Q5.0 และตัวคูณมีรูปแบบ Q2.3 ในกรณีนี้ผลลัพธ์ที่ได้จะเป็นรูปแบบ 10 บิต แต่ผลลัพธ์ที่ต้องการเป็นเลขจำนวน 5 บิต ดังนั้นต้องทำการปัดเศษ 3 บิตหลังทิ้ง และ 2 บิต หน้าของผลลัพธ์ต้องเป็นศูนย์ มิฉะนั้นจะเกิดโอเวอร์โฟลขึ้น ซึ่งแสดงตัวอย่างได้ดังนี้

xx xxx.

xx. xxx

xxxxxx. xxx

สรุปก็คือ ในการคูณเลขจำนวนเต็ม ตัวตั้งจะมีจุดทศนิยมอยู่ตรงไหนก็ได้ไม่ต้องสนใจ ส่วนตัวคูณถ้ามีจำนวนบิตอยู่หลังจุดทศนิยมกี่บิต หลังจากการคูณแล้วต้องปัดเศษผลลัพธ์ทิ้งเท่ากับจำนวนบิตหลังจุดทศนิยม ซึ่งสิ่งที่สูญเสียไปคือ นัยสำคัญหรือความละเอียดของผลลัพธ์ จึงทำให้เกิดความคลาดเคลื่อนขึ้นนั่นเอง ดังนั้นในการคูณเลขจำนวนเต็ม ตัวตั้งและตัวคูณต้องมีขนาดไม่ใหญ่จนทำให้ผลลัพธ์มากเกินกว่าที่จะแทนได้

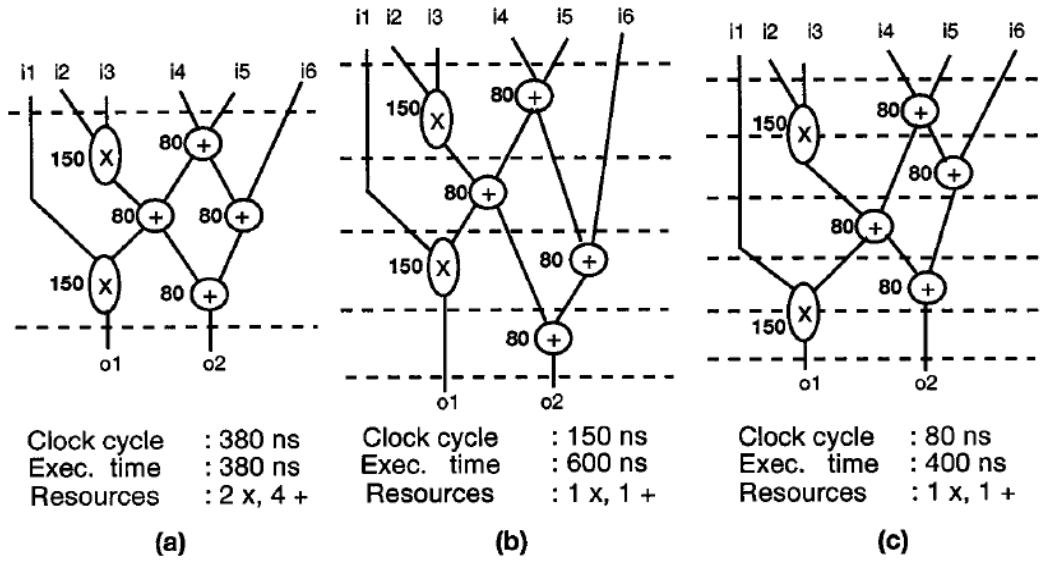
## 2.4 เทคนิคการออกแบบวงจรรวมดิจิตอล

### 2.4.1 การจัดลำดับโอเปอเรชันและการกำหนด Clock period เพื่อสามารถใช้ทรัพยากรร่วมกันได้

การจัดลำดับโอเปอเรชันและการกำหนด Clock period เป็นเทคนิคของการสังเคราะห์วงจรในระดับสถาปัตยกรรม แต่ละโอเปอเรชันประกอบด้วย การนำโอเปแรนด์มาไว้ที่หน้าฟังก์ชันประมวลผลจะทำการคำนวณ แล้วเก็บค่าผลลัพธ์ที่รีจิสเตอร์ปลายทาง การจัดลำดับโอเปอเรชันก็คือ การจัดเรียงลำดับความสำคัญของ โอเปอเรชันต่างๆ ในวงจรทั้งหมดเพื่อให้ได้วงจรที่เร็วที่สุด ขณะที่การใช้ทรัพยากรร่วมกัน (Resource Sharing) จะเป็นการลดจำนวนทรัพยากรที่ใช้บนระบบ เช่น ฟังก์ชันประมวลผล หรือรีจิสเตอร์ เป็นต้น โดยการยอมให้หลาย ๆ โอเปอเรเตอร์ใช้ทรัพยากรตัวเดียวกันร่วมกันได้

การออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน เช่น การใช้ Operator ที่เคยใช้ผ่านมาแล้วในสเตจ (Stage) ก่อนๆ เมื่อ Operator ตัวนั้น ว่างเว้นจากการใช้งาน ควรหาวิธีนำกลับมาใช้ใหม่ เพื่อหลีกเลี่ยงการสร้าง Operator ขึ้นมาใช้งานเพียงครั้งเดียว และสามารถลดจำนวน Operator ด้วย เมื่อตัดสินใจเลือกใช้ทรัพยากรร่วมกัน สิ่งที่เป็นปัจจัยตามมาคือ การเลือก Clock Period ที่เหมาะสม เนื่องจาก การทำงานในแต่ละสเตจใช้เวลาไม่เท่ากัน เมื่อเลือกจะใช้ทรัพยากร

ร่วมกัน จึงมีความจำเป็นที่จะต้องปรับแก้ ให้ลำดับเวลา (Time Step) ในการทำงานของแต่ละสเตจ สามารถใช้ช่วงเวลาที่เท่าๆ กัน ทั้งนี้ก็เพื่อให้เกิดประสิทธิภาพสูงสุด ดังตัวอย่างแสดงในภาพประกอบที่ 2-10



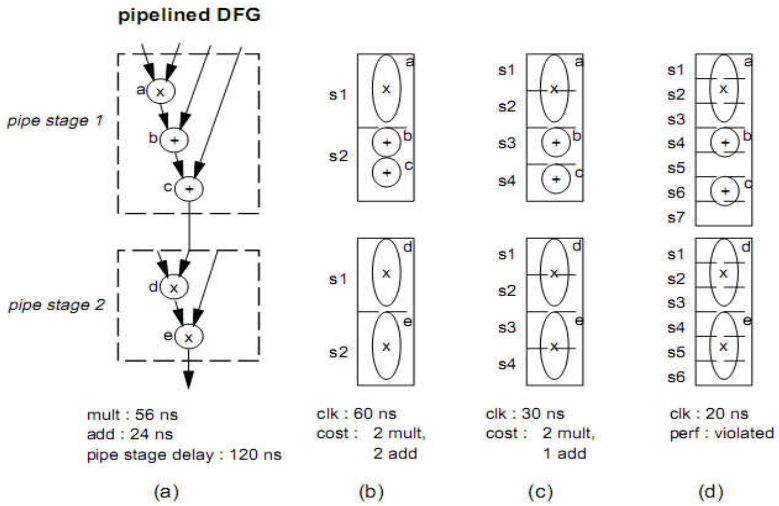

ภาพประกอบที่ 2-10 แสดงการจัดลำดับโอเปอเรชันและการกำหนด Clock period ของการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน [13]

จากภาพประกอบที่ 2-10 กำหนดเวลาในการประมวลผลของวงจรคูณเท่ากับ 150 ns และวงจรบวก 80 ns โดยที่ภาพประกอบที่ 2-10(a) เป็นการแสดงให้เห็นวงจรหนึ่งสเตจ Delay ใช้เวลาในการประมวลผลเท่ากับ 380 ns ส่วนภาพประกอบที่ 2-10(b) และ (c) นั้นแสดงการจัดลำดับโอเปอเรชันโดยการกำหนดค่า clock period ของวงจรเพื่อให้วงจรสามารถใช้ทรัพยากรร่วมกันได้ ผลของการใช้ ไปป์ไลน์ ดังภาพประกอบที่ 2-10(b) โดยกำหนดใช้เวลาที่มีค่ามากที่สุดคือ 150 ns เป็นตัวหลักในการกำหนดค่าของ Clock Period ดังนั้นวงจรทั้งหมดต้องการ 4 ลำดับเวลา ซึ่งผลคือใช้เวลาในการประมวลผลเท่ากับ 600 ns ซึ่งเวลาที่กำหนดไม่ลงตัวกับการทำงานในแต่ละสเตจ และภาพประกอบที่ 2-10(c) เมื่อทำการกำหนด Clock Period เท่ากับ 80 ns ดังนั้นวงจรต้องการจำนวน 5 ลำดับเวลา ซึ่งผลคือใช้เวลาในการประมวลผลทั้งหมดเท่ากับ 400 ns ให้เสร็จหนึ่งงาน จะเห็นว่า Delay ของแต่ละสเตจถูกบีบให้พอดี ดังนั้นวงจรในภาพประกอบที่ 2-10(b) และ (c) นั้นสามารสามารถใช้ทรัพยากรร่วมกันของตัวคูณและตัวบวกได้ อย่างไรก็ตาม Clock Period ที่สั้นกว่า ย่อมดีกว่าเสมอ [13] จากตัวอย่างสามารถสรุปได้ว่า การเลือกใช้ Clock Period ที่เหมาะสม มีความสำคัญมากในการทำ Resource Sharing

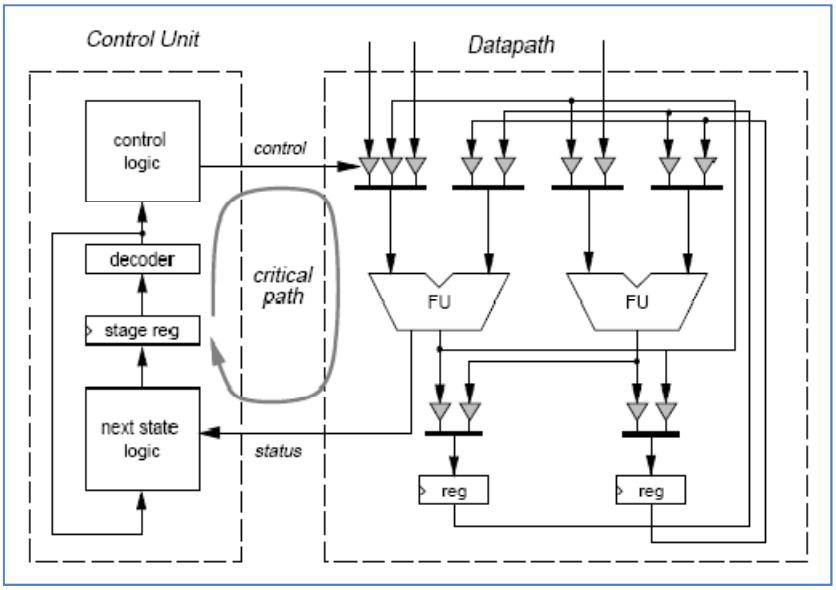
**2.4.2 การออกแบบวงจรข้อมูล (Data-path) โดยหลักการใช้ทรัพยากรร่วมกันและการคิดวงจรควบคุม (Control-path)**

การออกแบบการทำงานที่มีประสิทธิภาพสูง ไม่ได้มองกันที่จะต้องมีการทำงานที่ดีเพียงอย่างเดียว แต่จะต้องมีการใช้ทรัพยากรอย่างคุ้มค่า และเกิดประโยชน์สูงสุดด้วย ซึ่งการออกแบบการทำงานแบบไปป์ไลน์ก็เป็นตัวอย่างที่ดี ที่ได้แสดงการทำงานให้เกิดประโยชน์สูงสุด โดยการนำ การใช้ทรัพยากรร่วมกันเข้ามาร่วมด้วย การออกแบบวงจรแบบไปป์ไลน์ ส่วนมากแนวโน้มที่สามารถปฏิบัติได้ คือการแบ่งสเตจการทำงาน (Description) โดยการแบ่งออกเป็นสเตจย่อยๆ ที่แตกต่างกัน ที่ออกแบบอย่างอิสระต่อกัน และมีวงจรส่วนข้อมูล และส่วนของวงจรควบคุมของมันเอง ดังนั้นเมื่อสเตจต่างกัน ก็สามารถใช้สัญญาณ Clock ที่แตกต่างกันได้ด้วย ตราบใดที่ Delay มากพอสำหรับการทำงานให้เสร็จในช่วงเวลาหนึ่งๆ [14] การออกแบบแต่ละ สเตจอย่างเป็นอิสระ ผลที่ได้คือ ใช้ทรัพยากรทาง Hardware จำนวนมาก ในวิธีนี้จึงเป็นการเพิ่ม Cost ของการออกแบบอีกเป็นจำนวนมาก

ตัวอย่างภาพประกอบที่ 2-11(a) แสดงให้เห็นวงจร 2 สเตจ กับ 1 สเตจดีเลย์ โดยจำกัดไว้ที่ 120 ns ส่วนภาพประกอบที่ 2-11(b), (c), และ (d) แสดงผลของการใช้ไปป์ไลน์ โดยใช้ Clock Period 60, 30, และ 20 ตามลำดับ เมื่อ Clock Period เท่ากับ 60, 30 ns Delay ของแต่ละสเตจถูกบีบให้พอดี Operation (a) และ(e) สามารถ Share ตัวคูณ จนกระทั่ง เป็น Clock cycles ที่แตกต่างกัน และจากภาพประกอบที่ 2-11(b) และ 2-11(c) จะเห็น ว่า S2 ของ ภาพประกอบที่ 2-11(b) สามารถแยกออกมาเป็น S3, S4 ของภาพประกอบที่ 2-11(c) ฉะนั้น Operation (b) และ (c) สามารถใช้ทรัพยากรร่วมกันได้



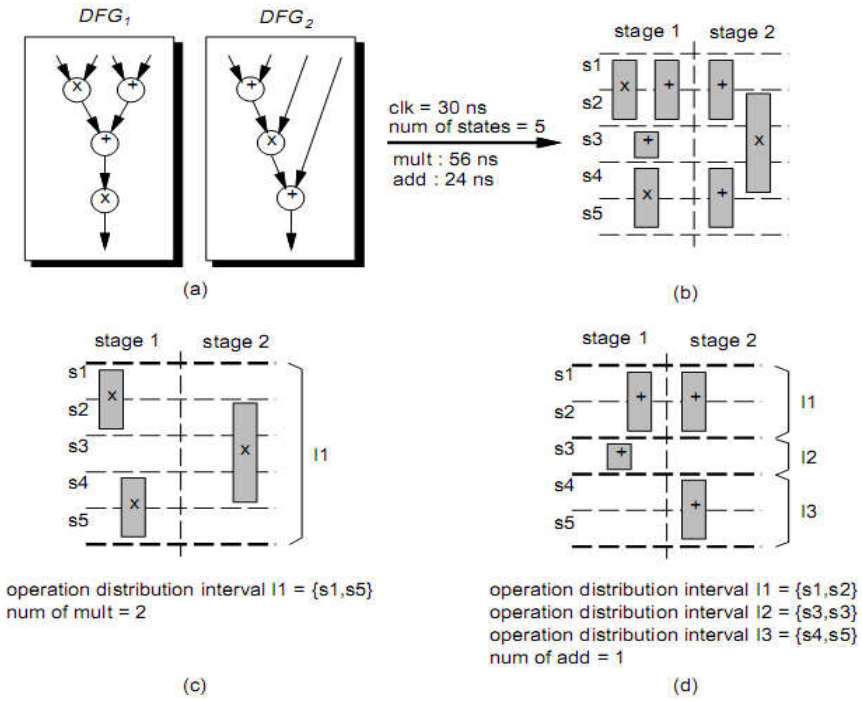

ภาพประกอบ 2-11 การใช้ Clock Period ที่ต่างกันใน Resource Sharing ของการออกแบบวงจรแบบ Pipeline [14]




ภาพประกอบ 2-12 การออกแบบวงจรสำหรับการควบคุม Data-path [14]

การออกแบบวงจรควบคุมดังแสดงในภาพประกอบที่ 2-12 ในรูปแบบนิ้วงจรส่วนข้อมูล ประกอบด้วยรีจิสเตอร์ (Register) หน่วยฟังก์ชั่นต่างๆ และ Tri-State โครงสร้างของบัส (Bus) ถูกสร้างขึ้นเพื่อการเชื่อมต่อระหว่างรีจิสเตอร์กับ Functional Units ของรีจิสเตอร์อีกตัวหนึ่งที่สามารถเก็บค่าชั่วคราวที่ใช้ต่างสเตต (State) ของแต่ละสเตจ หรือสามารถใช้ Pipeline Latch ระหว่างแต่ละสเตจ การทำ Operation ต่อเนื่องกันสามารถทำได้ในโมเดลนี้ โดยยอมให้เชื่อมต่อกันจากเอาต์พุตของฟังก์ชันหนึ่งสู่อินพุตของฟังก์ชันอื่น ส่วนของการควบคุม (Control Unit) ประกอบด้วย State Register , Decoder Control Logic ที่ใช้ควบคุมเส้นทางของข้อมูลของ Component และในสเตตต่อไปจะเป็นลอจิก (Logic) ที่ใช้ในการคำนวณ สเตตต่อไปเป็น state stored ใช้ register Control Unit ใช้ State Machine ซึ่งลำดับการออกแบบผ่านอนุกรมของสเตตแต่ละสเตต แสดงให้เห็น Set ของ Data-path Operation ที่ถูกกระทำร่วมกันที่เหมือนๆ กัน หรือ ต่าง Pipe Stage ของการออกแบบ Clock Period ถูกกำหนดโดยการดีเลย์ของรีจิสเตอร์ถึงรีจิสเตอร์ที่นานที่สุด ที่มีเส้นทางผ่านไปยัง Control Logic ดังแสดงในภาพประกอบที่ 2-12 มีดีเลย์ที่ใหญ่ที่สุด ด้วยเหตุนี้ ในการประมาณค่า Clock Period ที่น้อยที่สุด ถูกประมาณโดยการใช้ การบวกของ Delays ที่เกี่ยวพันกับ Component ในส่วนของส่วนข้อมูล และส่วนควบคุม

จากรูปแบบฟังก์ชันของแต่ละสเตจ จะเป็นการเลือกค่าของ Clock period ดังนั้นลำดับต่อไปจะเป็นการประมาณของลำดับ และประเภทของทรัพยากร



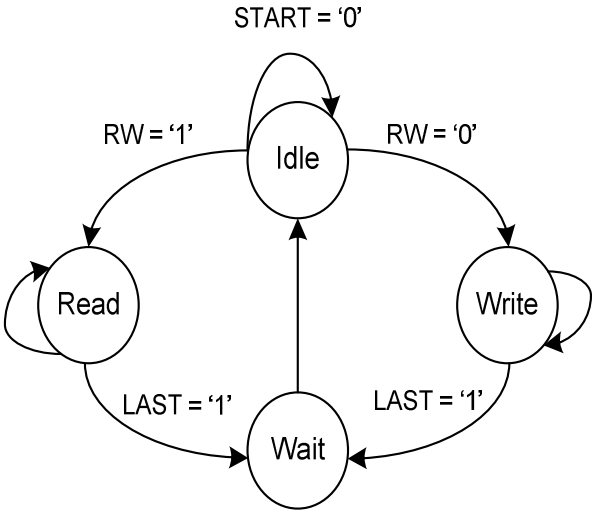

ภาพประกอบ 2-13 แสดงตัวอย่างของการออกแบบวงจร Resource Estimation [14]

จากภาพประกอบที่ 2-13(a) แสดงตัวอย่างของ Resource Estimation ซึ่งแสดงถึงการทำงานของวงจร DFG 1 และ DFG 2 ตามลำดับ ซึ่งจะเห็นได้ว่าทั้งสองวงจรนี้มีลักษณะของการทำงานที่พร้อมกัน และใช้ทรัพยากรร่วมกัน ดังนั้นการประมาณจำนวนทรัพยากร (Resource Estimation) จะเป็นตัวคำนวณหรือคำนึงถึงลำดับ และเฟรมเวลาการทำงานของ operation ทั้งหมด โดยกำหนดให้ Clock period และลำดับการทำงาน (Number of states) ของตัวแรก โดยจะทำการกำหนดเวลาของแต่ละ Operation ได้จากการพิจารณารูปแบบ ASAPi และALAPi และ time frame ของ Operation(i) คือเท่ากับ (ALAPi – ASAPi + cycle Oi) ดังนั้นเมื่อ Cycle Oi คือลำดับของ Clock Cycle ของ Operation ตัวแรกถึงตัวสุดท้าย ดังแสดงในภาพประกอบที่ 2-12(b) ซึ่งเป็นการแสดง Time Frame ของ Operation ภาพประกอบที่ 2-12(a) ทั้งหมด

ส่วนภาพประกอบที่ 2-12(c) เป็นการแสดงการแบ่งสเตต และการแยกส่วนการทำงานของลำดับ operation (Operation distribution interval) และทำหน้าที่ในการป้องกันการเกิด Overlapping ของเฟรมเวลาระหว่าง States ดังนั้นจากภาพประกอบที่ 6(c) จะเห็นได้ว่าวงจรคูณจะเริ่มทำงานที่ states 1 (s1) และจบการทำงานที่ states 5 (s5) ดังนั้นจะต้องใช้วงจรคูณ 2 ตัว ด้วยกัน เพื่อป้องกันการเกิด Overlapping ในทำนองเดียวกันวงจรบวกจะแบ่งการทำงาน ออกเป็น 3 Time frame ด้วยกัน ได้แก่ I1, I2, และ I3 ดังนั้นสามารถใช้วงจรบวกแค่เพียงตัวเดียว ก็สามารถป้องกันการเกิด Overlapping ได้

**2.4.3 หลักการของวงจรควบคุม Finite State Machine (FSM) แบบ Moore Finite State Machine [16]**

Finite State Machine ซึ่งเป็นหัวใจสำคัญในการออกแบบหน่วยควบคุม โดยปกติจะบรรยายด้วยแผนภาพไดอะแกรม ตัวอย่างเช่น ภาพประกอบ 2-14 จะแสดงการเปลี่ยนสเตต ของการอ่านเขียนของหน่วยควบคุม โดยเริ่มการทำงานจากสเตต Idle ถ้าสัญญาณ START มีค่าไปเป็น “1” สเตตจะเปลี่ยนไปเป็นสเตต Write หรือสเตต Read ขึ้นกับสัญญาณ RW ถ้าเป็น “1” จะเข้าสู่สเตต Read และถ้าเป็น “0” จะเข้าสู่สเตต Write และจากสเตต Read และสเตต Write จะนำไปสู่สเตต Wait ถ้าสัญญาณ LAST เป็น “1” และเข้าสู่สเตต Idle ต่อไป



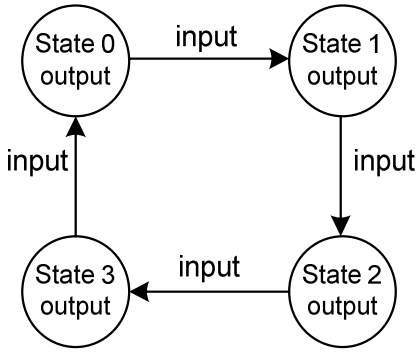

ภาพประกอบ 2-14 แสดงตัวอย่างไดอะแกรมของหน่วยควบคุม [16]

โดยพื้นฐานของการออกแบบ FSM จะมี 2 รูปแบบด้วยกันคือ Mealy และ Moore Machine

- Mealy Machine จะเป็นการเขียนสเตตไดอะแกรมรูปแบบ ที่ค่าของเอาต์พุต ในแต่ละสเตตจะขึ้นอยู่กับค่าของสเตตปัจจุบัน (Current State) และค่าของอินพุตในแต่ละสเตต
- Moore Machine จะเป็นการเขียนสเตตไดอะแกรมรูปแบบ ที่ค่าของเอาต์พุต ในแต่ละสเตตจะขึ้นอยู่กับค่าของสเตตปัจจุบันเท่านั้น

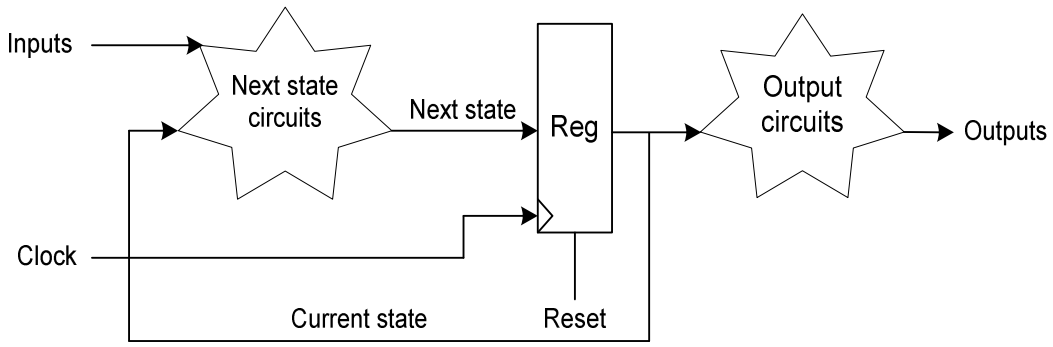
โดยรายละเอียดในส่วนของวงจรควบคุมนี้ผู้วิจัยได้ใช้วงจรควบคุมแบบ Moor FSM ดังนั้นเนื้อหานี้จะกล่าวถึงเฉพาะในหัวข้อ Moore FSM เท่านั้น

Moore FSM เป็นรูปแบบการเขียนสเตตไดอะแกรมแบบค่าของเอาต์พุตในแต่ละสเตตจะขึ้นอยู่กับค่าของสเตตปัจจุบันเท่านั้น เพื่อความเข้าใจพิจารณาจากแผนภาพ สเตตไดอะแกรม ดังภาพประกอบที่ 2-15




ภาพประกอบ 2-15 แสดงแผนภาพไดอะแกรมรูปแบบ Moore Machine [16]

ในรูปไดอะแกรมมีทั้งหมด 4 สเตต โดยค่าของเอาต์พุตในแต่ละสเตตจะถูกเขียนไว้ในวงกลมของสเตตนั้นๆ และการเปลี่ยนแปลงสเตตจะขึ้นกับค่าอินพุตที่เข้ามาในแต่ละสเตต ซึ่งถ้ามองในรูปของฮาร์ดแวร์หรือวงจรสามารถที่จะเขียนเป็นบล็อกไดอะแกรมได้ดังภาพประกอบ 2-16 ซึ่งจะประกอบไปด้วยวงจรคอมไบเนชันในส่วนของ Next State และส่วนของวงจรรีจิสเตอร์ที่ใช้ในการเก็บค่าสถานะของสเตตและวงจรคอมไบเนชันในส่วนการสร้างสัญญาณเอาต์พุต

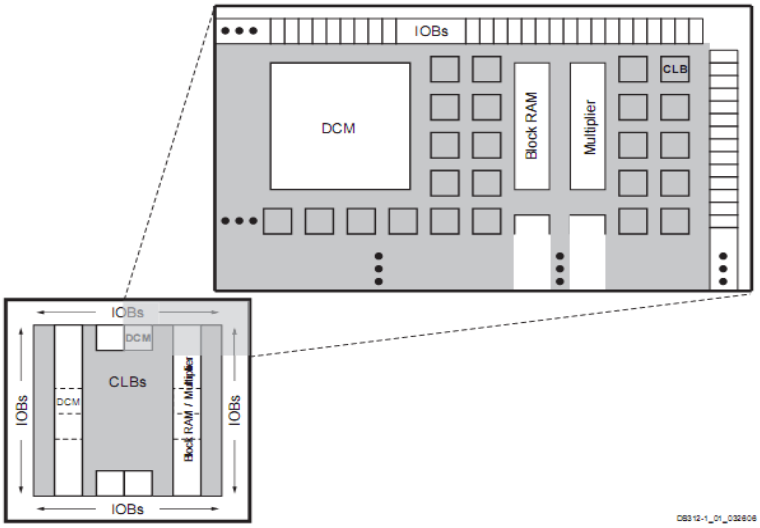



ภาพประกอบ 2-16 แสดงบล็อกไดอะแกรมรูปแบบ Moore Machine ในมุมมองทางฮาร์ดแวร์ [16]

### 2.4.4 ขั้นตอนของการออกแบบวงจรดิจิตอลบนเทคโนโลยี FPGAs

FPGA จะใช้เทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static RAM) ทำให้สามารถ โปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกทในระดับปานกลางถึงสูงมาก (ประมาณ 10,000 - 1,000,000 เกท) ซึ่งข้อดีของ SRAM Based FPGA คือใช้เวลาในการโปรแกรมน้อยระดับ nsec การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAMทั่วไปและเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมใน ภาวะที่ไม่มีไฟเลี้ยงได้ ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROM เพื่อเก็บโปรแกรม และทำการ โหลดโปรแกรมลงในตัวชิพในขณะที่เริ่มต้นใช้งานโครงสร้างภายในของ FPGA

#### 2.4.4.1 ลักษณะโครงสร้างบล็อกภายในของ FPGA




ภาพประกอบ 2-17 โครงสร้างภายในของ FPGA ตระกูล Spartan – 3 [17]

จากภาพประกอบที่ 2-17 ซึ่งแสดงโครงสร้างภายในของ FPGA จะประกอบด้วย 2 ส่วนหลักๆ คือ Configurable Logic Block (CLB) ต่างๆ และ I/O Logic Block เพื่อใช้ในการโปรแกรมให้เป็นวงจรดิจิตอลตามที่ต้องการ ด้วยลักษณะของการเชื่อมต่อถึงกันภายในชิพมีหลากหลายลำดับชั้น นอกจากนี้ยังมีอุปกรณ์ภายในที่ทำหน้าที่เฉพาะงาน เช่น Digital Clock Managers (DCM) ที่ช่วยในการควบคุมและจัดการเกี่ยวกับสัญญาณนาฬิกาภายใน วงจรคูณ (Multiplier) ซึ่งเป็นวงจรที่ช่วยอำนวยความสะดวกในการเรียกใช้วงจรคูณภายในและหน่วยความจำ (Block RAM) เพื่ออำนวยความสะดวกในการออกแบบและเพิ่มสมรรถนะให้วงจร

ชิพ FPGA มีความจุของเกตค่อนข้างสูงตั้งแต่ระดับ 10,000 เกต ถึงประมาณในหลักสิบล้านเกตขึ้นไป ขึ้นอยู่กับเทคโนโลยีที่ใช้ในการผลิต การโปรแกรม FPGA สามารถทำได้โดยการโหลดข้อมูลวงจร (Configuration data) ลงไปเก็บที่เซลหน่วยความจำแบบ RAM (เป็นคนละส่วน Block RAM) ที่อยู่ภายใน FPGA ดังนั้น FPGA จึงไม่มีข้อจำกัดในการโปรแกรมซ้ำและสามารถโปรแกรมข้อมูลวงจรลงไปได้เร็ว แต่ RAM มีข้อเสียที่สำคัญคือข้อมูลวงจะสูญหายหากไม่มีไฟเลี้ยง จึงต้องใช้หน่วยความจำภายนอกชิพที่สามารถเก็บข้อมูลวงจรอยู่ได้แม้ว่าจะไม่มีไฟเลี้ยงตัวชิพ เช่น Serial PROM เพื่อใช้เก็บข้อมูลและจะทำการโหลดข้อมูลจาก Serial PROM ลงชิพ FPGA อย่างอัตโนมัติทุกครั้งที่มีการจ่ายไฟเลี้ยง

**2.4.4.2 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว**

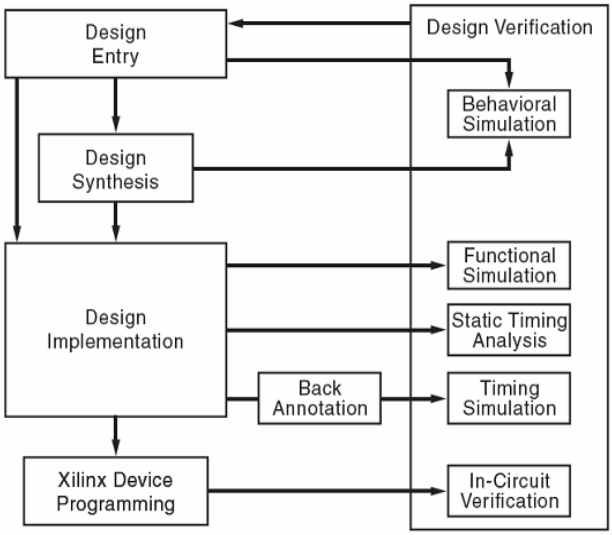
1. ผู้ออกแบบไม่จำเป็นต้องทราบถึงโครงสร้างภายในของตัวชิพ เพียงแต่มีความรู้เกี่ยวกับขั้นตอนการออก แบบลอจิกก็เพียงพอแล้ว ต่างกับการใช้ไมโครโปรเซสเซอร์ซึ่งจำเป็นต้องศึกษาโครงสร้างภายในรวมถึง ภาษาAssembly ของไมโครโปรเซสเซอร์ตัวนั้นด้วย

2. มีการออกแบบโดยใช้ภาษาในการอธิบายการทำงานของวงจร หรือ HDL (Hardware Description Language) เป็นเครื่องมือในการออกแบบ ซึ่งเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้รวดเร็ว และไม่จำเป็น ต้องทราบถึงลักษณะของวงจรที่ต้องการว่าจะเชื่อมต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน จากนั้นตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้ทั้งหมดนอกจากนี้ภาษาที่ใช้ยังเป็นมาตรฐาน เดียวกันสามารถใช้ได้กับชิพทุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน เพียงแค่ส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้โดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอกและที่สำคัญสามารถโปรแกรมได้หลายครั้งจึงทำให้ง่ายในการแก้ไขและพัฒนาโดยไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด

**2.4.4.3 ขั้นตอนและการออกแบบวงจรดิจิตอลด้วย FPGA**

ในการออกแบบวงจรดิจิตอลด้วยการนี้ผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซีและที่สำคัญ การออกแบบโดยวิธีนี้สามารถแก้ไขโมเดลหรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยีสำหรับภาษาที่ใช้ สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL, AHDL และ Verilog เป็นต้น ส่วนรายละเอียดของขั้นตอนในการออกแบบสามารถแสดงดังภาพประกอบที่ 2-18 และอธิบายได้ดังนี้




ภาพประกอบ 2-18 Xilinx Design Flow [17]

**ขั้นตอนที่ 1 การออกแบบวงจร (Design Entry)**

เป็นขั้นตอนของการออกแบบ Concept design ซึ่งสามารถออกแบบได้จาก Schematic หรือออกแบบจากการเขียนภาษา HDL ซึ่งสามารถออกแบบได้ทั้งจากภาษา VHDL หรือ Verilog HDL และนอกเหนือจากการออกแบบทั้งสองรูปแบบแล้ว ยังสามารถออกแบบได้จาก State Machines

**ขั้นตอนที่ 2 การสังเคราะห์วงจร (Synthesis)**

เมื่อได้ทำการออกแบบในขั้นตอนแรก จะเข้าสู่ขั้นตอนที่ 2 คือการสังเคราะห์ (Synthesis) วงจรจากการออกแบบในขั้นตอนที่ 1 จาก Concept design ในขั้นตอนแรกว่ามีการทำงานถูกต้องหรือไม่ เป็นผังวงจร (Schematic) โดยใช้โปรแกรมช่วยในการสังเคราะห์วงจรอัตโนมัติ XST (Xilinx Synthesis Technology) โดยขั้นตอนดังกล่าวจะต้องเลือกเทคโนโลยีที่ต้องการสร้างให้เป็นผังวงจร โดยในชุดโปรแกรมนี้มี 2 เทคโนโลยีที่สามารถเลือกใช้งานได้ คือ CPLD (Complex Programmable Logic Device) หรือ FPGA (Field Programmable Gate Array) ซึ่งแล้วแต่ผู้ออกแบบต้องการเลือกใช้เทคโนโลยีอะไรในการออกแบบ

**ขั้นตอนที่ 3 การตรวจสอบความถูกต้องและการจำลองการทำงานของวงจร(Simulation)**

เมื่อทำการสังเคราะห์วงจรในระดับฟังก์ชัน (Functional) เป็นที่ถูกต้องแล้วจะเข้าสู่ขั้นตอนที่ 3 คือการตรวจสอบความถูกต้องของวงจรที่ออกแบบ (Design verification) โดยทำการจำลองการทำงาน (Simulation) ซึ่งการจำลองการทำงานจะต้องสร้างโปรแกรมที่สร้างชุดข้อมูลใน

การทดสอบวงจรที่เรียกว่า Testbench ในการสร้างชุดข้อมูลทดสอบอัตโนมัติของวงจรที่ออกแบบในขั้นตอนที่ 1 โดยโปรแกรมจะทำหน้าที่จำลองการทำงานของวงจรที่ออกแบบ ซึ่งเป็นการนำโค้ด HDL ของวงจรที่ออกแบบไป ตรวจสอบความถูกต้องด้วยโปรแกรมจำลองการทำงาน โดยใช้ซอฟต์แวร์ทูล เช่น ISE Simulator หรือ ModelSim ตัวอย่างสัญญาณที่ได้จากการจำลองการทำงานโดยทั่วไปมี 3 ระดับคือ

1. Behavioral simulation เป็นการจำลองเฉพาะพฤติกรรมของวงจรโดยยังไม่คิดถึงโครงสร้างของวงจรภายในเพื่อให้ได้แบบจำลองการทำงานเบื้องต้น ซึ่งโค้ด HDL ที่เขียนนี้อาจจะนำไป Synthesis ไม่ได้ แต่เขียนโค้ดได้รวดเร็ว

2. Functional simulation เป็นการนำโค้ดในระดับ RTL (Register Transfer Level) ซึ่งเป็นระดับที่สามารถนำไปสังเคราะห์วงจรได้มาทำการจำลองการทำงานเพื่อตรวจสอบทำงานวงจรให้ถูกต้องก่อนนำไปสังเคราะห์วงจร

3. Timing simulation เป็นการจำลองการทำงานที่ใกล้เคียงกับ Hardware จริงที่สุด เนื่องจากเป็นการนำข้อมูล Timing ที่เกิดขึ้นใน FPGA มาใช้ ทำให้สามารถตัดสินใจเลือกเบอร์ FPGA ได้ถูกต้องก่อนนำไปใช้งาน

**ขั้นตอนที่ 4 Design Implementation**

เมื่อผ่านขั้นตอนที่ 3 ผู้ออกแบบจะได้ไฟล์ประเภทเน็ตลิสท์ ( Netlist) ของผังวงจรที่ถูกสังเคราะห์ขึ้นจากเทคโนโลยีที่ผู้ออกแบบเป็นคนเลือกใช้ดังที่กล่าวมาข้างต้น ในกรณีของ FPGA ขั้นตอนนี้เริ่มจากขั้นตอนการแปล (Translate) โดยนำไฟล์ Design Netlist มาทำการออพติไมซ์วงจรเสียก่อน จากนั้นจะนำไปตรวจสอบว่าสามารถวางหรือบรรจุวงจรลงในชิพเบอร์ที่เรากำหนดได้หรือไม่ ขั้นตอนต่อไปเป็นการแมพ (Map) โดยเลือกอุปกรณ์จากไฟล์ของวงจรเข้าไปวางในอุปกรณ์พื้นฐานต่างๆ ที่อยู่ภายใน FPGA เบอร์ที่เรากำหนด โดยจะต้องมีการคำนวณหาตำแหน่งที่เหมาะสมเพื่อที่จะนำเอาวงจรไปวาง (Place) และเมื่อวางเรียบร้อยแล้วจึงเชื่อมต่อสัญญาณต่างๆ เข้าด้วยกัน (Route) ตามลำดับโดยใช้ซอฟต์แวร์ทูล ซึ่งข้อมูลวงจรที่ใช้ในขั้นตอนนี้อาจได้มาจาก Design Netlist ที่ได้มาจาก Design Entry ที่เป็น Schematic หรือจากการสังเคราะห์วงจรในกรณีที่เป็น HDL ส่วนกรณีของ CPLD นั้นจะมีความซับซ้อนน้อยกว่ามากจึงเรียกรวมขั้นตอนหลังจากการแปลว่าขั้นตอน Fitting

จากนั้นจะเป็นขั้นตอน Bitstream generation เพื่อสร้างไฟล์ให้เหมาะสมสำหรับการดาวน์โหลดลง FPGA หรือ CPLD โดยจะได้เป็นไฟล์ที่นามสกุล .bit (ไฟล์ข้อมูลวงจรของ FPGA) หรือไฟล์ที่นามสกุล .jed (ไฟล์ข้อมูลวงจรของ CPLD)

**ขั้นตอนที่ 5 การโปรแกรมข้อมูลวงจรลงชิพ (Programming)**

เป็นขั้นตอนสุดท้ายของการออกแบบคือ เป็นการนำไฟล์ที่ผ่านการ Implementation เรียบร้อยแล้วไปโปรแกรมลงบนอุปกรณ์ CPLD หรือ FPGA ต่อไปโดยอาศยโปรแกรมย่อย iMPACT ซึ่งเป็นโปรแกรมที่ใช้ในการดาว์นโหลดวงจรที่ออกแบบลงบนอุปกรณ์ CPLD หรือ FPGA ผ่านทางสาย JTAG Cable ได้ทันทีโดยไม่ต้องอาศัยเครื่องมืออื่นใด เนื่องจากอุปกรณ์ดังกล่าวมีระบบ ISP (In-System Programming) อยู่ภายในทำให้สะดวกในการโปรแกรม

# บทที่ 3

# การวิเคราะห์อัลกอริทึมที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย

เนื้อหาของบทนี้จะกล่าวถึงขั้นตอนและวิธีการทดลอง และผลการเปรียบเทียบวงจรแบบต่าง ๆ ที่ใช้ในการจำลองการกำจัดสัญญาณรบกวน ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายบน MATLAB โดยแบ่งการทดลองออกเป็น 2 ส่วนด้วยกัน คือ ส่วนที่ 1 การจำลองระบบการกำจัดสัญญาณรบกวน ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายด้วยโปรแกรม MATLAB และส่วนที่ 2 การจำลองกำจัดสัญญาณรบกวนออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายโดยใช้ DSP Toolbox ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox

## 3.1 การจำลองระบบการกำจัดสัญญาณรบกวน ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายด้วยโปรแกรม MATLAB

การทดลองในหัวข้อนี้เป็นการกำจัดสัญญาณรบกวนออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายที่ทำการจำลองขึ้นมา โดยจะแบ่งเป็นการทดลองย่อย ได้แก่ การประยุกต์ใช้วงจรกรองแบบไอไออาร์น็อตซ์ฟิลเตอร์ วงจรกรองแบบปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS และวงจรกรอง NLMS ซึ่งการทดลองดังกล่าวนั้นจะเป็นการจำลองระบบกำจัดสัญญาณรบกวน แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก

ในการพิจารณาว่าวงจรกรองชนิดใดสามารถกำจัดสัญญาณรบกวนได้ดีกว่ากันนั้นจะพิจารณาจากค่าดัชนีต่อไปนี้

1. อัตราการลู่เข้า (Convergent rate) หรือจำนวนรอบในการลู่เข้าสู่สภาวะเสถียร (Steady State) โดยถ้าจำนวนรอบในการลู่เข้าน้อยกว่าแสดงว่าเข้าสู่สภาวะเสถียรได้เร็วกว่า

2. ค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient)

3. ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) คือค่าผลต่างเฉลี่ยระหว่างสัญญาณเอาต์พุตกับสัญญาณเป้าหมายยกกำลังสอง ซึ่งคำนวณได้จาก

$$NMSE = \frac{\sum (x - \hat{x})^2}{\sum x^2} \qquad (3\text{-}1)$$

โดยอัตราการลู่เข้าจะแสดงถึงความเร็วในการเข้าสู่คำตอบของวงจรกรอง ส่วนค่าสัมประสิทธิ์สหพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เป็นค่าที่ชี้คุณภาพการกำจัดสัญญาณรบกวนของวงจรกรอง ซึ่งค่าสัมประสิทธิ์สหพันธ์ที่ดีควรมีค่าเข้าใกล้หนึ่ง และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ควรมีค่าเข้าใกล้ศูนย์

### 3.1.1 วิธีการและอุปกรณ์

การจำลองระบบกำจัดสัญญารบกวนที่เกิดจากการวัดสัญญาณไฟฟ้ากล้ามเนื้อลายเริ่มต้นโดยทำการจำลองสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ ถูกทดสอบโดยสร้างคุณลักษณะของการเกิดสัญญาณรบกวน 3 ค่า ด้วยสัญญาณคลื่นรูปไซน์ความถี่ 49 เฮิรตซ์ 50 เฮิรตซ์ และ 51 เฮิรตซ์ ที่แอมพลิจูด 0.8 และ 0.1 ตามลำดับ โดยทำการจำลองสัญญาณไฟฟ้ากล้ามเนื้อลายด้วยการนำสัญญาณสุ่มแบบเกาส์เซียนไปผ่านวงจรกรองผ่านแถบความถี่ซึ่งมีคุณสมบัติสอดคล้องกับคุณสมบัติทางความถี่ของสัญญาณไฟฟ้ากล้ามเนื้อลาย โดยวงจรกรองที่ใช้เป็นวงจรกรองผ่านแถบความถี่เฟสเชิงเส้นออกแบบด้วยวิธีค่าการกระเพื่อมคงที่ (Equiripple) ซึ่งมีค่าพารามิเตอร์ที่ใช้ในการออกแบบ ดังต่อไปนี้

- จุดสิ้นสุดของแถบความถี่หยุดที่ 1 คือ 10 Hz
- จุดเริ่มต้นของแถบความถี่ผ่าน คือ 20 Hz
- จุดสิ้นสุดของแถบความถี่ผ่าน คือ 145 Hz
- จุดเริ่มต้นของแถบความถี่หยุดที่ 2 คือ 155 Hz
- ค่าการกระเพื่อมของแถบความถี่ผ่าน คือ 1 Hz
- ค่าการลดทอนของแถบความถี่หยุดทั้งสอง คือ 30 Hz

จากหลักการของการกำจัดสัญญาณรบกวนโดยใช้วงจรกรองแบบต่างๆ ที่กล่าวในบทที่ 2 ในหัวข้อที่ 2.2 สามารถกำหนดคุณสมบัติและพารามิเตอร์ต่าง ๆ ของวงจรกรองแต่ละแบบที่จะถูกทดสอบในการกำจัดสัญญาณรบกวนดังนี้

วงจรกรองแบบไอไออาร์ฟิลเตอร์ โดยวงจรกรองที่ใช้เป็นวงจรกรองไอไออาร์แบบซิงเกิลน็อตซ์ (Single Notch) ใช้โครงสร้างแบบ Direct Form II ซึ่งเป็นตัวกรองน็อตซ์ที่ความถี่ที่มีลักษณะความถี่แคบมาก (narrow band) มีค่าพารามิเตอร์ที่ใช้ในการออกแบบ คือ $f_s$ = 1000 Hz, $f_c$ = 50 Hz, และ Q = 5

วงกรองแบบปรับตัวได้ ที่ใช้เป็นวงจรกรองแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ซึ่งจะพิจารณาใช้จำนวน Taped delay line เท่ากับ 10, 16 และ 32 ตามลำดับ ค่าอัตราการเรียนรู้ที่ใช้ในการทดสอบของวงจรกรองแต่ละแบบ สามารถจำแนกได้ดังนี้ วงจรกรองแบบ ADALINE ที่ใช้อัลกอริทึม LMS เพื่อเสถียรภาพของอัลกอริทึมจะใช้ค่าอัตราการเรียนรู้ที่คำนวณจากสูตร $\frac{1}{LPx}$ [1] โดยที่ $L$ คือ จำนวน Tapped delay line และ $Px$ คือ ค่ากำลังเฉลี่ยของสัญญาณที่ต้องการจะกำจัดสัญญาณรบกวน ดังนั้นค่าที่ได้จะเท่ากับ 0.0156, 0.0097 และ 0.0048 ตามลำดับ และวงกรองแบบ NLMS นั้น เสถียรภาพของอัลกอริทึมควรมีค่าอัตราการเรียนรู้อยู่ในช่วง $0 < \alpha < 2$ [12] ส่วนค่าอัตราการเรียนรู้เริ่มต้นของวงจรกรองแบบ NLMS ของงานวิจัยนี้ กำหนดค่าอัตราการเรียนรู้เริ่มต้นของวงจรเท่ากับ 0.0800, 0.0500 และ 0.0400 ตามลำดับ

### 3.1.2 ผลการจำลอง

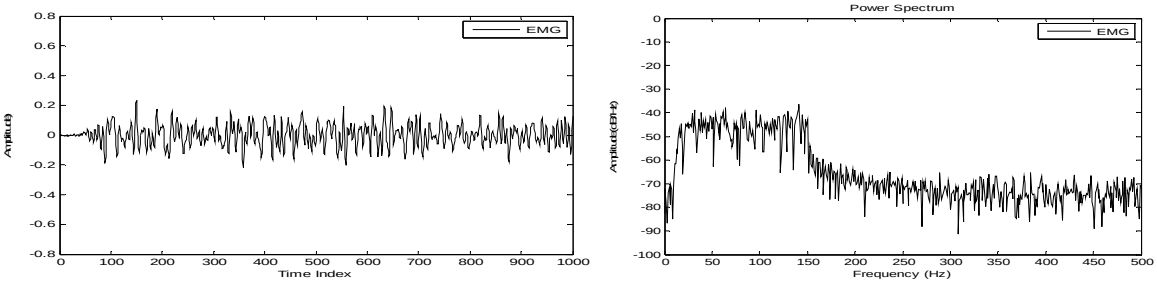
เมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ โดยกำหนดให้สัญญาณไฟฟ้าของกล้ามเนื้อลายร่วมกับสัญญาณรบกวนที่ความถี่ 49 เฮิรตซ์ แอมพลิจูดเท่ากับ 0.8 จำนวน 60 สัญญาณ เมื่อพิจารณาด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3-1

ตารางที่ 3-1 ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 49 เฮิรตซ์

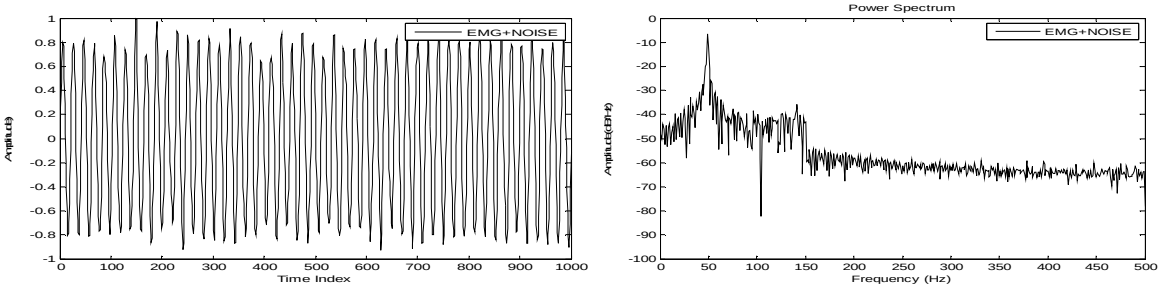
| ชนิด | Taped delay line (N) | Learning Rate ($\alpha$) | Convergent rate (sample) | Correlation coefficient | NMSE |
|---|---|---|---|---|---|
| IIR Notch Filter | 2(order) | Q = 5 | 140 | 0.30 ± 0.07 | 8.75 ± 1.06 |
| ADALINE | 10 | 0.0156 | 150 | 0.69 ± 0.03 | 0.79 ± 0.07 |
| | 16 | 0.0097 | 160 | 0.76 ± 0.03 | 0.58 ± 0.07 |
| | 32 | 0.0048 | 170 | 0.82 ± 0.03 | 0.37 ± 0.06 |
| NLMS | 10 | 0.0800 | 90 | 0.68 ± 0.04 | 0.77 ± 0.08 |
| | 16 | 0.0500 | 100 | 0.76 ± 0.03 | 0.57 ± 0.06 |
| | 32 | 0.0400 | 120 | 0.84 ± 0.33 | 0.33 ± 0.05 |

จากตารางที่ 3-1 จะเห็นได้ว่า ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบเมื่อพิจารณาตามตัวบ่งชี้แล้ว พบว่า วงจรกรองแบบ NLMS ที่จำนวนแท็ปดีเลย์เท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเร็วที่สุดเท่ากับ 90, 100 และ 120 ตามลำดับและค่าสัมประสิทธิ์สหสัมพันธ์ที่ดีที่สุดเท่ากับ 0.68, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ เท่ากับ 0.77, 0.57 และ 0.33 ตามลำดับ ลำดับที่สองเป็นวงจรกรอง ADALINE มีอัตราการลู่เข้าเท่ากับ 150, 160, และ 170 ตามลำดับ และค่าค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.69, 0.76 และ 0.82 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.79, 0.58 และ 0.37 ตามลำดับ และลำดับสุดท้ายวงจรกรองไอไออาร์แบบน็อตซ์ฟิลเตอร์มีอัตราการลู่เข้าเท่ากับ 140 และค่าสัมประสิทธิ์สหสัมพันธ์ที่ต่ำที่สุดเท่ากับ 0.30 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 8.75

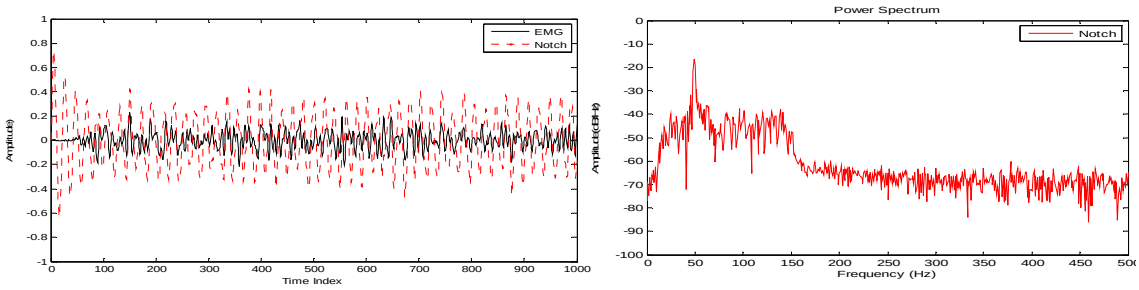
ผลจากการจำลองสัญญาณไฟฟ้าของกล้ามเนื้อลายและสัญญาณรบกวนที่ความถี่ 49 เฮิรตซ์ และความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแบบต่างๆ เทียบกับค่าสัมประสิทธิ์สหพันธ์และค่า NMSE แสดงดังภาพประกอบดังนี้



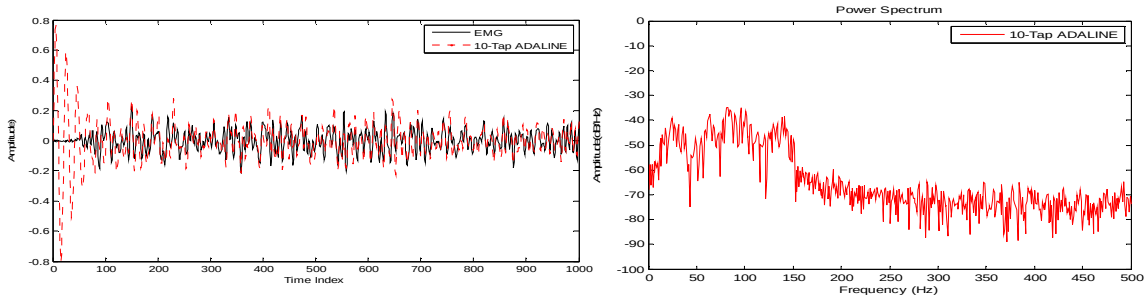

ภาพประกอบ 3-1 แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



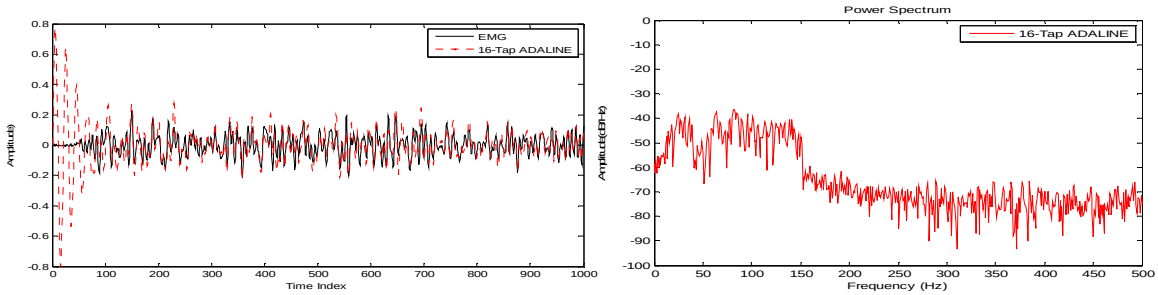

ภาพประกอบ 3-2 แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 49 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



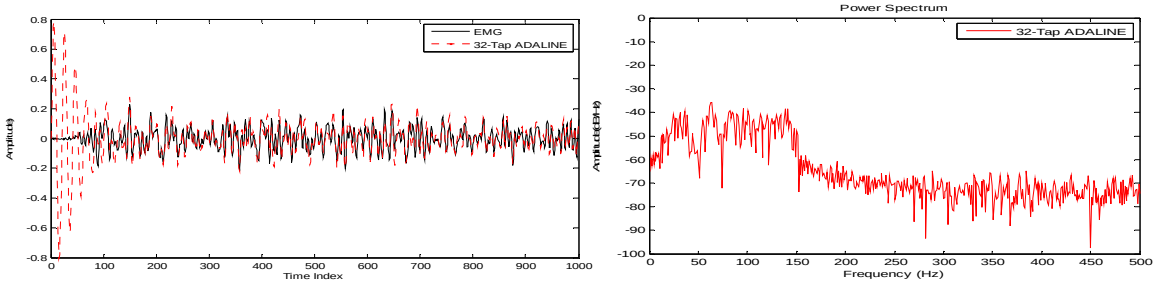

ภาพประกอบ 3-3 ความสามารถในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงจรไอไออาร์น็อตซ์ฟิลเตอร์(ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.30 และค่า NMSE 8.75




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.69 และค่า NMSE 0.79 ที่ Tapped delay line = 10

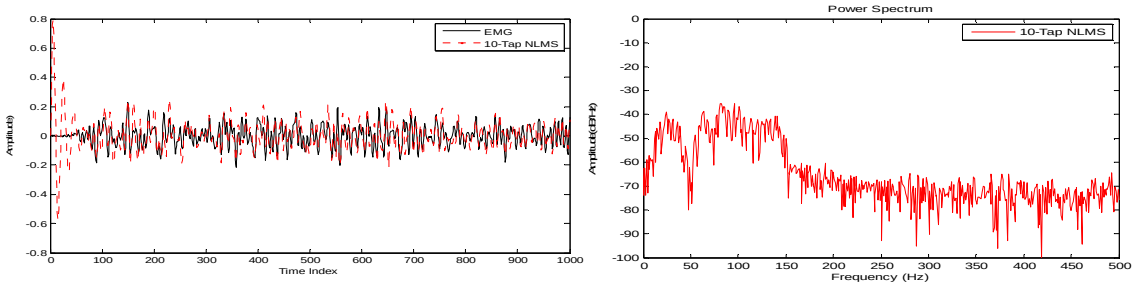



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.76 และค่า NMSE 0.58 ที่ Tapped delay line = 16

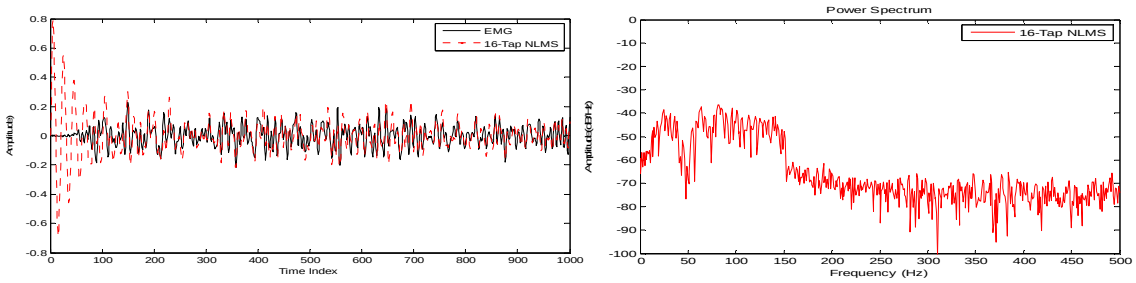



(c) ค่าสัมประสิทธิ์สหพันธ์ 0.82 และค่า NMSE 0.37 ที่ Tapped delay line = 32

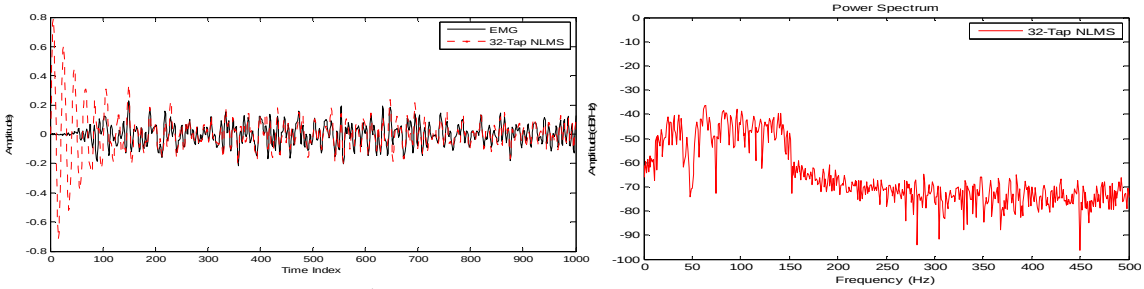
ภาพประกอบ 3-4 ความสามารถในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.68 และค่า NMSE 0.77 ที่ Tapped delay line = 10

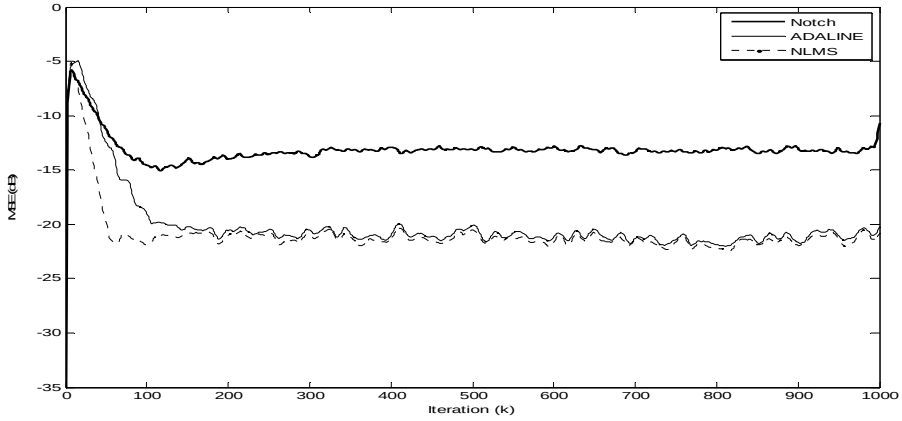



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.76 และค่า NMSE 0.57 ที่ Tapped delay line = 16




(c) ค่าสัมประสิทธิ์สหพันธ์ 0.84 และค่า NMSE 0.33 ที่ Tapped delay line = 32

ภาพประกอบ 3-5 ความสามารถในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์และค่า NMSE ต่างๆ




ภาพประกอบ 3-6 แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 49 เฮิรตซ์ ของวงกรองแบบต่างๆ

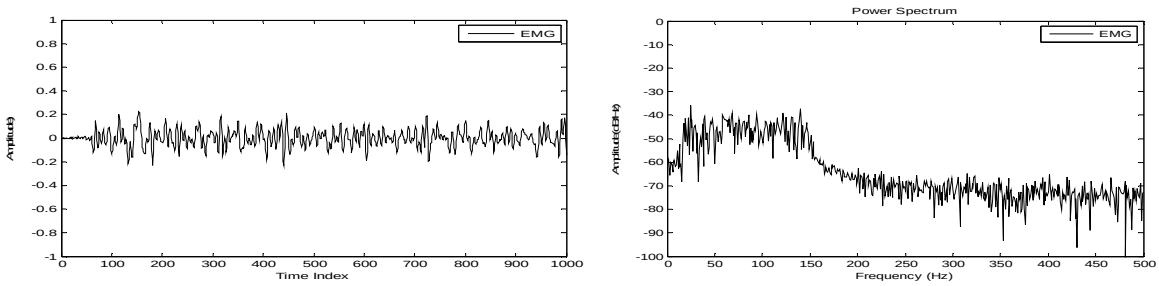
และเมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ โดยกำหนดให้สัญญาณไฟฟ้าของกล้ามเนื้อลายร่วมกับสัญญาณรบกวน 50 เฮิรตซ์ แอมพลิจูดเท่ากับ 0.8 จำนวน 60 สัญญาณ เมื่อพิจารณาด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3-2

ตารางที่ 3-2 ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 50 เฮิรตซ์

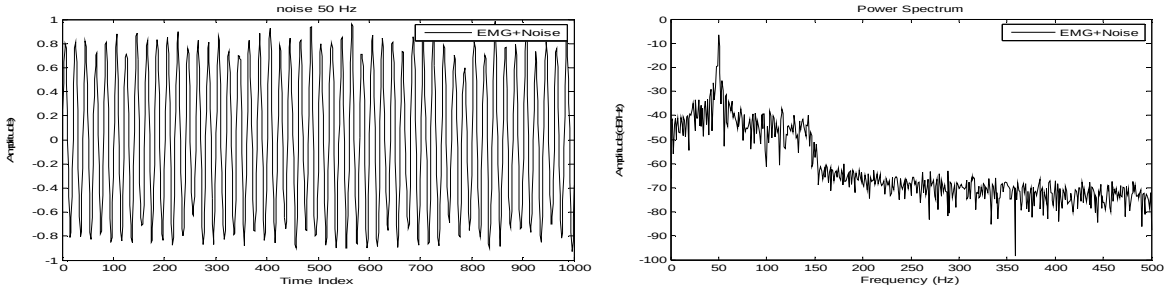
| ชนิด | Taped delay line (N) | Learning Rate ($\alpha$) | Convergent rate (sample) | Correlation coefficient | NMSE |
|---|---|---|---|---|---|
| IIR Notch Filter | 2(order) | Q = 5 | 120 | 0.95 ± 0.01 | 0.09 ± 0.02 |
| ADALINE | 10 | 0.0156 | 120 | 0.70 ± 0.03 | 0.79 ± 0.07 |
| | 16 | 0.0097 | 130 | 0.76 ± 0.03 | 0.59 ± 0.06 |
| | 32 | 0.0048 | 150 | 0.84 ± 0.03 | 0.35 ± 0.06 |
| NLMS | 10 | 0.0800 | 90 | 0.69 ± 0.04 | 0.78 ± 0.08 |
| | 16 | 0.0500 | 100 | 0.76 ± 0.03 | 0.58 ± 0.06 |
| | 32 | 0.0400 | 120 | 0.85 ± 0.02 | 0.32 ± 0.05 |

จากตารางที่ 3-2 จะเห็นได้ว่า ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ เมื่อพิจารณาตามตัวบ่งชี้แล้ว พบว่า วงจรกรองแบบ NLMS ที่จำนวนแท็ปเท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเร็วที่สุดเท่ากับ 90, 100 และ 120 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.69, 0.76 และ 0.85 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ เท่ากับ 0.78, 0.58 และ 0.32 ตามลำดับ ลำดับที่สองเป็นวงจรกรองแบบ ADALINE มีอัตราการลู่เข้าเท่ากับ 120, 130 และ 150 ตามลำดับ และค่าค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.78, 0.59 และ 0.35 ตามลำดับ และลำดับสุดท้ายวงจรกรองไอไออาร์แบบน็อตซ์ฟิลเตอร์มีอัตราการลู่เข้าเท่ากับ 120 และให้ค่าสัมประสิทธิ์สหสัมพันธ์ที่ดีที่สุดเท่ากับ 0.95 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ที่ดีที่สุดเท่ากับ 0.09 ตามลำดับ

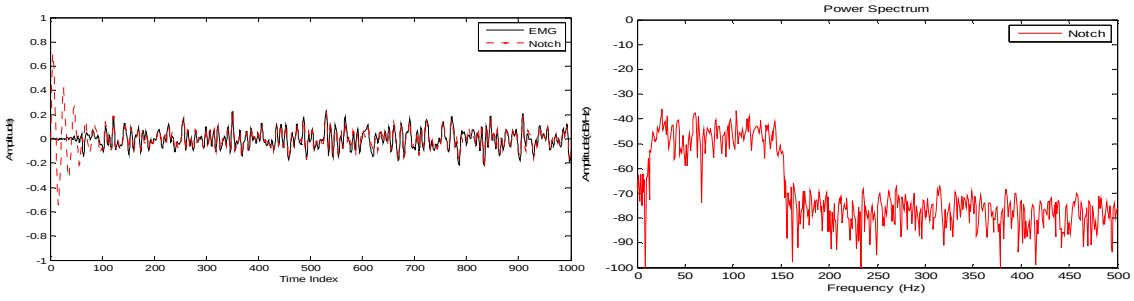
ผลจากการจำลองสัญญาณไฟฟ้าของกล้ามเนื้อลายและสัญญาณรบกวนที่ความถี่ 50 เฮิรตซ์ และความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแบบต่างๆ เทียบกับค่าสัมประสิทธิ์สหพันธ์และค่า NMSE แสดงดังภาพประกอบดังนี้



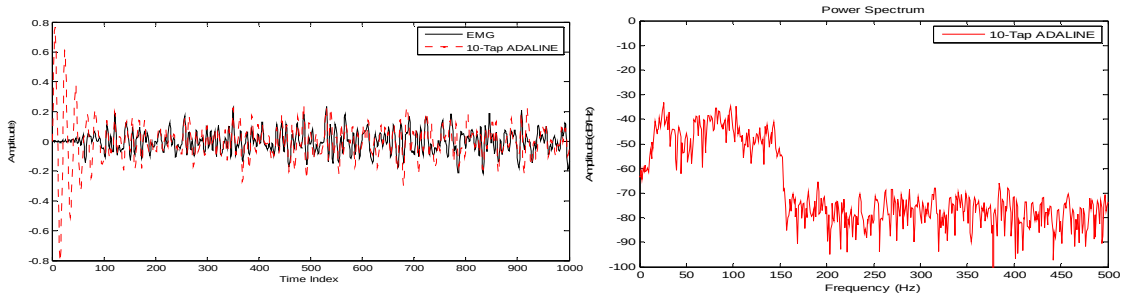

ภาพประกอบ 3-7 แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



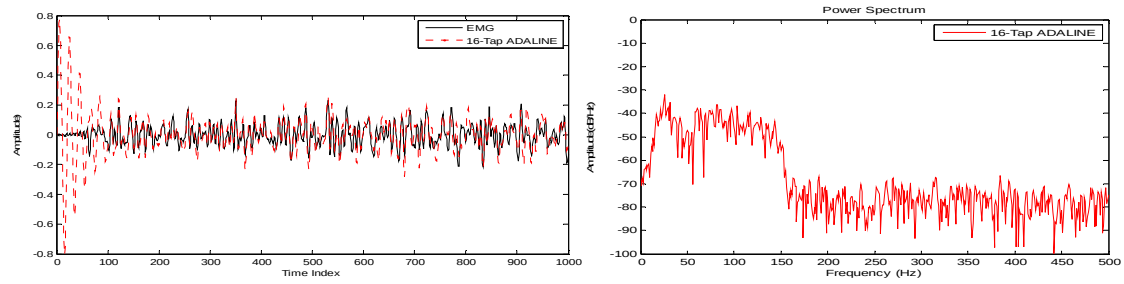

ภาพประกอบที่ 3-8 แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 50 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



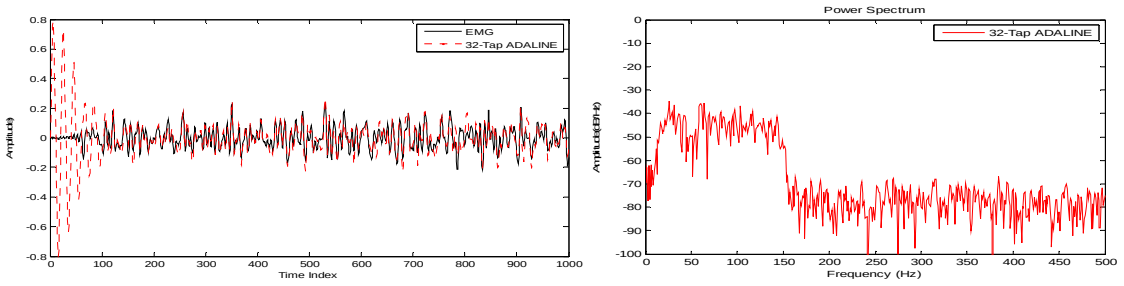

ภาพประกอบ 3-9 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจรไอไออาร์นอตซ์ฟิลเตอร์(ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.95 และค่า NMSE 0.09




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.70 และค่า NMSE 0.78 ที่ Tapped delay line = 10

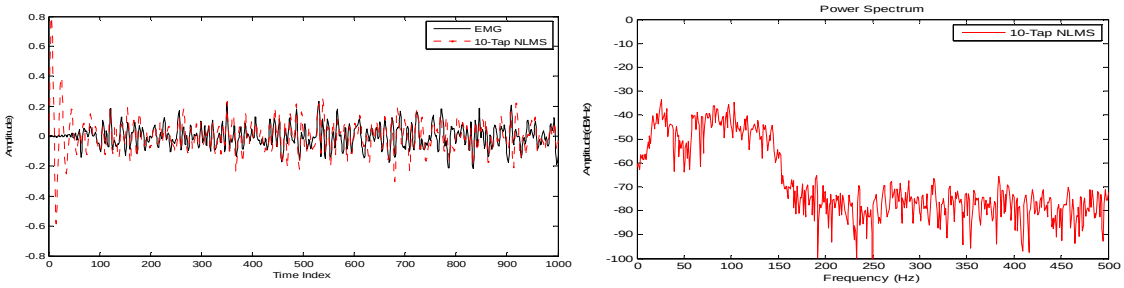



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.76 และค่า NMSE 0.59 ที่ Tapped delay line = 16

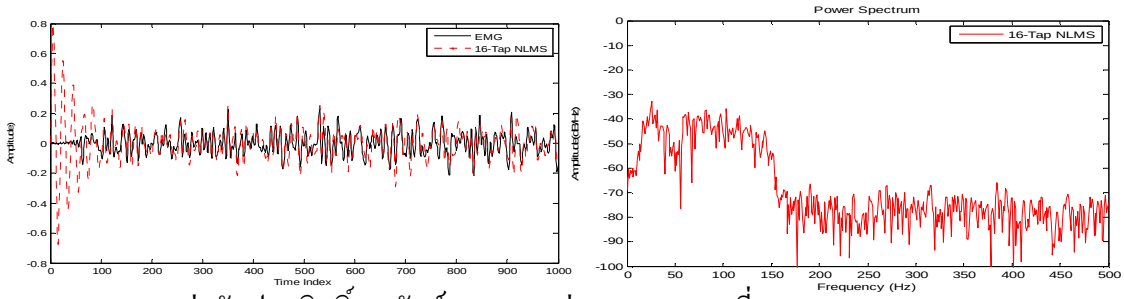



(c) ค่าสัมประสิทธิ์สหพันธ์ 0.84 และค่า NMSE 0.35 ที่ Tapped delay line = 32

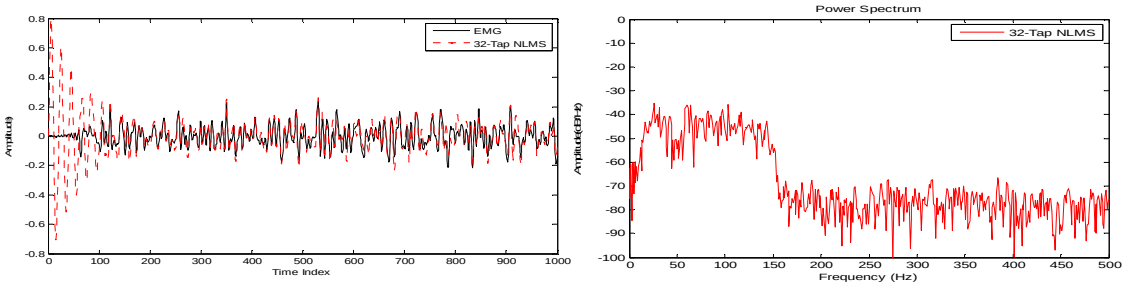
ภาพประกอบ 3-10 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์
ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)
ที่ค่าสัมประสิทธิ์สหพันธ์และค่า NMSE ต่างๆ




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.69 และค่า NMSE 0.77 ที่ Tapped delay line = 10

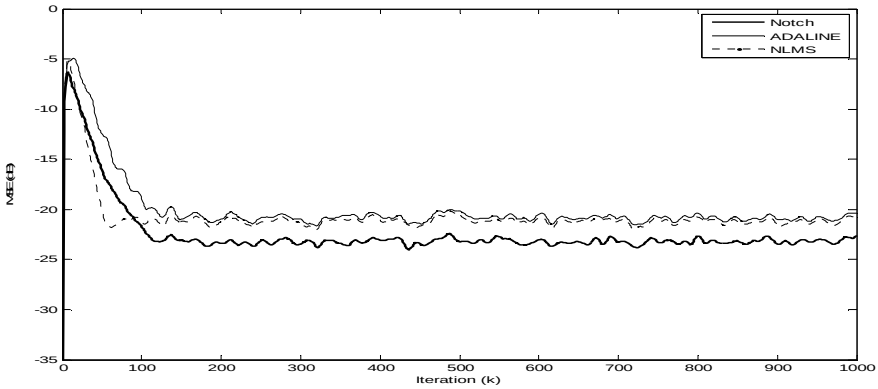



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.76 และค่า NMSE 0.57 ที่ Tapped delay line = 16




(c) ค่าสัมประสิทธิ์สหพันธ์ 0.85 และค่า NMSE 0.32 ที่ Tapped delay line = 32

ภาพประกอบ 3-11 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ




ภาพประกอบ 3-12 แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ของวงกรองแบบต่างๆ

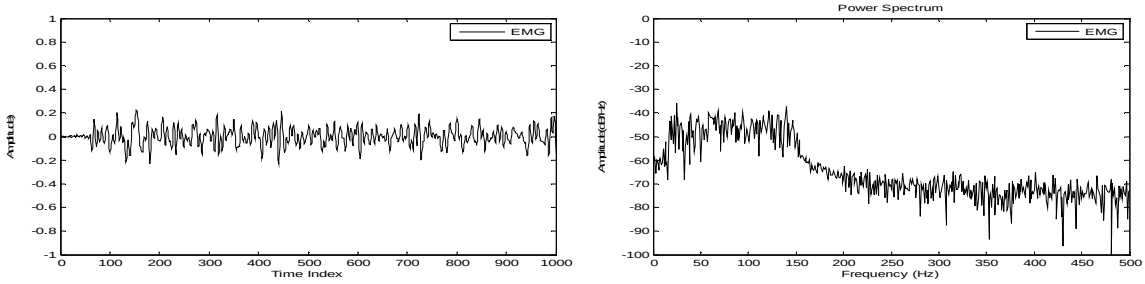
และเมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ โดยกำหนดให้สัญญาณไฟฟ้าของกล้ามเนื้อลายร่วมกับสัญญาณรบกวนที่ความถี่ 51 เฮิรตซ์ แอมพลิจูดเท่ากับ 0.8 จำนวน 60 สัญญาณ เมื่อพิจารณาด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3-3

ตารางที่ 3-3 ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLABที่สัญญาณรบกวน 51 เฮิรตซ์

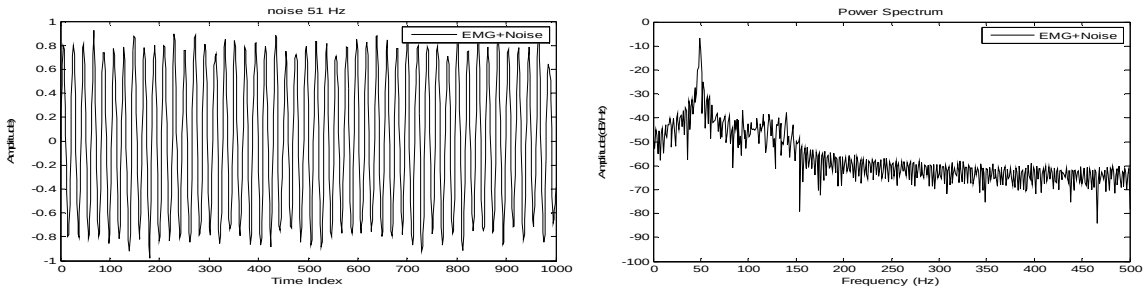
| ชนิด | Taped delay line (N) | Learning Rate ($\alpha$) | Convergent rate (sample) | Correlation coefficient | NMSE |
|---|---|---|---|---|---|
| IIR Notch Filter | 2(order) | Q = 5 | 120 | 0.33 ± 0.07 | 7.96 ± 1.13 |
| ADALINE | 10 | 0.0156 | 140 | 0.70 ± 0.03 | 0.80 ± 0.08 |
| | 16 | 0.0097 | 150 | 0.75 ± 0.03 | 0.62 ± 0.07 |
| | 32 | 0.0048 | 170 | 0.83 ± 0.03 | 0.37 ± 0.07 |
| NLMS | 10 | 0.0800 | 90 | 0.68 ± 0.04 | 0.79 ± 0.09 |
| | 16 | 0.0500 | 100 | 0.75 ± 0.03 | 0.60 ± 0.07 |
| | 32 | 0.0400 | 120 | 0.84 ± 0.03 | 0.34 ± 0.06 |

จากตารางที่ 3-3 จะเห็นได้ว่า ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ เมื่อพิจารณาตามตัวบ่งชี้แล้ว พบว่า วงจรกรองแบบ NLMS ที่จำนวนแท็ปเท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเร็วที่สุดเท่ากับ 90, 100 และ 120 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.68, 0.75 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ที่ดีที่สุด เท่ากับ 0.79, 0.60 และ 0.34 ตามลำดับ ลำดับที่สองเป็นวงจรกรองแบบ ADALINE มีอัตราการลู่เข้าเท่ากับ 140, 150 และ 170 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70, 0.75 และ 0.83 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.80, 0.62 และ 0.37 ตามลำดับ และลำดับสุดท้ายวงจรกรองไอไออาร์แบบนอตช์ฟิลเตอร์มีอัตราการลู่เข้าเท่ากับ 120 ให้ค่าสัมประสิทธิ์สหสัมพันธ์ที่ต่ำที่สุดเท่ากับ 0.33 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 7.96

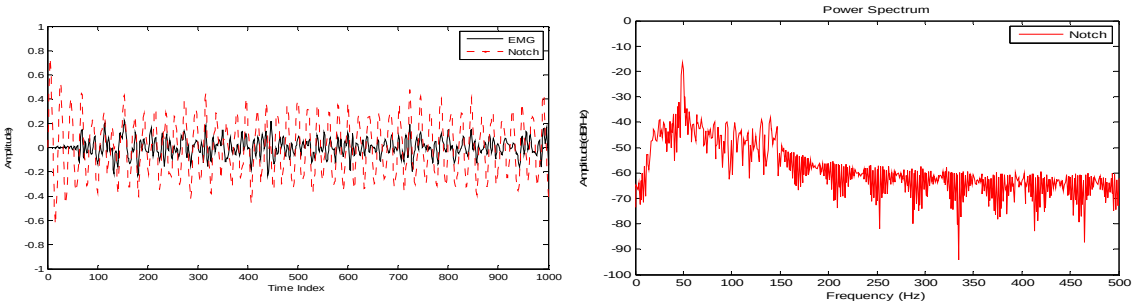
ผลจากการจำลองสัญญาณไฟฟ้าของกล้ามเนื้อลายและสัญญาณรบกวนที่ความถี่ 51 เฮิรตซ์ และความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแบบต่างๆ เทียบกับค่าสัมประสิทธิ์สหพันธ์และค่า NMSE แสดงดังภาพประกอบดังนี้



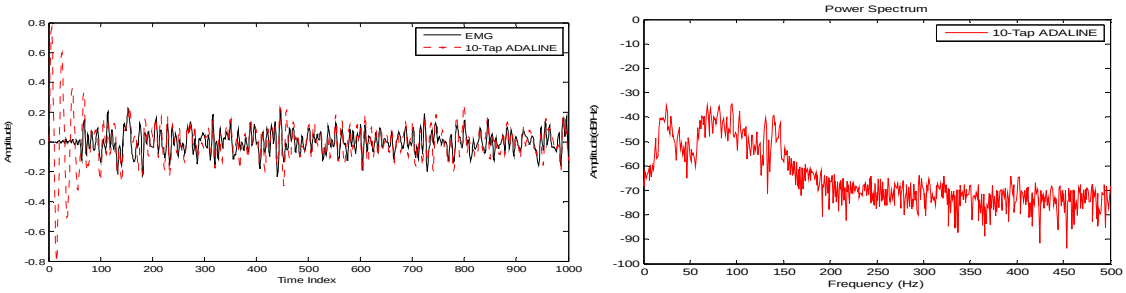

ภาพประกอบ 3-13 แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



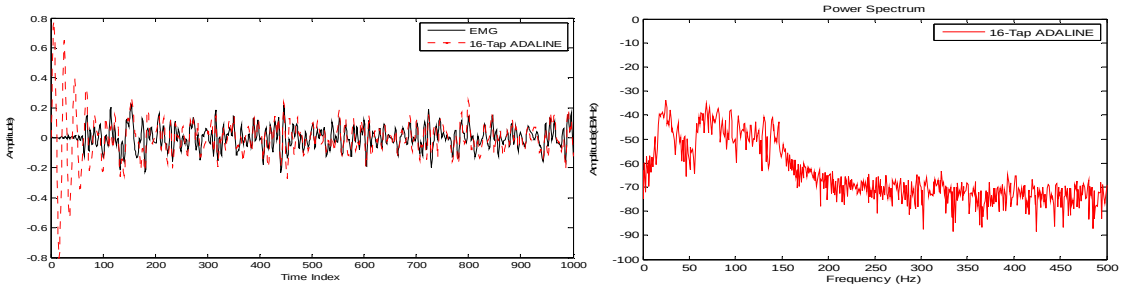

ภาพประกอบ 3-14 แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 51 เฮิรตซ์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



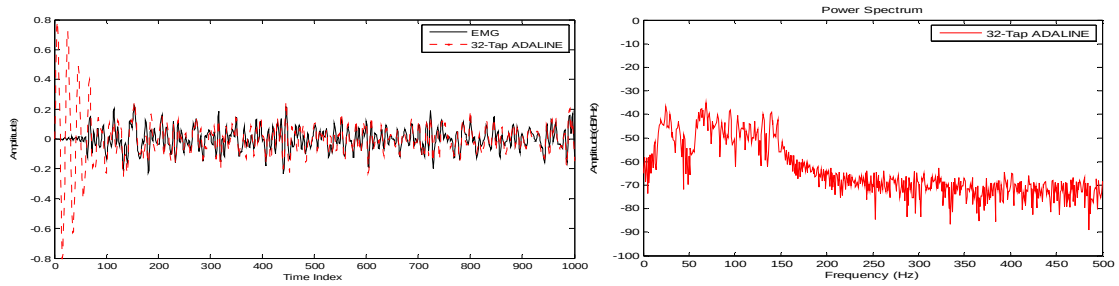

ภาพประกอบ 3-15 ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจรไอไออาร์นอตซ์ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ 0.33 และค่า NMSE 7.96




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.70 และค่า NMSE 0.80 ที่ Tapped delay line = 10

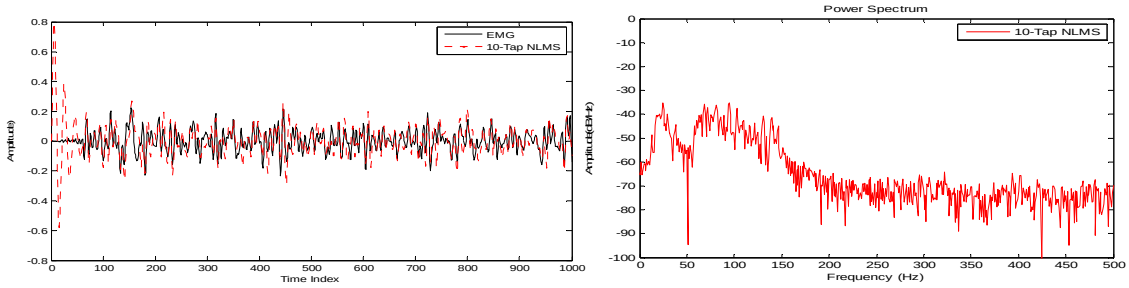



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.75 และค่า NMSE 0.62 ที่ Tapped delay line = 16

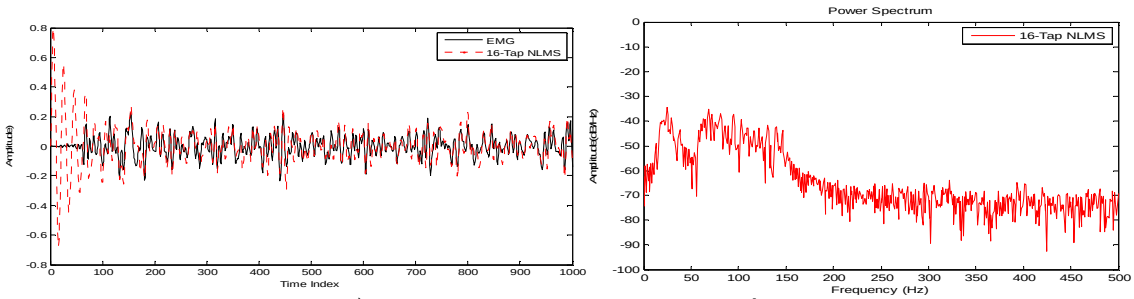



(c) ค่าสัมประสิทธิ์สหพันธ์ 0.83 และค่า NMSE 0.37 ที่ Tapped delay line = 32

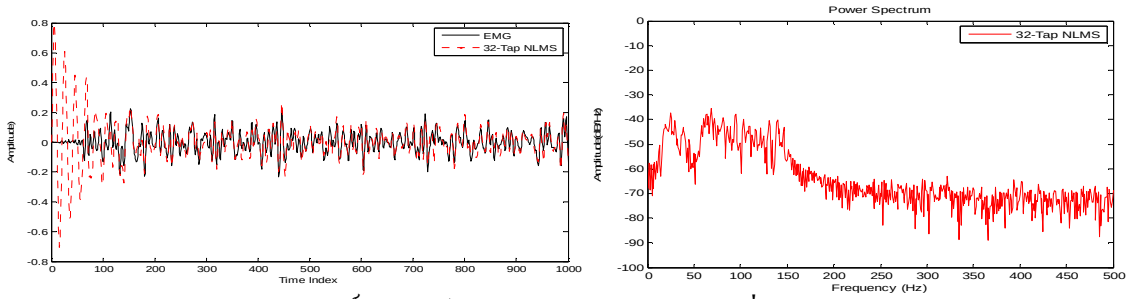
ภาพประกอบ 3-16 ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์
ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)
ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.68 และค่า NMSE 0.79 ที่ Tapped delay line = 10

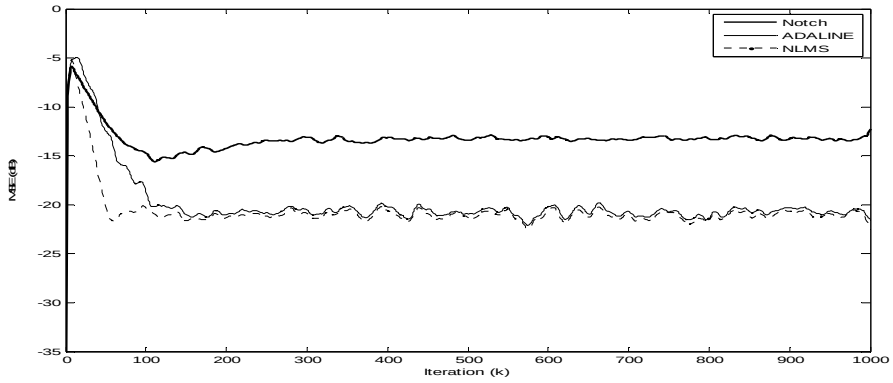



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.75 และค่า NMSE 0.60 ที่ Tapped delay line = 16




(c) ค่าสัมประสิทธิ์สหพันธ์ 0.84 และค่า NMSE 0.34 ที่ Tapped delay line = 32

ภาพประกอบ 3-17 ความสามารถในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ




ภาพประกอบ 3-18 แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 51 เฮิรตซ์ ของวงกรองแบบต่างๆ

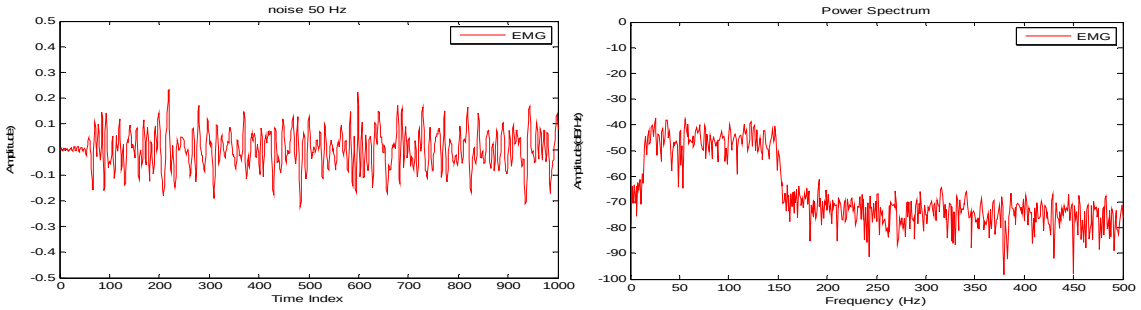
และเมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ โดยกำหนดให้สัญญาณไฟฟ้าของกล้ามเนื้อลายร่วมกับสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูดเท่ากับ 0.1 จำนวน 60 สัญญาณ เมื่อพิจารณาด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3-4

ตารางที่ 3-4 ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม MATLAB ที่สัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1

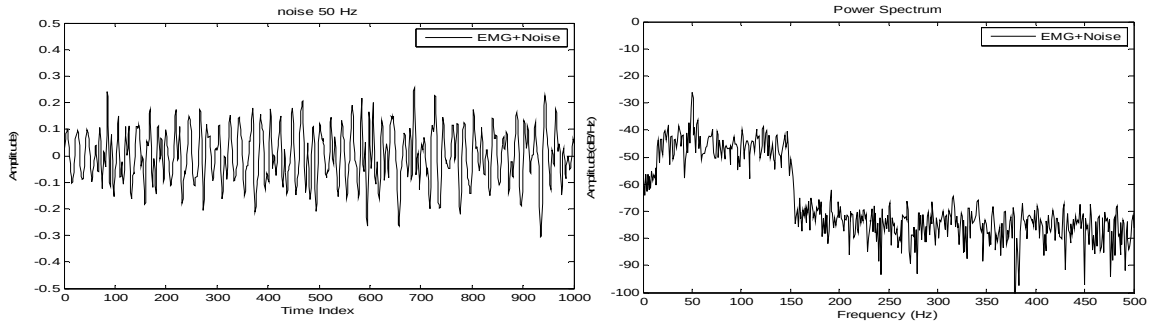
| ชนิด | Taped delay line (N) | Learning Rate ($\alpha$) | Convergent rate (sample) | Correlation coefficient | NMSE |
|---|---|---|---|---|---|
| IIR Notch Filter | 2(order) | Q = 5 | 90 | 0.97 ± 0.007 | 0.05 ± 0.01 |
| ADALINE | 10 | 0.1000 | 100 | 0.68 ± 0.03 | 0.64 ± 0.06 |
| | 16 | 0.0625 | 110 | 0.84 ± 0.02 | 0.35 ± 0.04 |
| | 32 | 0.0312 | 120 | 0.90 ± 0.02 | 0.21 ± 0.04 |
| NLMS | 10 | 0.0800 | 90 | 0.72 ± 0.04 | 0.65 ± 0.10 |
| | 16 | 0.0500 | 100 | 0.79 ± 0.03 | 0.47 ± 0.06 |
| | 32 | 0.0400 | 110 | 0.86 ± 0.02 | 0.27 ± 0.04 |

จากตารางที่ 3-4 จะเห็นได้ว่า ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ เมื่อพิจารณาตามตัวบ่งชี้แล้ว พบว่า วงจรกรองไอไออาร์แบบน็อตซ์ฟิลเตอร์มีอัตราการลู่เข้าเท่ากับ 90 และให้ค่าสัมประสิทธิ์สหสัมพันธ์ที่ดีที่สุดเท่ากับ 0.97 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ที่ดีที่สุดเท่ากับ 0.01 ลำดับที่สองเป็นวงจรกรองแบบ ADALINE มีอัตราการลู่เข้าเท่ากับ 100, 110 และ 120 ตามลำดับ และค่าค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.68, 0.84 และ 0.90 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.64, 0.35 และ 0.21 ตามลำดับ และสุดท้ายวงจรกรองแบบ NLMS ที่จำนวนแท็ปเท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเท่ากับ 90, 100 และ 110 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.72, 0.79 และ 0.86 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ เท่ากับ 0.65, 0.47 และ 0.27 ตามลำดับ

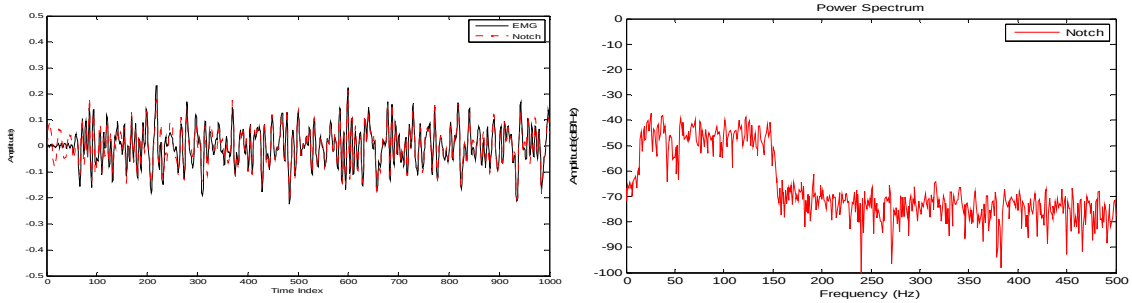
ผลจากการจำลองสัญญาณไฟฟ้าของกล้ามเนื้อลายและสัญญาณรบกวนที่ความถี่ 50 เฮิรตซ์ และความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแบบต่างๆ เทียบกับค่าสัมประสิทธิ์สหพันธ์และค่า NMSE แสดงดังภาพประกอบดังนี้



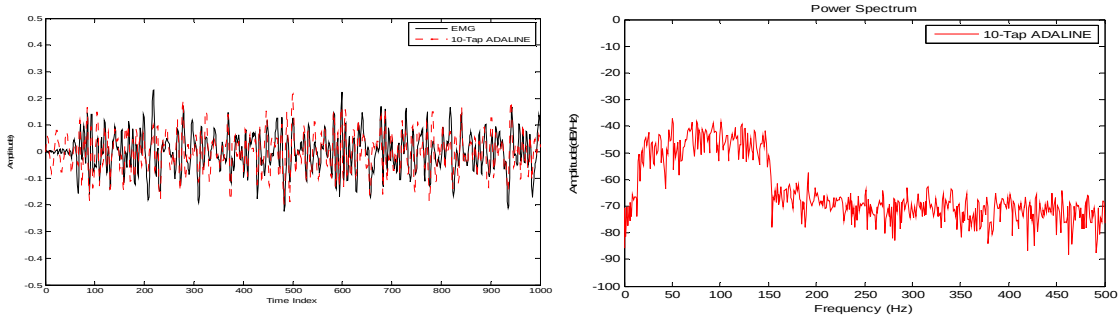

ภาพประกอบ 3-19 แสดงสัญญาณกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



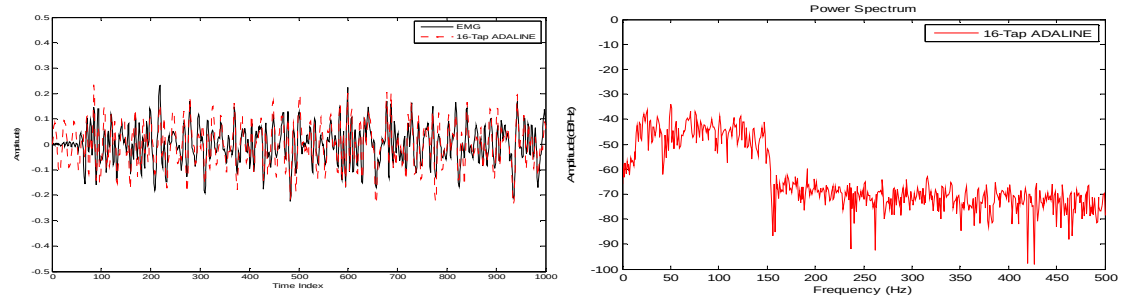

ภาพประกอบ 3-20 แสดงสัญญาณกล้ามเนื้อลายที่มีสัญญาณรบกวน 50 เฮิรตซ์
ที่แอมพลิจูด 0.1 (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)



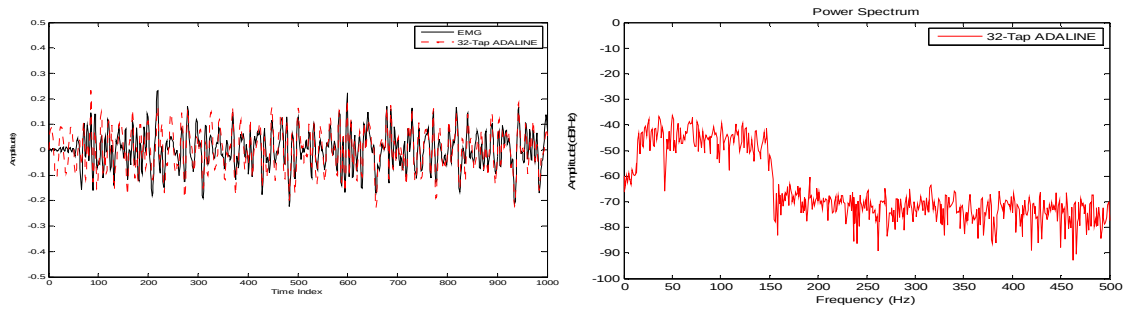

ภาพประกอบ 3-21 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1
ของวงจรไอไออาร์นอตซ์ฟิลเตอร์ (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา)
ที่ค่าสัมประสิทธิ์สหพันธ์ 0.97 และค่า NMSE 0.05




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.68 และค่า NMSE 0.64 ที่ Tapped delay line = 10

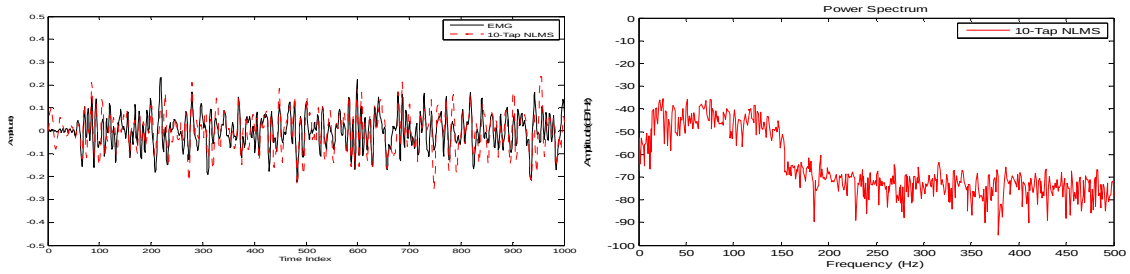



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.84 และค่า NMSE 0.35 ที่ Tapped delay line = 16

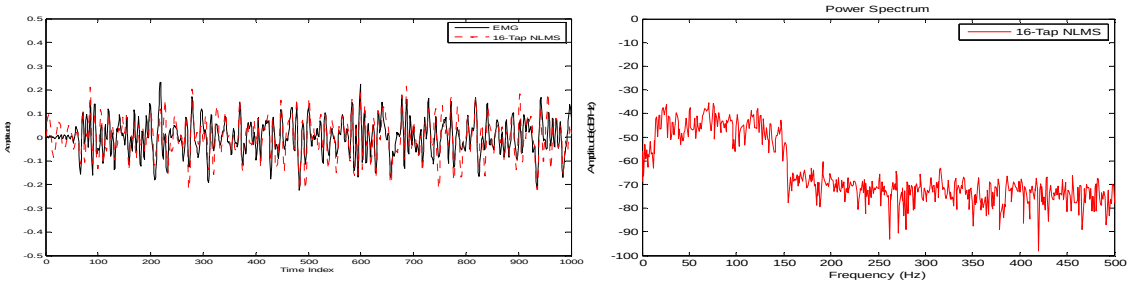



(c) ค่าสัมประสิทธิ์สหพันธ์ 0.90 และค่า NMSE 0.21 ที่ Tapped delay line = 32

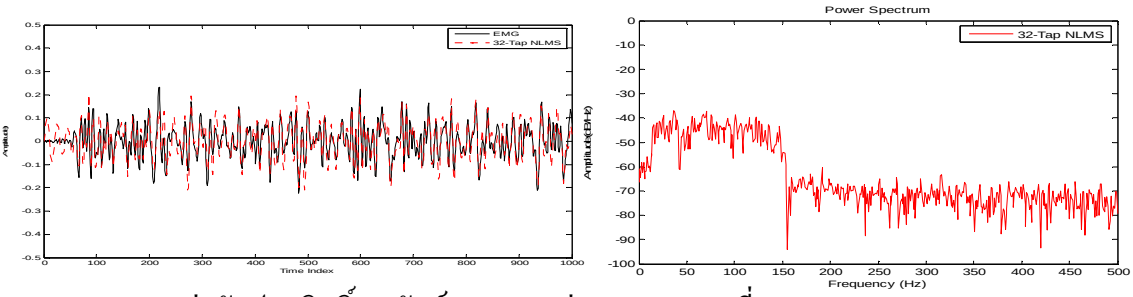
ภาพประกอบ 3-22 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงจรกรอง ADALINE (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์และค่า NMSE ต่างๆ




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.72 และค่า NMSE 0.65 ที่ Tapped delay line = 10

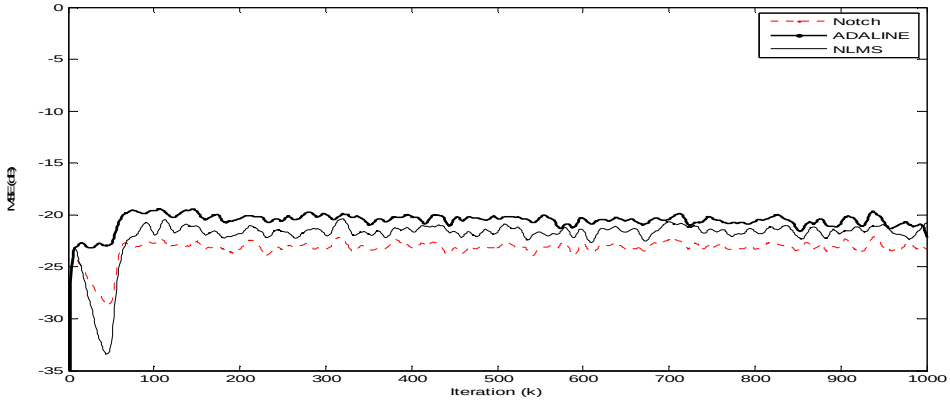



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.79 และค่า NMSE 0.47 ที่ Tapped delay line = 16




(c) ค่าสัมประสิทธิ์สหพันธ์ 0.86 และค่า NMSE 0.27 ที่ Tapped delay line = 32

ภาพประกอบ 3-23 ความสามารถในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงจร NLMS (ซ้าย) และเพาเวอร์สเปกตรัม (ขวา) ที่ค่าสัมประสิทธิ์สหพันธ์ และค่า NMSE ต่างๆ




ภาพประกอบ 3-24 แสดงการเปรียบเทียบอัตราการลู่เข้าในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่แอมพลิจูด 0.1 ของวงกรองแบบต่างๆ

จากการทดลองในหัวข้อที่ 3.1 ข้างต้นนั้นจะเห็นได้ว่า วงจรกรองทั้งสามแบบสามารถกำจัดสัญญาณรบกวนที่ 50 เฮิรตซ์ได้ดี ทั้งที่แอมพลิจูดเท่ากับ 0.8 และ 0.1 ตามลำดับ แต่เมื่อสัญญาณรบกวนมีการเปลี่ยนแปลงค่าช่วง 49, 51 เฮิรตซ์ พบว่าวงจรกรองแบบไอไออาร์น็อตฟิลเตอร์ให้ประสิทธิภาพในการกำจัดสัญญาณรบกวนลดลง ซึ่งเป็นข้อเสียของวงจรแบบไอไออาร์ ส่วนวงจรกรองแบบปรับตัวได้ทั้งสองยังคงให้ประสิทธิภาพในการกำจัดสัญญาณรบกวนเหมือนเดิม ถึงแม้สภาวะของการเกิดสัญญาณรบกวนมีค่าเปลี่ยนแปลงก็ตาม ดังนั้นจากการทดลองข้างต้นเมื่อเปรียบเทียบทั้งสามวงจรแล้วสามารถสรุปได้ว่า วงกรอง ADALINE และวงจรกรองแบบ NLMS มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณรบกวนที่มีค่าช่วง 50 เฮิรตซ์ได้ดี สำหรับวงจรกรองแบบปรับตัวได้ทั้งสองนั้น เมื่อค่าอัตราการเรียนรู้มีค่าต่ำลง อัตราการลู่เข้าจะช้าลง แต่วงจรกรองแบบปรับตัวทั้งสองสามารถกำจัดสัญญาณรบกวนได้ดีขึ้น สำหรับจำนวน Tapped Delay Line เมื่อมีค่าต่ำลงอัตราการลู่เข้าจะเร็วขึ้นแต่ประสิทธิภาพการกำจัดสัญญาณรบกวนของวงจรลดลงตามไปด้วย

จากการทดลองข้างต้นเมื่อทำการเปรียบเทียบและวิเคราะห์ขนาดของวงจรกรองแบบปรับตัวทั้งสองแล้ว พบว่าวงจรกรอง ADALINE มีความเหมาะสมในการนำไปสร้างจริงบน FPGAs มากที่สุด เนื่องจากขนาดของวงจรน้อยกว่าวงจรกรองแบบ NLMS และสามารถนำไปสร้างบน FPGAs ที่มีพื้นที่ค่อนข้างจำกัดได้ดีอีกด้วย จากการทดลองและเปรียบเทียบทั้งสองวงจรที่ผ่านมาแล้ว สามารถแสดงได้ดังตารางที่ 3-5

ตารางที่ 3-5 แสดงผลการเปรียบเทียบขนาดของวงจรต่างๆ ที่ได้จากการทดลอง

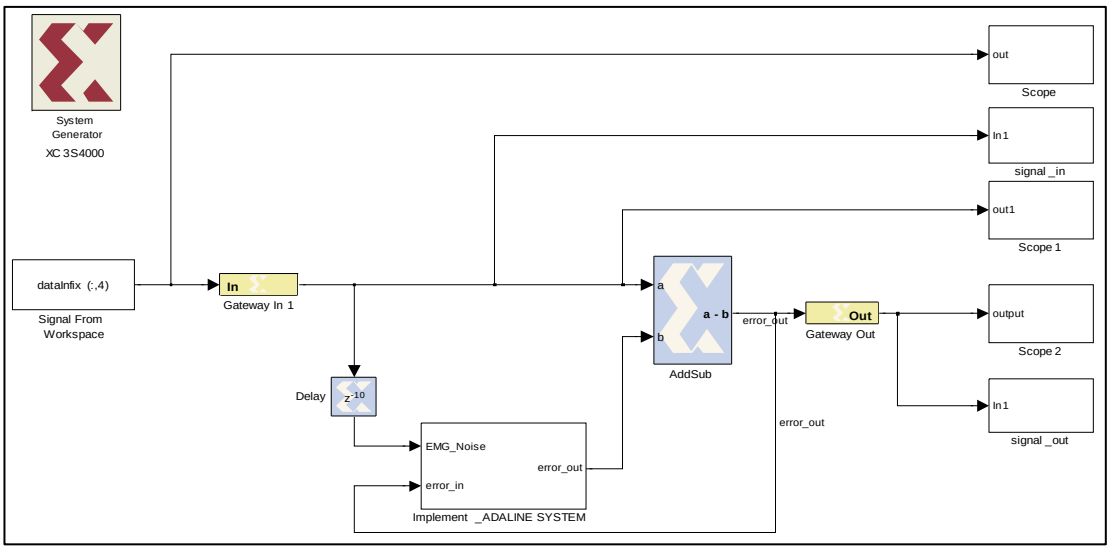
| Algorithm | Multiplications | Divisions | Additions |
|---|---|---|---|
| ADALINE (LMS) | 2(Tap+1) + 1 | - | 2(Tap) + 2 |
| NLMS | 3(Tap+1) + 1 | 1 | 3(Tap) |

### 3.2 การจำลองการกำจัดสัญญาณรบกวน ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายโดยใช้ DSP Toolbox ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox

การทดลองนี้เป็นการกำจัดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยพิจารณาเฉพาะวงจรกรองแบบปรับตัว ADALINE เท่านั้น สำหรับการออกแบบอัลกอริทึมของวงจรกำจัดสัญญาณรบกวน จะทำการทดลองโดยใช้ DSP Toolbox ร่วมกับ Xilinx Accel DSP Toolbox เพื่อจำลองระบบกำจัดสัญญารบกวนที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย

### 3.2.1 วิธีการและอุปกรณ์

การจำลองระบบกำจัดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยใช้วงจรกรองแบบปรับตัว ADALINE ที่ใช้อัลกอริทึม LMS ค่าพารามิเตอร์และตัวบ่งชี้ในการทดสอบความสามารถในการกำจัดสัญญาณรบกวนของระบบ เป็นไปตามการจำลองในหัวข้อที่ 3.1 โดยค่าตัวเลขที่ใช้จะถูกแปลงให้อยู่ในรูปแบบ Fixed-point Q0.15 และ Q0.31 ตามลำดับ และผลของตัวบ่งชี้ที่จะกล่าวต่อไปได้มาจากการหาค่าเฉลี่ยของสัญญาณไฟฟ้ากล้ามเนื้อลายและสัญญาณรบกวนจำนวน 20 สัญญาณ เพื่อแสดงประสิทธิภาพของการประมวลผลสัญญาณแบบ Fixed-point รูปแบบ Q0.15 และ Q0.31 ในการกำจัดสัญญาณรบกวนบน FPGA SPARTAN - 3 ตระกูล XC3S5000 FG676-4 ซึ่งมีกระบวนการจำลองดังแสดงในภาพประกอบที่ 3-25




ภาพประกอบ 3-25 แสดงไดอะแกรมในการออกแบบและจำลองวงจรกำจัดสัญญาณรบกวนของวงจรกรองปรับตัว ADALINE ด้วยโปรแกรม Xilinx Accel DSP Toolbox

### 3.2.2 ผลการจำลอง

เมื่อใช้พารามิเตอร์ต่าง ๆ ในการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3-6 และแสดงผลของการใช้ทรัพยากรต่าง ๆ บน FPGA SPARTAN-3 ดังตารางที่ 3-7

ตารางที่ 3-6 ผลของตัวบ่งชี้จากการจำลองด้วยโปรแกรม Xilinx Accel DSP Toolbox

| Tapped delay line | Learning Rate ($\alpha$) | Fixed-Point Format | Correlation Coefficient | NMSE |
|---|---|---|---|---|
| 10 | 0.0156 | Q0.15 | 0.73450 ± 0.043202 | 0.72452 ± 0.087927 |
| | | Q0.31 | 0.73451 ± 0.043227 | 0.72444 ± 0.088077 |
| 16 | 0.0097 | Q0.15 | 0.76889 ± 0.043342 | 0.60238 ± 0.095836 |
| | | Q0.31 | 0.76897 ± 0.043360 | 0.60222 ± 0.095628 |
| 32 | 0.0048 | Q0.15 | 0.84334 ± 0.032923 | 0.34898 ± 0.072801 |
| | | Q0.31 | 0.84325 ± 0.032928 | 0.34918 ± 0.072704 |

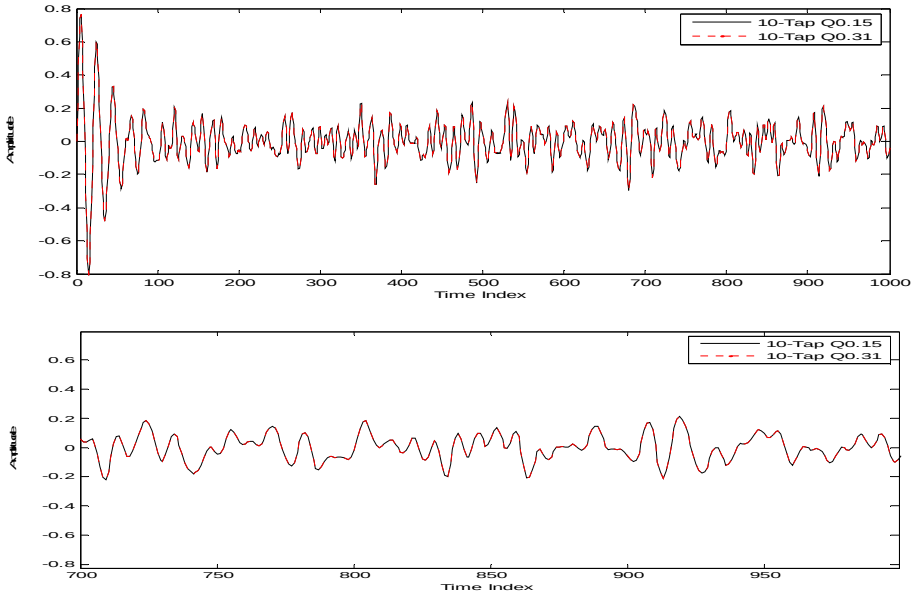
จากตารางที่ 3-6 แสดงผลการเปรียบเทียบประสิทธิภาพในการกำจัดสัญญาณรบกวนของวงจรกรอง ADALINE ที่ใช้ Fixed-Point รูปแบบ Q0.15 และ Q0.31 จากการจำลองพบว่า วงจรกรองแบบปรับตัว ADALINE ที่จำนวนแท็ปดีเลย์เท่ากับ 10, 16 และ 32 ที่ใช้รูปแบบ Q0.15 และ Q0.31 ให้ค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกันตามลำดับ

ตารางที่ 3-7 แสดงผลการเปรียบเทียบผลการใช้ทรัพยากรรูปแบบต่างๆ บน FPGA SPARTAN- 3 ตระกูล XC3S5000-FG676-4

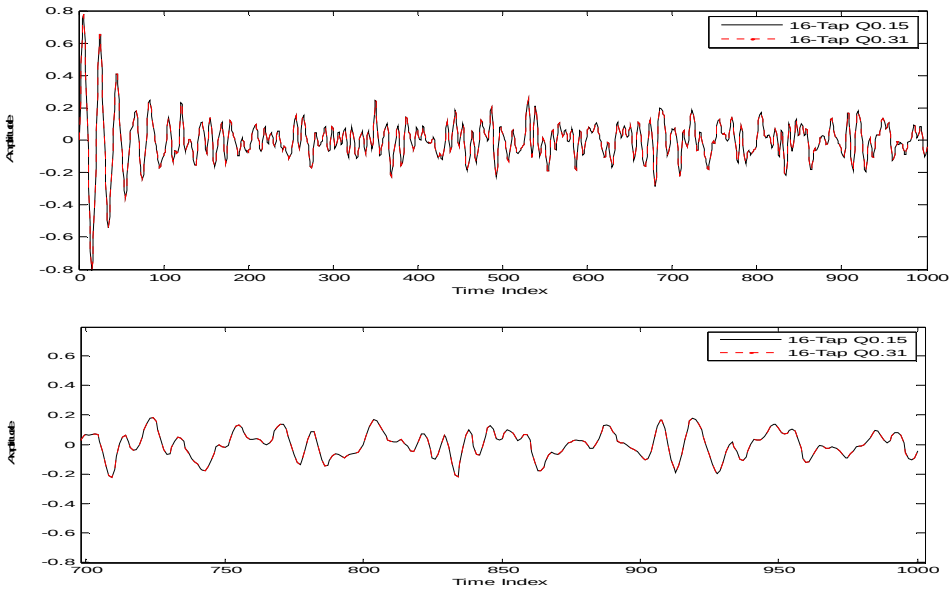
| Tapped delay line | Fixed-Point Format | MULT 18X18s | Flip Flops | LUTs | Clock cycle / sample (ns) |
|---|---|---|---|---|---|
| 10 | Q0.15 | 23 (22%) | 369 (0%) | 896 (1%) | 52.564 |
| | Q0.31 | 92 (88%) | 737 (1%) | 4370 (6%) | 83.305 |
| 16 | Q0.15 | 35 (33%) | 561 (0%) | 1345 (2%) | 55.978 |
| | Q0.31 | 140 (134%) | 1121 (1%) | 6587 (9%) | 85.844 |
| 32 | Q0.15 | 67 (64%) | 1073 (1%) | 2548 (3%) | 59.443 |
| | Q0.31 | 268 (257%) | 2145 (3%) | 12529 (18%) | 86.938 |

จากตารางที่ 3-7 แสดงผลการเปรียบเทียบผลการใช้ทรัพยากรรูปแบบต่างๆ บน FPGA SPARTAN- 3 เมื่อทำการเปรียบเทียบขนาดของจำนวนบิต พบว่า การประมวลผลสัญญาณแบบ Fixed-Point รูปแบบ Q0.15 มีความเหมาะสมในการไปใช้งานจริงมากกว่า เนื่องจากวงจรได้

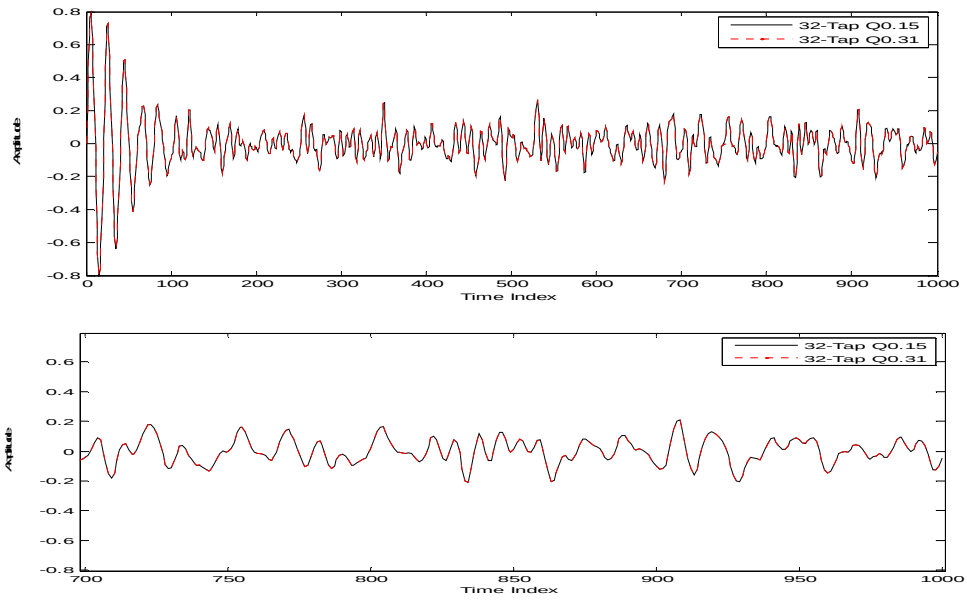
ใช้วงจรคูณภายในขนาด 18x18 บิต และวงจร Flips-Flops น้อยกว่าประมาณ 4 เท่า และใช้เวลาในการประมวลผลสัญญาณเร็วกว่าประมาณ 1.58 เท่า เมื่อเทียบกับแบบ 32 บิต ทั้งนี้ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองปรับตัว ADALINE เทียบกับค่าสัมประสิทธิ์สหพันธ์และค่า NMSE ที่ได้จากการใช้ Fixed-point รูปแบบ Q0.15 และ Q0.31 ที่จำลองโดยใช้ DSP Toolbox ร่วมกับ Xilinx Accel DSP Toolbox บน MATLAB แสดงดังภาพประกอบที่ 3-26 และภาพประกอบที่ 3-27 ตามลำดับ




(a) ค่าสัมประสิทธิ์สหพันธ์ 0.73 และค่า NMSE 0.69 ที่ Tapped delay line = 10

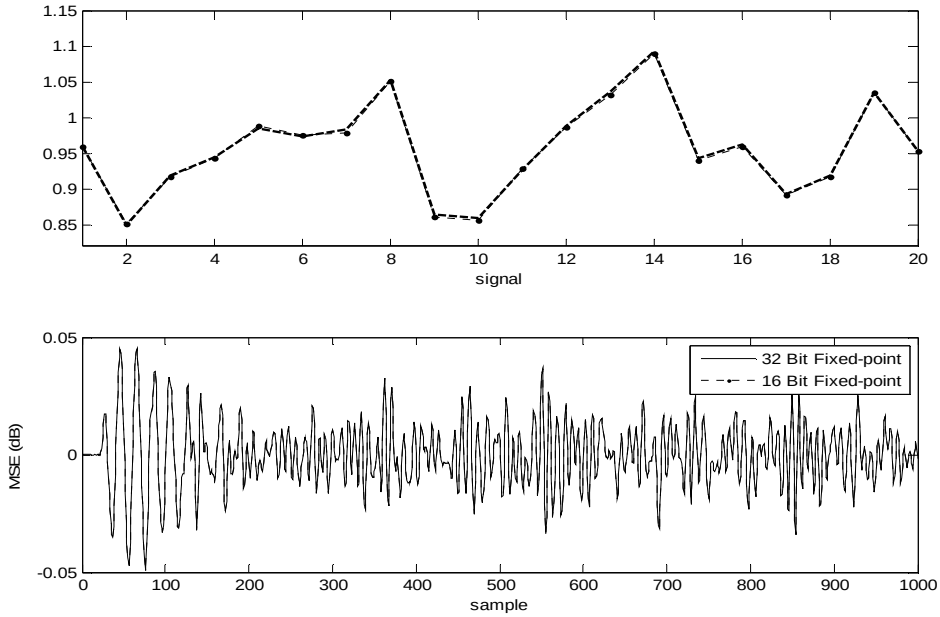



(b) ค่าสัมประสิทธิ์สหพันธ์ 0.77 และค่า NMSE 0.57 ที่ Tapped delay line = 16




(c) ค่าสัมประสิทธิ์สหพันธ์ 0.84 และค่า NMSE 0.34 ที่ Tapped delay line = 32

ภาพประกอบ 3-26 ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองปรับตัว ADALINE ที่จำนวน Tapped delay line ต่างๆ




ภาพประกอบ 3-27 ค่า Mean square error ของวงจรกรอง ADALINE 10-Tapped Delay Line แบบ 32 บิต Fixed-point รูปแบบ Q0.31 และ 16 บิต Fixed-point รูปแบบ Q0.15 เทียบกับค่า Double precision บน MATLAB

จากการจำลองข้างต้นเราสามารถนำเอาความรู้ไปใช้ในการเลือกพารามิเตอร์และรูปแบบการประมวลผลที่เหมาะสมสำหรับการสร้างอัลกอริทึมบนตัวประมวลผลสัญญาณแบบดิจิตอลได้ เช่น FPGA ที่มีพื้นที่ค่อนข้างจำกัดอาจจะต้องลดจำนวน Tapped delay line หรือจำนวนบิตในการประมวลผลสัญญาณของวงจรกรองแบบปรับตัว ADALINE ลง แม้ว่าประสิทธิภาพในการกำจัดสัญญาณรบกวนของวงจรกรองจะลดลงตามไปด้วย แต่อาจจะยังอยู่ในช่วงที่ยอมรับได้ หรือในการประยุกต์ใช้ในงานบางอย่างที่ต้องการความละเอียดในการประมวลผลสัญญาณสูง อาจจะเพิ่มจำนวน Tapped delay line หรือจำนวนบิตในการประมวลผลสัญญาณขึ้น แม้ว่าเวลาที่ใช้ในการประมวลผลสัญญาณของวงจรกรองจะเพิ่มขึ้นตามไปด้วย โดยการใช้งานของวงจรโดยร่วมไม่ส่งผลกระทบต่อตัวประมวลผลและประสิทธิภาพในการกำจัดสัญญาณรบกวนของวงจรกรอง สำหรับเวลาที่ใช้ในการประมวลสัญญาณไฟฟ้าของกล้ามเนื้อลายนั้น ใช้เวลาในการประมวลสัญญาณที่เหมาะสมที่สุดคือ 1 ms ต่อ 1 จุดสัญญาณ

สำหรับการทดลองต่อไปจะใช้วงจรกรองแบบปรับตัว ADALINE จำนวนแท็ปดีเลย์เท่ากับ 10 ที่ใช้การประมวลผลสัญญาณแบบ Fixed-Point รูปแบบ Q0.15 เนื่องจากให้ค่าประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกันแล้ว ยังใช้เวลาในการประมวลผลสัญญาณเร็วกว่า และขนาดของวงจรน้อยกว่า เมื่อเทียบกับแบบ 32 บิต

# บทที่ 4

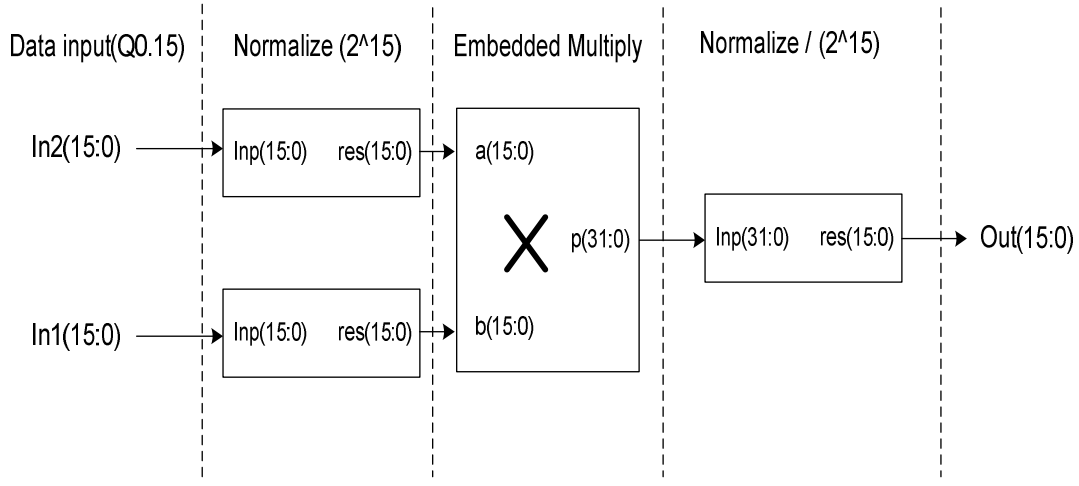
# วิธีการออกแบบและการสร้าง

เนื้อหาของบทนี้จะกล่าวถึงขั้นตอนการออกแบบและการสร้างวงจรต่างๆที่ใช้ในงานวิจัย เพื่อนำมาออกแบบและสร้างเป็นวงจรกรองปรับตัว ADALINE ที่ได้จากทดลองบน MATLAB ใน บทที่ 3 และสร้างเป็นสถาปัตยกรรมของวงจรรวมดิจิตอล บน FPGA สำหรับผลที่ได้จากการออกแบบในบทนี้จะกล่าวถึงในบทต่อไป

## 4.1 การออกแบบสถาปัตยกรรมของวงจรประมวลผลสัญญาณดิจิตอล

### 4.1.1 การออกแบบวงจรคูณแบบ 16 บิต Fixed-point รูปแบบ Q0.15

จากการศึกษาหลักการคูณของการประมวลผลแบบ Fixed-point 16 บิต รูปแบบ Q0.15 ในบทที่ 2 พบว่าในการออกแบบและขั้นตอนการทำงานของวงจรนั้นประกอบด้วย 3 ส่วนด้วยกัน คือ ส่วนที่ 1 วงจรคูณค่าที่ผ่านการนอมอลไลซ์ (Normalize) ด้วย $2^{15}$ ส่วนที่ 2 วงจรคูณขนาด 16 บิต และส่วนที่ 3 วงจรหารค่าที่ได้หลังจากการคูณ ด้วย $2^{15}$ ดังแสดงภาพประกอบที่ 4-1

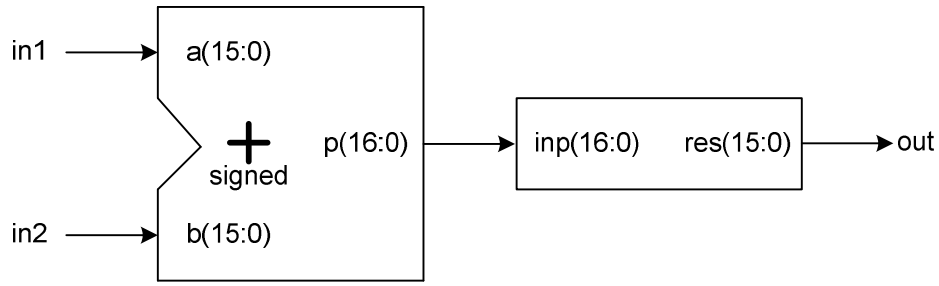



ภาพประกอบ 4-1 แสดงโครงสร้างและลำดับการทำงานของวงจรคูณ16 บิต
แบบ Fixed-point รูปแบบ Q0.15

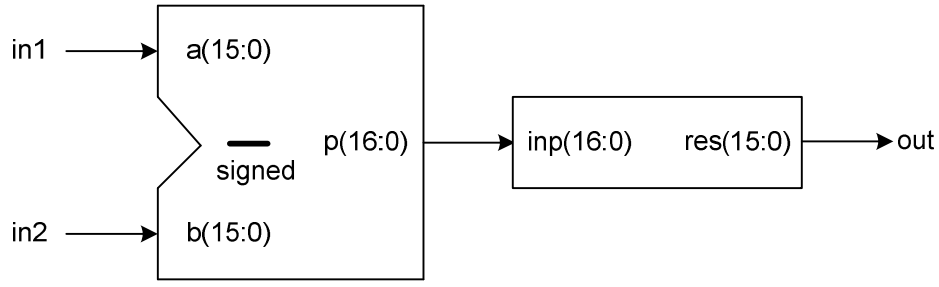
จากภาพประกอบที่ 4-1 เป็นการออกแบบวงจรคูณแบบ 16 บิต Fixed-point รูปแบบ Q0.15 ที่ใช้ในงานวิจัยนี้ โดยในส่วนของวงจรคูณ 16 บิต แบบ Fixed-point นั้น ผู้วิจัยได้ใช้วงคูณ 18x18 (Hardware Multiplier) ที่มีสำเร็จรูปภายในของ FPGA Spartan-3 XC3S400 TQ-144 โดยการเรียกใช้จาก IP Core บน Xilinx สำหรับวงจรในส่วนของการ Scaling ค่าที่ผ่านการนอมอลไลซ์ และค่าที่ได้หลังจากการคูณนั้น จะใช้รูปแบบของการ Round-off เพื่อทำหน้าที่ในการจัดการค่าบิตให้อยู่ในรูปแบบ 16 บิต Fixed-point

### 4.1.2 การออกแบบวงจรบวกและวงจรลบแบบ 16 บิต Fixed-point

สำหรับหลักการบวกและลบของการประมวลผลแบบ Fixed-point 16 บิต นั้น จะใช้รูปแบบและขั้นตอนคล้ายกัน คือจะสำรอง 1 บิต สำหรับการเกิดโอเวอร์โฟลที่เกิดจากการบวกหรือลบของเลข 16 บิต ดังนั้นจำนวนบิตที่ใช้ในการเก็บคำตอบเท่ากับ 17 บิต จากนั้นจะทำการสเกลค่าที่ได้ให้อยู่ในรูปแบบ 16 บิต Fixed-point เช่นกัน ดังแสดงภาพประกอบที่ 4-2 และ 4-3 ตามลำดับ




ภาพประกอบ 4-2 แสดงโครงสร้างและลำดับการทำงานของวงจรบวก
16 บิต แบบ Fixed-point



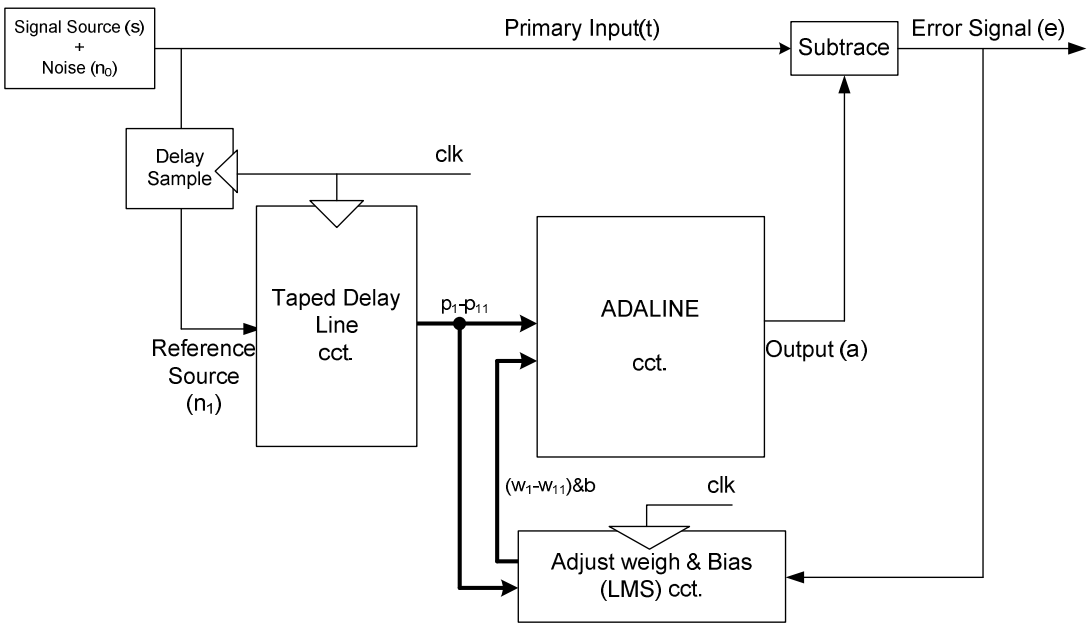

ภาพประกอบ 4-3 แสดงโครงสร้างและลำดับการทำงานของวงจรลบ
16 บิต แบบ Fixed-point

## 4.2 การออกแบบสถาปัตยกรรมของวงจรกรองปรับตัว ADALINE

จากการศึกษาและทำการทดลองในบทที่ 3 นั้น พบว่าวงจรกรอง ADALINE แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ที่จำนวน 10 Taped delay line ที่ใช้อัลกอริทึม LMS ระยะเวลาในการหน่วงสัญญาณ (Delay) เท่ากับ 10 และอัตราการเรียนรู้ของโครงข่ายประสาท ADALINE เท่ากับ 0.0156 มีความเหมาะสมในการสร้างจริงบน FPGA มากที่สุด สำหรับการทดลองต่อไปนี้ จะเป็นการออกแบบและสร้างวงจรต่างๆ ที่ได้จากการจำลองในบทที่ 3 ได้แก่ วงจรคูณ วงจรบวก วงจรลบในการประมวลผลสัญญาณแบบ 16 บิต Fixed-point รูปแบบ Q0.15 และโครงสร้างของวงจรกรองปรับตัว ADALINE เพื่อนำมาสร้างเป็นวงจรกำจัดสัญญาณรบกวน บน FPGA

### 4.2.1 โครงสร้างทางฮาร์ดแวร์ของวงจรกรองปรับตัว ADALINE

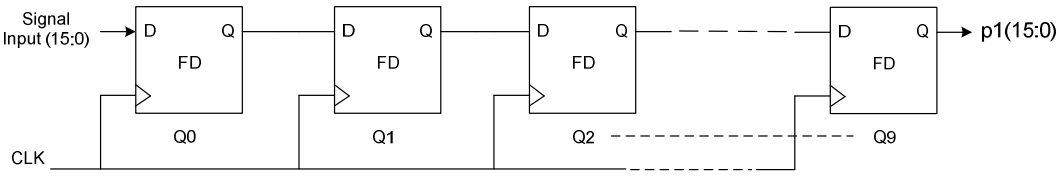
จากโครงสร้างของวงจร ADALINE ในบทที่ 2 หัวข้อที่ 2.2.6 สามารถนำมาสร้างเป็นโครงสร้างทางฮาร์ดแวร์ของวงจรกรอง ADALINE 10-Tapped delay line ดังภาพประกอบที่4-4 สามารถแบ่งโครงสร้างของวงจรออกเป็น 3 ส่วนใหญ่ๆ ด้วยกัน คือ ส่วนที่ 1 วงจรในการดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line เพื่อทำหน้าที่เป็นสัญญาณอ้างอิงของโครงข่าย ADALINE ส่วนที่ 2 วงจรโครงข่าย ADALINE และส่วนที่ 3 อัลกอริทึม LMS หรือวงจรปรับค่าน้ำหนักและค่าไบอัสของโครงข่าย ADALINE



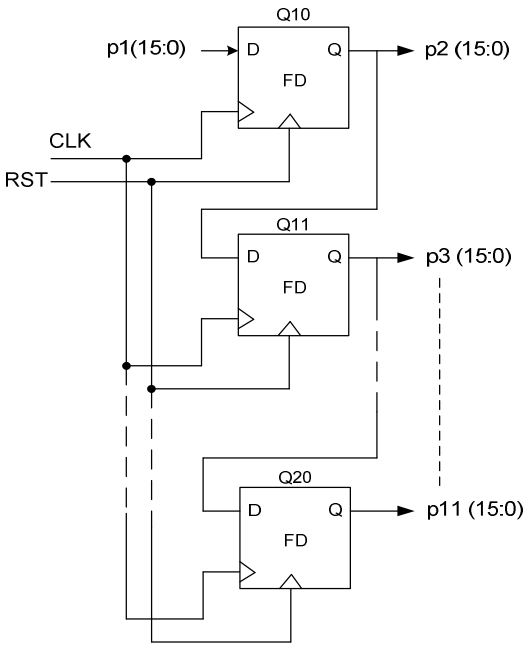

ภาพประกอบ 4-4 แสดงโครงสร้างทางฮาร์ดแวร์โดยรวมของวงจรกรองปรับตัว ADALINE

#### 4.2.1.1 วงจรดีเลย์ข้อมูล 10 Samples และวงจร 10-Tapped Delay Line

จากภาพประกอบที่ 4-5 แสดงการออกแบบวงจรดีเลย์ข้อมูล จำนวน 10 Samples เพื่อทำหน้าที่ในการหน่วงสัญญาณ นั้นสามารถทำการออกแบบวงจรได้โดยนำเอา Flip-Flop (Q0-Q9) ทั้งหมดจำนวน 10 ตัว มาต่อกันด้วยการทำเป็นคอมโปเน็นท์ (Component) ซึ่งวงจร Flip-Flop 1 ตัว จะให้ข้อมูลไหลผ่านจากอินพุตไปยังเอาต์พุต ก็ต่อเมื่อขอบขาขึ้น (Positive Edge) ของสัญญาณนาฬิกา (Clock Signal) โดยที่เอาต์พุตที่ได้จากวงจรนี้จะเป็นค่าเอาต์พุต p1 ที่จะป้อนให้กับวงกรองปรับตัว ADALINE ในขณะเดียวกัน จะเป็นอินพุตของวงจร Tapped delay line เพื่อทำหน้าที่ป้อนค่าอินพุตของวงจรกรองปรับตัว ADALINE ดังแสดงในภาพประกอบที่ 4-6 ดังนั้นเอาต์พุตที่ได้จากภาพประกอบที่ 4-5 เมื่อนับร่วมกับเอาต์พุตที่จากภาพประกอบที่ 4-6 จะได้เอาต์พุตทั้งหมด (p1-p11) เท่ากับ 11 ค่า ซึ่งตรงกับการทดลองในบทที่ 3



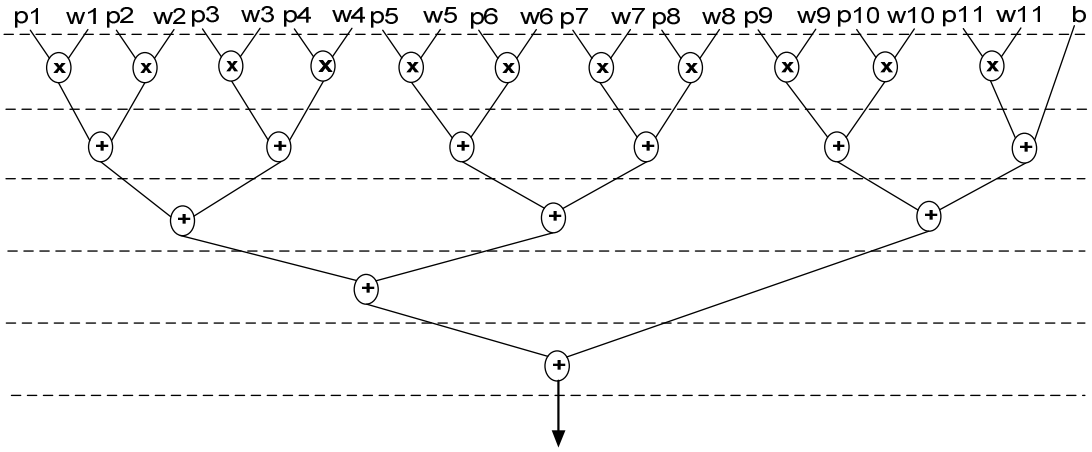

ภาพประกอบ 4-5 แสดงโครงสร้างทางฮาร์ดแวร์ของวงจรดีเลย์ข้อมูล 10 Samples




ภาพประกอบ 4-6 แสดงโครงสร้างทางฮาร์ดแวร์ของวงจร 10-Tapped Delay Line

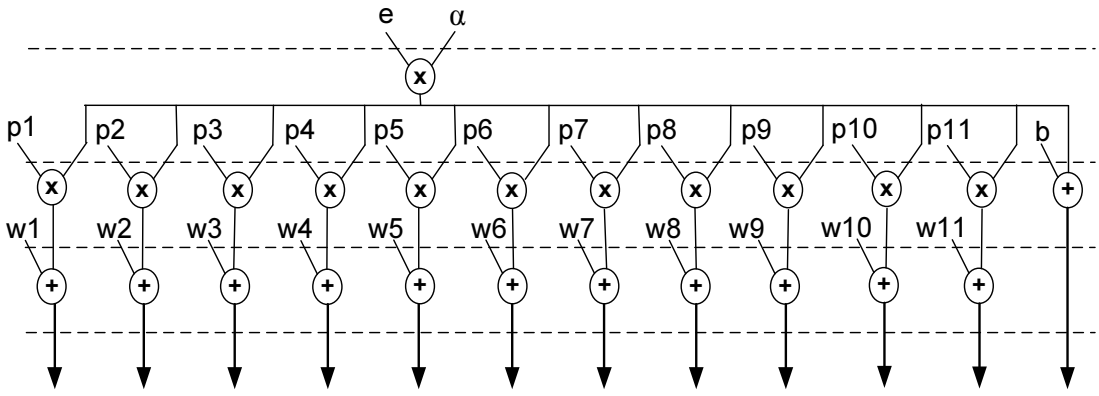
#### 4.2.1.2 โครงสร้างของโครงข่าย ADALINE ชนิด 10 แท็ปดีเลย์

จากหลักการของวงจร ADALINE ชนิด 10 แท็ปดีเลย์ เมื่อนำมาออกแบบและสร้างเป็นวงจรฮาร์ดแวร์ (Hardware) บน FPGA พบว่า จะต้องใช้วงจรคูณและวงจรบวกจำนวนอย่างละ 11 ตัว สามารถแสดงเป็น Data Flow Graph (DFG) ได้ดังภาพประกอบที่ 4-7




ภาพประกอบ 4-7 แสดง Data Flow Graph ของโครงข่าย ADALINE 10-Tapped Delay Line

#### 4.2.1.3 วงจรปรับค่าน้ำหนักและค่าไบอัสของโครงข่าย ADALINE ชนิด 10 แท็ปดีเลย์




ภาพประกอบ 4-8 แสดง Data Flow Graph ของวงจรปรับค่าน้ำหนักและค่าไบอัส ของโครงข่าย ADALINE 10-Tapped Delay Line

ภาพประกอบที่ 4-8 แสดง Data Flow Graph วงจรปรับค่าน้ำหนัก (Weight) และค่าไบอัส (Bias) จะทำหน้าที่ในการป้อนกลับเพื่อปรับค่าน้ำหนัก และค่าไบอัสรอบใหม่ให้กับวงจร ADALINE เพื่อคำนวณหาค่าความผิดพลาด (Error) ที่ได้ในรอบใหม่ เมื่อนำมาออกแบบและสร้างเป็นวงจรฮาร์ดแวร์ บน FPGA พบว่า จะต้องใช้วงจรคูณและวงจรบวกอย่างละ 11 ตัว เช่นเดียวกัน

จากผลที่ได้ข้างต้นนั้น เมื่อนำมาสร้างเป็นวงจรร่วมดิจิตอลโดยไม่คำนึงถึงปัญหาด้านการใช้ทรัพยากรแล้ว พบว่าการออกแบบวงจรกรองแบบปรับตัว ADALINE บน FPGA ทั้งในส่วนของวงจรโครงข่าย ADALINE และวงจรปรับค่าน้ำหนัก และค่าไบอัส วงจรโดยร่วมจะต้องใช้ วงจรคูณและวงจรบวกอย่างละ 23 ตัว ซึ่งทำให้วงจรมีขนาดใหญ่มาก อาจทำให้เกินความสามารถในการ Map ลงบน FPGA ที่มีอยู่แล้วได้ เนื่องจากข้อจำกัดทางด้านทรัพยากรในส่วนของวงจรคูณ 18 x 18 ภายในตัวชิพ แต่เมื่อคำนึงถึงปัญหาด้านการใช้ทรัพยากรแล้ว จึงจำเป็นต้องออกแบบในส่วนวงจรใหม่ เพื่อให้สามารถใช้ทรัพยากรชนิดนี้ได้อย่างเพียงพอ ดังนั้นการออกแบบวงจรใหม่นี้ เป็นการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน ในการสร้างวงจรโดยหลักการใช้ทรัพยากรร่วมกันนี้ จะเป็นการออกแบบโดยคำนึงหลักการใช้ทรัพยากรร่วมกันของวงจรคูณและวงจรบวก ซึ่งจะกล่าวในหัวข้อต่อไปนี้

## 4.3 การออกแบบสถาปัตยกรรมของวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกัน

การออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกันนั้น สามารถแบ่งโครงสร้างการทำงานของวงจรได้ออกเป็น 2 ส่วนใหญ่ๆ คือ โครงสร้างของวงจรส่วนข้อมูล (Data-path) และโครงสร้างของวงจรส่วนควบคุม (Control-path)

### 4.3.1 โครงสร้างของวงจรส่วนข้อมูล

การออกแบบวงจรในส่วนข้อมูล จะใช้วงจรประมวลผลต่าง ๆ ที่ได้จากหัวข้อที่ 4.1 ส่วนโครงสร้างของวงจรกรอง ADALINE 10-Tapped delay line นั้นจะพิจารณารูปแบบของการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน โดยทำการศึกษาและนำมาวิเคราะห์หลักการใช้ทรัพยากรร่วมกันได้โดยใช้ Data Flow Graph จากภาพประกอบที่ 4-7 และภาพประกอบที่ 4-8 เพื่อหาขนาดของจำนวนทรัพยากรที่ต้องใช้ร่วมกันได้ สำหรับงานวิจัยนี้จะคำนึงถึงการใช้ทรัพยากรร่วมในวงจรคูณและวงจรบวก โดยจะพิจารณาลำดับการทำงานของวงจรรูปแบบต่างๆ เพื่อให้วงจร

ที่ได้สามารถทำงานได้อย่างมีประสิทธิภาพ และมีความเหมาะสมมากที่สุด สามารถแสดงผลของการวิเคราะห์ได้ดังตารางที่ 4-1

ตารางที่ 4-1 แสดงผลการเปรียบเทียบการใช้ทรัพยากรร่วมกันรูปแบบต่างๆ

| รูปแบบ | ลำดับการทำงาน (รอบ) | วงจรคูณ | วงจรบวก |
|---|---|---|---|
| Resource Sharing # 2:1 | 11 | 13 | 12 |
| Resource Sharing # 4:1 | 14 | 7 | 8 |
| Resource Sharing # 12:1 | 29 | 3 | 6 |

จากตารางที่ 4-1 โดยที่ Resource Sharing # m:n มีความหมายดังนี้

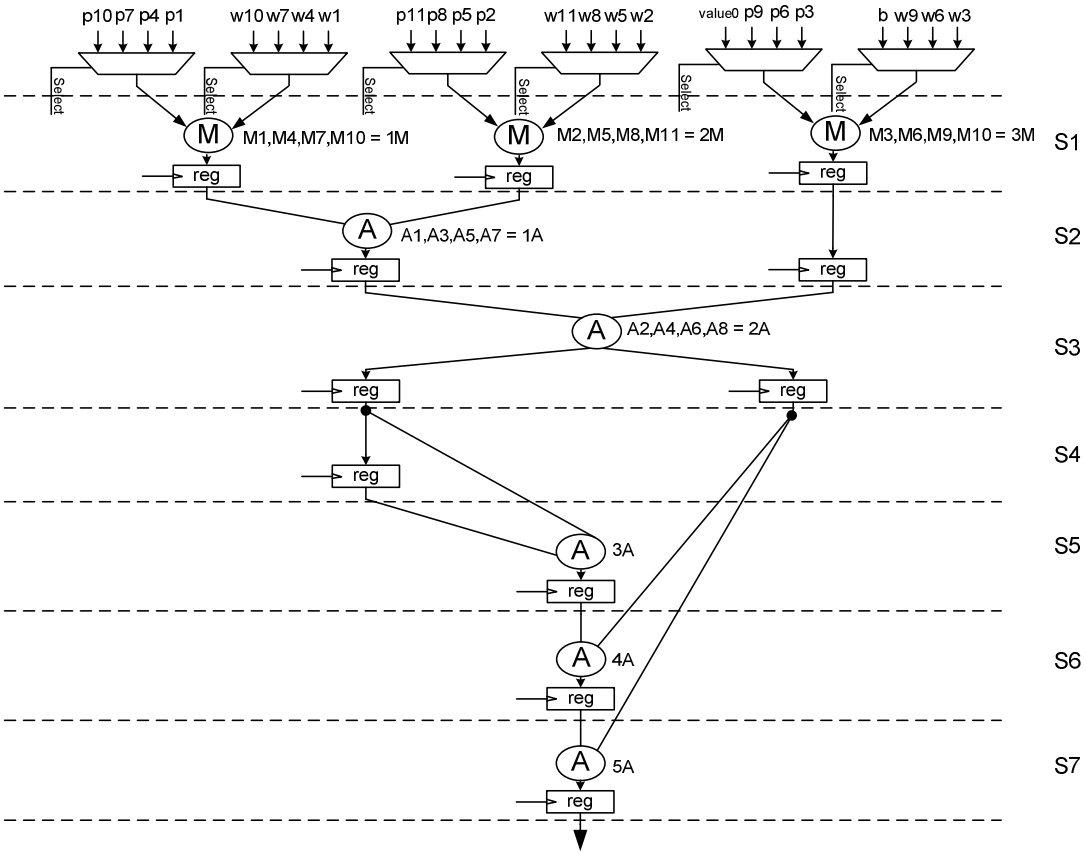
Resource Sharing # คือ การออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน

m คือ จำนวนครั้งที่สามารถใช้ทรัพยากรร่วมกัน

n คือ จำนวน n วงจรคูณและวงจรบวก

จากตารางที่ 4-1 จะเห็นได้ว่ารูปแบบของการใช้ทรัพยากรร่วมกันต่าง ๆ นั้น สามารถแบ่งลำดับการทำงานของวงจรออกเป็น 3 ช่วงด้วยกัน ได้แก่ช่วงที่สเตตเท่ากับ 11, 14, และ 29 โดยในแต่ละรูปแบบก็จะมีการใช้จำนวนทรัพยากรที่แตกต่างกันออกไป ดังนั้นการพิจารณาว่ารูปแบบใดมีความเหมาะสมมากที่สุดนั้น สามารถพิจารณาได้จากจำนวนสเตตการทำงาน และจำนวนทรัพยากรของวงจรคูณและวงจรบวกที่ใช้ในแต่ละรูปแบบ สำหรับงานวิจัยนี้จะแสดงเฉพาะรูปแบบของการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1 เพื่อนำมาสร้างเป็นโครงสร้างของวงจรกรองปรับตัว ADALINE บน FPGAs หลังจากนั้นจะนำวงจรต่างๆ ที่ได้จากการทดลองมาทำการวิเคราะห์และหาประสิทธิภาพที่ดีที่สุดสำหรับการนำไปใช้งานจริงต่อไป

**4.3.1.1 โครงสร้างของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน**




ภาพประกอบ 4-9 แสดงโครงสร้างทางฮาร์ดแวร์ของโครงข่าย ADALINE 10-Tapped Delay Line โดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1

สามารถอธิบายภาพประกอบที่ 4-9, 4-10, 4-11, และ 4-12 โดยที่ M, A, Mw, Aw, xM, xA, และ Si มีความหมายดังนี้

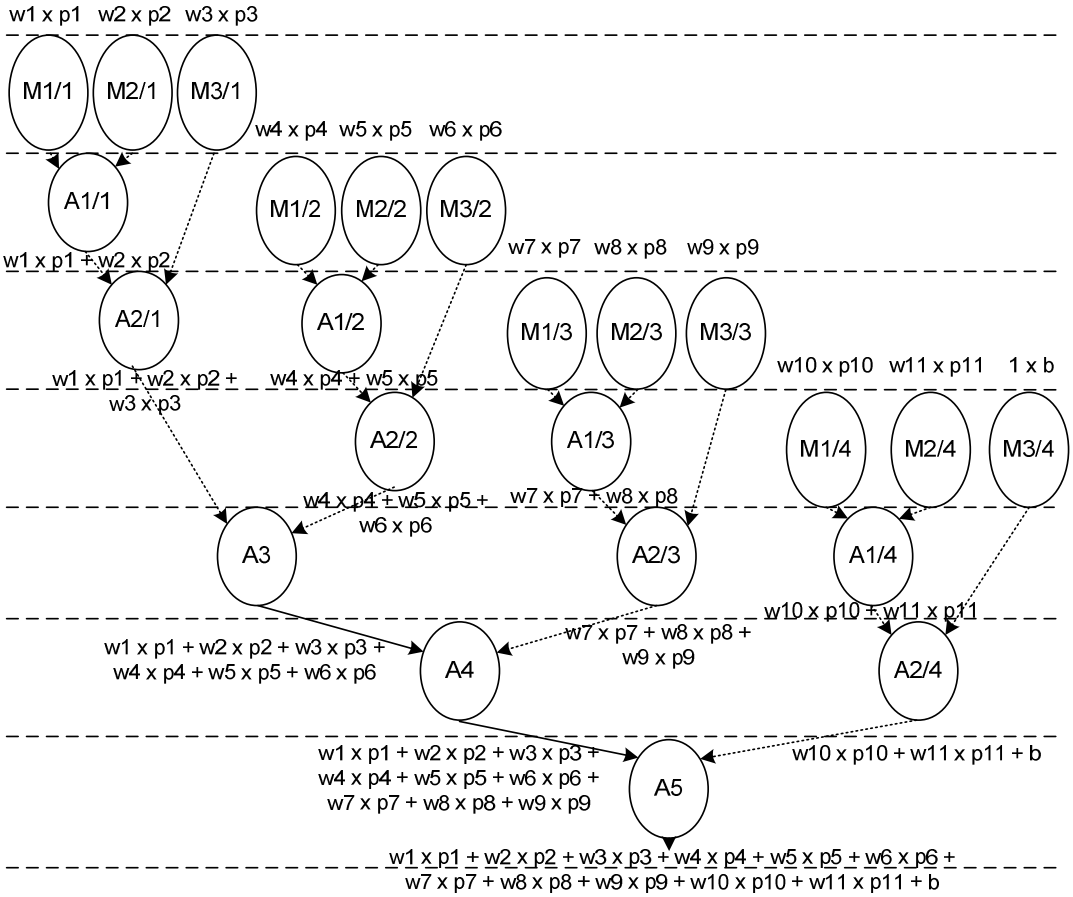
M คือ วงจรคูณ 16 บิต Fixed-point Q0.15 Format

A คือ วงจรบวก 16 บิต Fixed-point

w คือ วงจรประมวลผลตัวที่ w

x คือ จำนวนของวงจรประมวลผล

Si คือ จำนวนสเตตที่ i

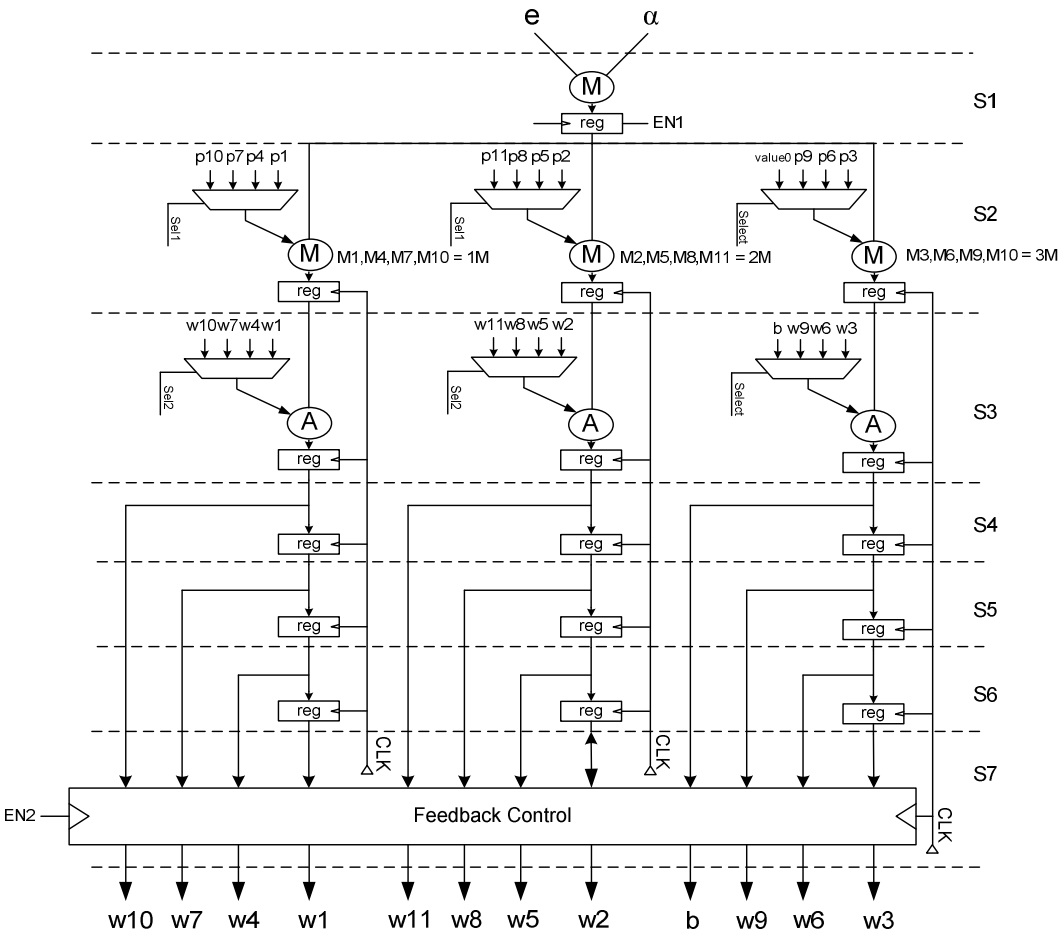



ภาพประกอบ 4-10 แสดง Timing Diagram ของการใช้ทรัพยากรร่วมกัน ของโครงข่าย ADALINE 10-Tapped Delay Line รูปแบบ Resource Sharing # 4:1

จากภาพประกอบที่ 4-9 และ 4-10 แสดงวงจรฮาร์ดแวร์ และลำดับการทำงาน (Timing Diagram) ของวงจรโครงข่าย ADALINE 10-Tapped Delay Line ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1 โดยใช้ 3 วงจรคูณ กับ 5 วงจรบวก ซึ่งผลของการ Estimate ของวงจรนี้ คือ ใช้วงจรคูณ 18x18 บิต ที่มีอยู่ภายใน FPGA จำนวน 3 ตัว, Area 352 LUTs, ฟลิปฟลอป (FFs) 160 ตัว, Latency 54.607 นาโนวินาที (nsec), และ Throughput 18.31 Million data-samples per second

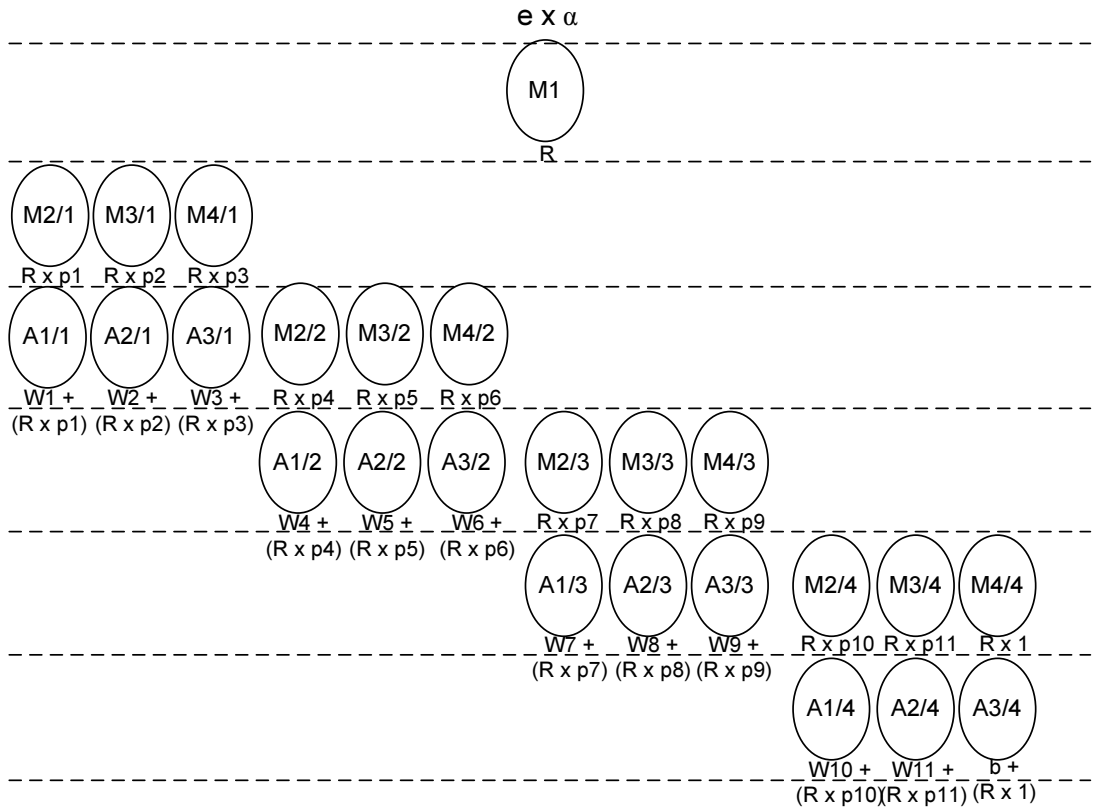
**4.3.1.2 โครงสร้างของวงจรปรับค่าน้ำหนักและค่าไบอัสของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน**

วงจรปรับค่าน้ำหนัก และค่าไบอัส จะทำหน้าที่ในการป้อนค่าน้ำหนักและค่าไบอัสรอบใหม่ให้กับโครงข่าย ADALINE เพื่อคำนวณหาค่าความผิดพลาด ที่ได้ในรอบใหม่ เมื่อนำมาออกแบบและสร้างเป็นวงจรฮาร์ดแวร์ เพื่อความสอดคล้องในการแสดงตัวอย่างของการออกแบบโดยหลักการใช้ทรัพยากรร่วมกันของวงจรนี้ จะแสดงตัวอย่างเฉพาะรูปแบบ Resource Sharing # 4:1 เช่นกัน สามารถแสดงเป็นวงจรฮาร์ดแวร์ และลำดับการทำงาน ของวงจรดังภาพประกอบที่ 4-11 และ 4-12 ตามลำดับ




ภาพประกอบ 4-11 แสดงโครงสร้างทางฮาร์ดแวร์ของวงจรปรับค่าน้ำหนักและค่าไบอัสที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน

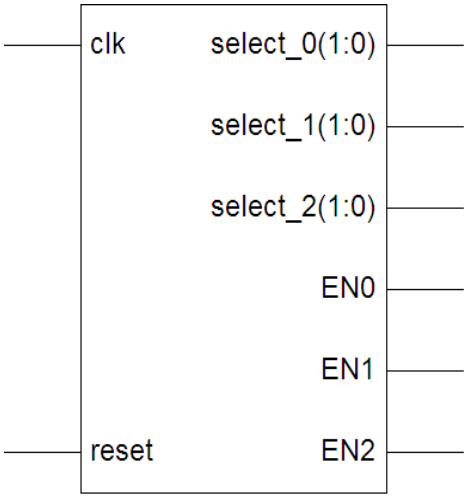
รูปแบบ Resource Sharing # 4:1




ภาพประกอบ 4-12 แสดงTiming Diagram ของการออกแบบวงจรปรับค่าน้ำหนักและค่าไบอัส โดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1

จากภาพประกอบที่ 4-11 และภาพประกอบที่ 4-12 แสดงวงจรทางฮาร์ดแวร์ และลำดับการทำงาน ของวงจรปรับค่าน้ำหนักและค่าไบอัสรอบใหม่ของโครงข่าย ADALINE 10-Tapped Delay Line ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1โดยใช้ 4 วงจรคูณ และ 3 วงจรบวก ซึ่งผลของการ Estimate ของวงจรนี้ คือ ใช้วงจรคูณ 18x18 บิต ที่มีอยู่ภายใน FPGA จำนวน 4 ตัว, Area 322 LUTs, ฟลิปฟลอป 256 ตัว, Latency 71.91 นาโนวินาที และ Throughput 13.90 Million data-samples per second

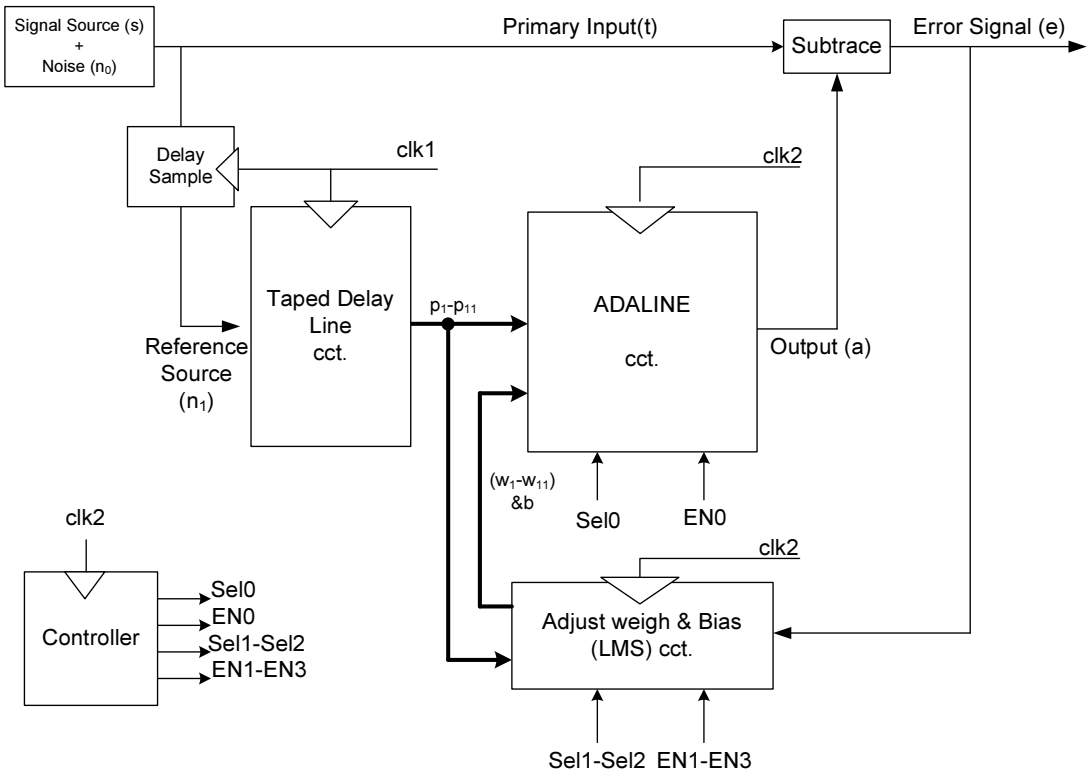
### 4.3.2 โครงสร้างของวงจรในส่วนการควบคุม




ภาพประกอบ 4-13 แสดงบล็อกไดอะแกรมของวงจรควบคุม ADALINE Adaptive Filter

จากภาพประกอบที่ 4-13 วงจรควบคุมที่ใช้จะเป็นรูปแบบของ Moore Finite State Machine ซึ่งจะเป็นการเขียนสเตตไดอะแกรม (State Diagram) รูปแบบที่ค่าของเอาต์พุตในแต่ละสเตต จะขึ้นอยู่กับค่าสเตตปัจจุบันเท่านั้น เมื่อนำมาควบคุมวงจรในส่วนข้อมูล ของวงจรกรองปรับตัว ADALINE ซึ่งออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน ในหัวข้อที่ 4.3.1.1 และ 4.3.1.2 แล้วพบว่า จะต้องมีสัญญาณเอาต์พุตทั้งหมดจำนวน 6 สัญญาณด้วยกัน แบ่งออกเป็นสัญญาณ Select ที่ควบคุมมัลติเพล็กเซอร์ (Multiplexor) จำนวน 3 สัญญาณ และสัญญาณ Enable เพื่อควบคุมรีจิสเตอร์อีกจำนวน 3 สัญญาณ ตามลำดับ โดยวงจรควบคุมนี้จะใช้อินพุต 2 สัญญาณ คือ สัญญาณนาฬิกาของระบบ และสัญญาณ Reset ซึ่งเป็นตัวกำหนดสถานะเริ่มต้นในการทำงานของวงจร

วงจรควบคุมชนิด Moore FSM ของวงจรกรองปรับตัว ADALINE นี้ จะแบ่งลำดับการทำงานออกเป็น 14 สเตต โดยสัญญาณเอาต์พุตแต่ละสเตตจะแตกต่างกันออกไปเพื่อให้ได้ผลของการทำงานของวงจรได้ถูกต้อง แสดงวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกันและวงจรควบคุม ดังภาพประกอบที่ 4-14




ภาพประกอบ 4-14 แสดงโครงสร้างทางฮาร์ดแวร์โดยรวมของวงจรกรองปรับตัว ADALINE ที่ออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกัน

จากภาพประกอบที่ 4-14 แสดงโครงสร้างทางฮาร์ดแวร์โดยรวมของการออกแบบวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกันและวงจรควบคุมการทำงานของวงจรส่วนข้อมูล เพื่อให้ได้ผลของการทำงานของวงจรได้ถูกต้อง

# บทที่ 5

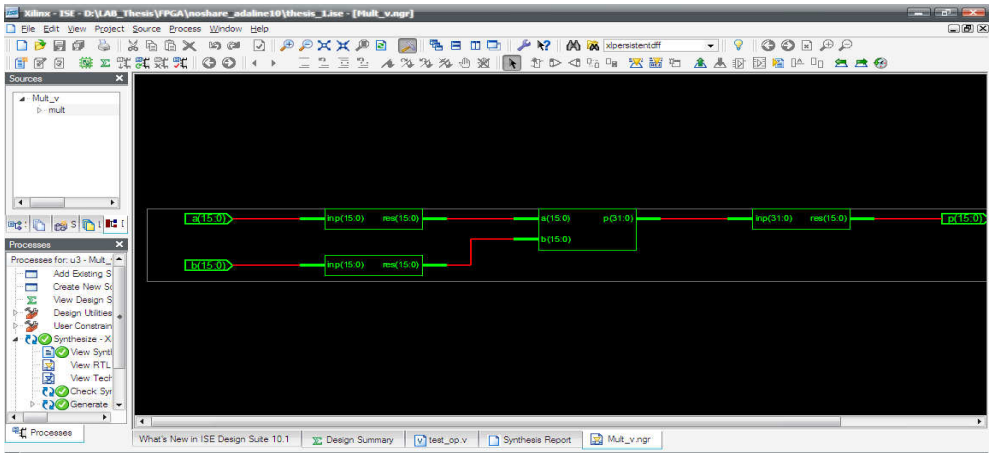
# ผลการทดลอง

เนื้อหาของบทนี้จะกล่าวถึงผลการทดลองต่างๆ ของการออกแบบและการสร้างสถาปัตยกรรมวงจรร่วมของวงจรกรองปรับตัว ADALINE ที่ได้จากบทที่ 4 โดยแบ่งผลการทดลองออกเป็น 3 ส่วนด้วยกัน คือ ส่วนที่ 1. ผลการสังเคราะห์ ส่วนที่ 2. ผลการทดสอบ และส่วนที่ 3. ผลการทดสอบของสัญญาณจริง ที่ได้จากการออกแบบวงจรกรองปรับตัว ADALINE แบบ 16 บิต Fixed-point รูปแบบ Q0.15 บน Xilinx FPGA SPARTAN 3 เบอร์ XC3S400-TQ-144

## 5.1 ผลการสังเคราะห์

ในการวิจัยนี้วงจรประมวลผลต่างๆ ทั้งหมดที่ได้ออกแบบและเขียนโปรแกรมเพื่อบรรยายวงจรด้วยภาษา Verilog โดยใช้โปรแกรม Xilinx ISE 10.1i ในการสังเคราะห์ (Synthesis) เป็นวงจรทางดิจิตอล เพื่อที่จะดูผลลัพธ์ที่ได้จากการสังเคราะห์วงจรทั้งในด้านการใช้ทรัพยากร (Area) ต่างๆ และด้านของความเร็วในการทำงานของวงจร บน FPGA (XC3S400-TQ-144-4) ผลจากการสังเคราะห์วงจรต่างๆ ในหัวข้อนี้เช่น วงจรคูณ วงจรบวก และวงจรลบ แบบ 16 บิด Fixed-Point ที่ได้จากออกแบบแล้วนั้น เพื่อนำไปใช้งานจริงในการออกแบบวงจรดิจิตอลขนาดใหญ่ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary ดังต่อไปนี้

### 5.1.1 วงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15



ภาพประกอบ 5-1 แสดงผลการสังเคราะห์ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15

ผลจากการสังเคราะห์วงจรคูณแบบ 16 บิด Fixed-Point รูปแบบ Q0.15 ในภาพประกอบที่ 5-1 ที่ได้แล้ว เพื่อนำไปใช้งานจริงในการออกแบบวงจรดิจิตอลขนาดใหญ่ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary แสดงดังภาพประกอบที่ 5-2 และ 5-3 ตามลำดับ

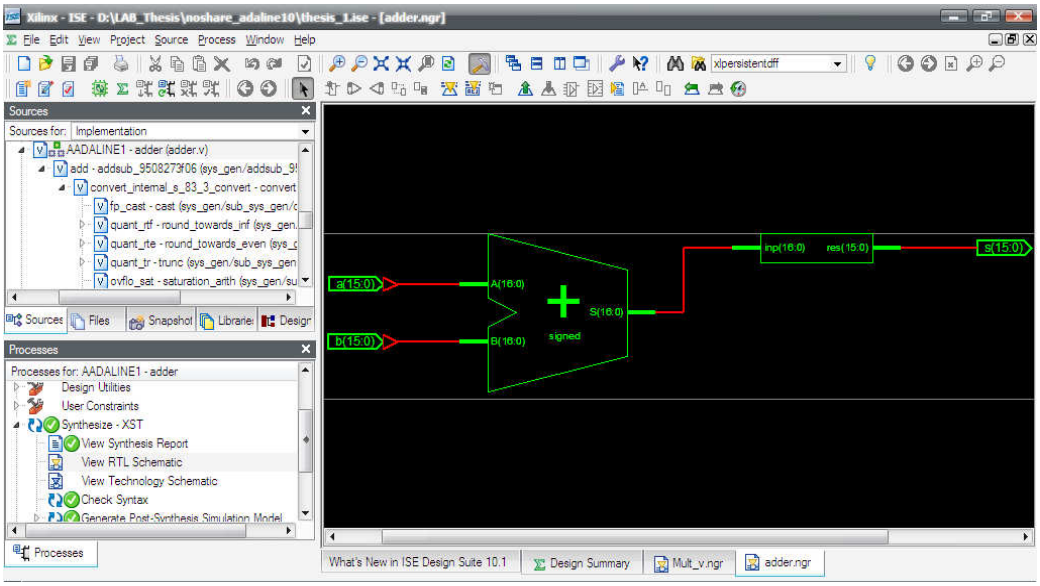
```
Device utilization summary:
---------------------------
Selected Device : 3s400tq144-4

 Number of Slices:              11  out of   3584   0%
 Number of 4 input LUTs:        21  out of   7168   0%
 Number of bonded IOBs:         48  out of     97  49%
 Number of MULT18X18s:           1  out of     16   6%
```

ภาพประกอบ 5-2 แสดง Device utilization summary ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15

```
Timing Summary:
---------------
Speed Grade: -4
  Minimum period: 11.869ns (Maximum Frequency: 84.252MHz)
  Minimum input arrival time before clock: 1.825ns
  Maximum output required time after clock: 7.165ns
  Maximum combinational path delay: No path found
```

ภาพประกอบ 5-3 แสดง Timing Summary ของวงจรคูณ 16 บิต Fixed-Point รูปแบบ Q0.15

### 5.1.2 วงจรบวก 16 บิต Fixed-point




ภาพประกอบ 5-4 แสดงผลการสังเคราะห์ของวงจรบวก 16 บิต Fixed-point ที่ใช้ในงานวิจัย

ผลจากการสังเคราะห์วงจรบวกแบบ 16 บิต Fixed-Point ในภาพประกอบที่ 5-4 ที่ได้จากการเขียนโค๊ดภาษา Verilog แล้ว เพื่อนำไปใช้งานจริงในการออกแบบวงจรดิจิตอลขนาดใหญ่ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary แสดงดังภาพประกอบที่ 5-5 และ 5-6 ตามลำดับ

| | | | | |
|---|---|---|---|---|
| Device utilization summary: | | | | |
| --- | | | | |
| Selected Device : 3s400tq144-4 | | | | |
| Number of Slices: | 8 | out of | 3584 | 0% |
| Number of 4 input LUTs: | 16 | out of | 7168 | 0% |
| Number of bonded IOBs: | 48 | out of | 97 | 49% |

ภาพประกอบ 5-5 แสดง Device Utilization Summary ของวงจรบวก 16 บิต Fixed-Point

Timing Summary:

---

Speed Grade: -4

Minimum period: 4.914ns (Maximum Frequency: 203.500MHz)

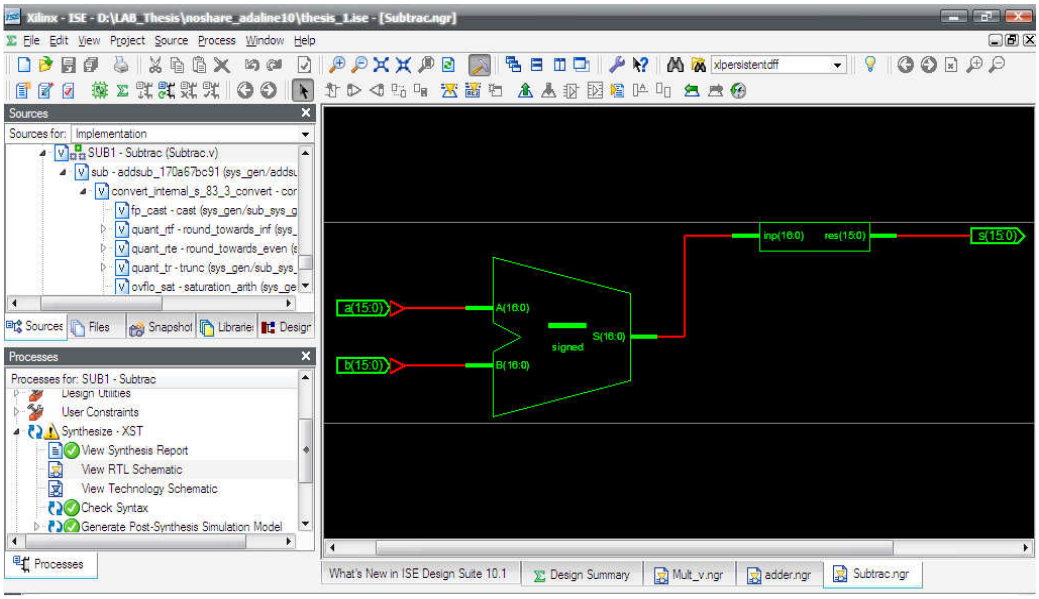
Minimum input arrival time before clock: 1.825ns

Maximum output required time after clock: 7.165ns

Maximum combinational path delay: No path found

ภาพประกอบ 5-6 แสดง Timing Summary ของวงจรบวก 16 บิต Fixed-Point

### 5.1.3 วงจรลบ 16 บิต Fixed-point




ภาพประกอบ 5-7 แสดงผลการสังเคราะห์ของวงจรลบ 16 บิต Fixed-Point ที่ใช้ในงานวิจัย

ผลจากการสังเคราะห์ของวงจรลบแบบ 16 บิต Fixed-Point ในภาพประกอบที่ 5-7 ที่ได้จากการเขียนโค๊ดภาษา Verilog แล้ว เพื่อนำไปใช้งานจริงในการออกแบบวงจรดิจิตอลขนาดใหญ่ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary แสดงดังภาพประกอบที่ 5-8 และ 5-9 ตามลำดับ

Device utilization summary:

---

Selected Device : 3s400tq144-4

| | | | | |
|---|---|---|---|---|
| Number of Slices: | 8 | out of | 3584 | 0% |
| Number of 4 input LUTs: | 16 | out of | 7168 | 0% |
| Number of bonded IOBs: | 48 | out of | 97 | 49% |

ภาพประกอบ 5-8 แสดง Device Utilization Summary ของวงจรลบ 16 บิต Fixed-point

Timing Summary:

---

Minimum period: 4.914ns (Maximum Frequency: 203.500MHz)

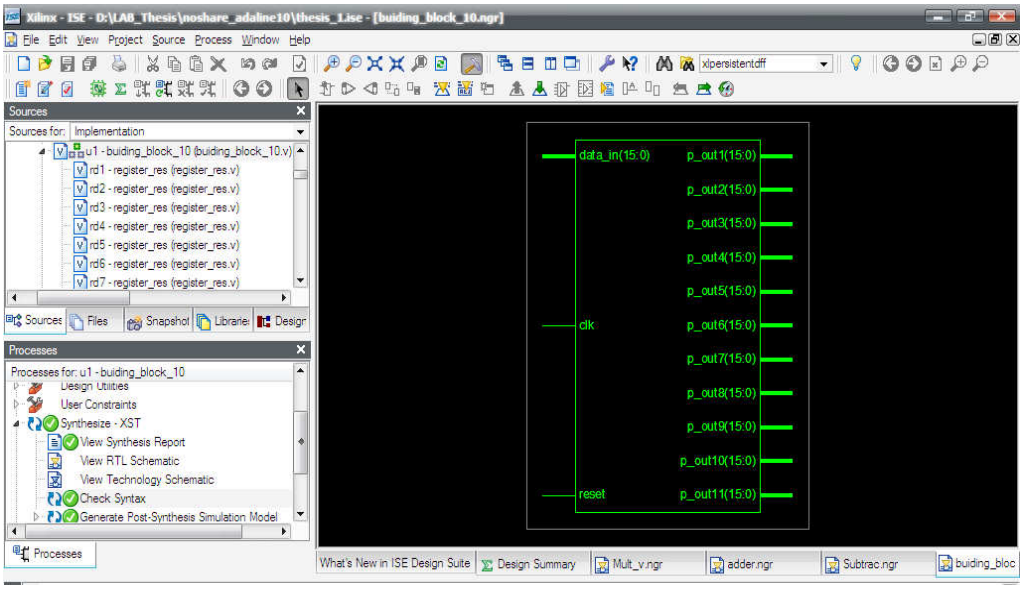
Minimum input arrival time before clock: 1.825ns

Maximum output required time after clock: 7.165ns

Maximum combinational path delay: No path found

ภาพประกอบ 5-9 แสดง Timing Summary ของวงจรลบแบบ 16 บิต Fixed-point

### 5.1.4 วงจรดีเลย์ข้อมูล 10 Samples และวงจร 10-Tapped Delay Line




ภาพประกอบ 5-10 แสดงผลการสังเคราะห์ของวงจรดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line ที่ใช้ในงานวิจัย

ผลจากการสังเคราะห์วงจรดีเลย์ข้อมูล 10 Samples และวงจร 10-Tapped Delay Line ดังภาพประกอบที่ 5-10 จะทำหน้าที่เป็นสัญญาณอ้างอิงของวงจรกรองปรับตัว ADALINE ที่ได้จากการเขียนโค๊ดภาษา Verilog แล้ว เพื่อนำไปใช้งานจริงในการออกแบบวงจรดิจิตอลขนาดใหญ่ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary แสดงดังภาพประกอบที่ 5-11 และ 5-12 ตามลำดับ

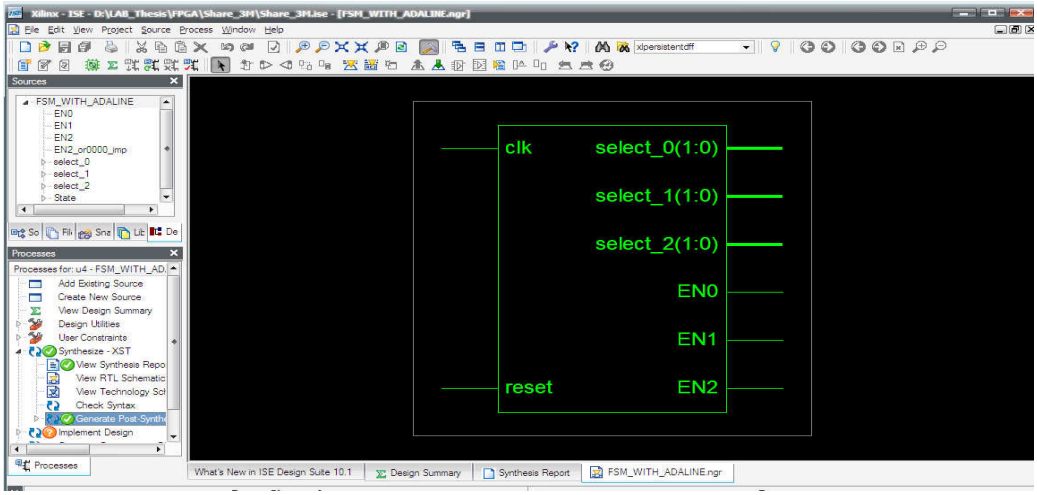
```
Device utilization summary:
---------------------------
Selected Device : 3s400tq144-4
 Number of Slices:              124  out of   3584     3%
 Number of Slice Flip Flops:    216  out of   7168     3%
 Number of 4 input LUTs:         33  out of   7168     0%
 Number of bonded IOBs:         194  out of     97   200% (*)
 Number of GCLKs:                 1  out of      8    12%
```

ภาพประกอบ 5-11 แสดง Device Utilization Summary ของวงจรดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line

```
Timing Summary:
---------------
Speed Grade: -4
  Minimum period: 3.398ns (Maximum Frequency: 294.291MHz)
  Minimum input arrival time before clock: 1.825ns
  Maximum output required time after clock: 7.241ns
  Maximum combinational path delay: No path found
```

ภาพประกอบ 5-12 แสดง Timing Summary ของวงจรวงจรดีเลย์ข้อมูล 10 Sample และวงจร 10-Tapped Delay Line

### 5.1.5 วงจรส่วนควบคุม




ภาพประกอบ 5-13 แสดงผลการสังเคราะห์ของวงจรควบคุม แบบ Moore Finite State Machine

จากภาพประกอบที่ 5-13 แสดงผลจากการสังเคราะห์ของวงจรควบคุม FSM แบบ Moore machine ที่ใช้ควบคุมลำดับการทำงานของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1 ซึ่งจะทำหน้าที่ในการควบคุมความถูกต้องของลำดับการทำงานในส่วนของวงจรข้อมูลให้ถูกต้องตามหลักการทำงานของวงจร ADALINE Adaptive Filter ที่ได้จากการเขียนโค๊ดภาษา Verilog แล้ว เพื่อนำไปใช้งานจริง สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing Summary ดังแสดงในประกอบที่ 5-14 และ 5-15 ตามลำดับ

Device utilization summary:

---

Selected Device : 3s400tq144-4

| | | | | |
|---|---|---|---|---|
| Number of Slices: | 7 | out of | 3584 | 0% |
| Number of Slice Flip Flops: | 4 | out of | 7168 | 0% |
| Number of 4 input LUTs: | 14 | out of | 7168 | 0% |
| Number of bonded IOBs: | 11 | out of | 97 | 11% |
| Number of GCLKs: | 1 | out of | 8 | 12% |

ภาพประกอบ 5-14 แสดง Device Utilization Summary ของวงจรควบคุม
แบบ Moore Finite State Machine

Timing Summary:

---

Speed Grade: -4

Minimum period: 2.931ns (Maximum Frequency: 341.180MHz)

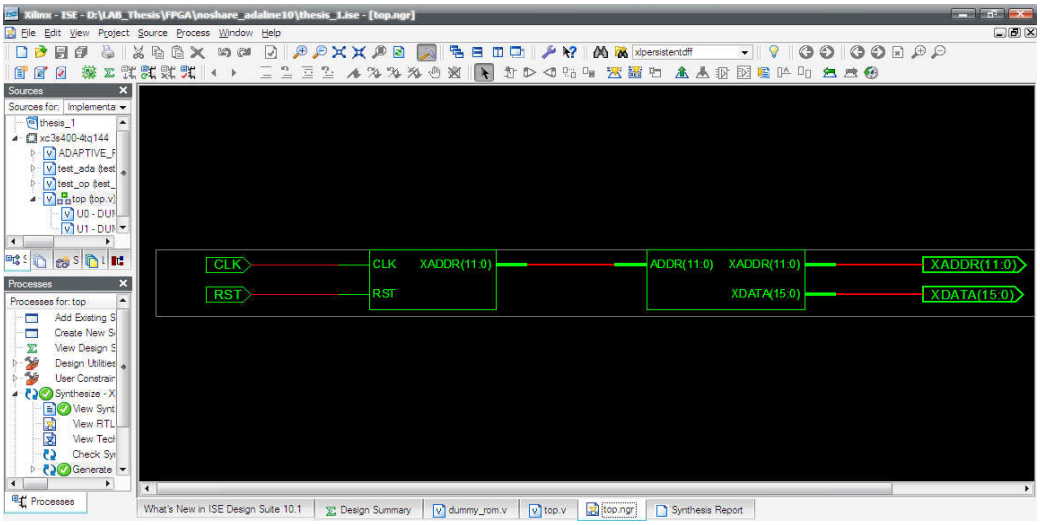
Minimum input arrival time before clock: 4.116ns

Maximum output required time after clock: 9.225ns

Maximum combinational path delay: No path found

ภาพประกอบ 5-15 แสดง Timing Summary ของวงจรควบคุม
แบบ Moore Finite State Machine

### 5.1.6 วงจรที่ใช้ในการทดสอบ




ภาพประกอบ 5-16 แสดงผลการสังเคราะห์ของวงจรทดสอบการทำงานของวงจร
กรองปรับตัว ADALINE ที่ใช้ในงานวิจัย

จากภาพประกอบที่ 5-16 แสดงผลการสังเคราะห์ของวงจรทดสอบการทำงานของวงจรกรองปรับตัว ADALINE ที่ได้จากการเขียนโค๊ดภาษา Verilog แล้ว เพื่อนำไปใช้งานจริงในการตรวจสอบความถูกต้องของวงจรที่สร้างขึ้น สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary ดังแสดงในประกอบที่ 5-17 และ 5-18 ตามลำดับ

Device utilization summary:

---

Selected Device : 3s400tq144-4

| | | | | |
|---|---|---|---|---|
| Number of Slices: | 8 | out of | 3584 | 0% |
| Number of Slice Flip Flops: | 12 | out of | 7168 | 0% |
| Number of 4 input LUTs: | 16 | out of | 7168 | 0% |
| Number of bonded IOBs: | 30 | out of | 97 | 30% |
| Number of GCLKs: | 1 | out of | 8 | 12% |

ภาพประกอบ 5-17 แสดง Device Utilization Summary ของวงจรทดสอบ

Timing Summary:

---

Speed Grade: -4

Minimum period: 6.081ns (Maximum Frequency: 164.447MHz)

Minimum input arrival time before clock: 4.656ns

Maximum output required time after clock: 7.271ns

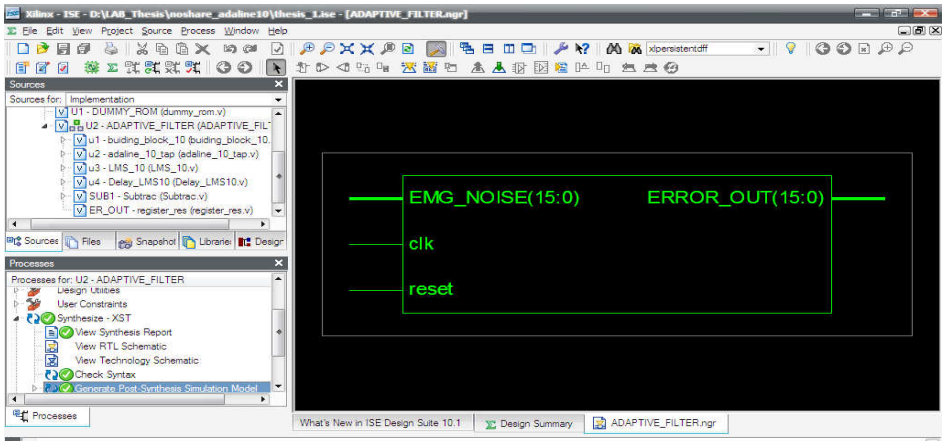
Maximum combinational path delay: No path found

ภาพประกอบ 5-18 แสดง Timing Summary ของวงจรทดสอบ

### 5.1.7 วงจรกรองปรับตัว ADALINE ชนิด 10 แท็ปดีเลย์

ผลจากการสังเคราะห์วงจรต่างๆ ที่ได้ในหัวข้อที่ 5.1.1 นั้น จะนำมาสร้างเป็นวงจรร่วมของวงจรกรองปรับตัว ADALINE บน FPGAs โดยแบ่งผลการสังเคราะห์ของวงจรออกเป็น 2 ส่วนด้วยกัน คือ วงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วม และ วงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วม ซึ่งสามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary ได้ดังต่อไปนี้

**5.1.7.1 วงจรกรองปรับตัว ADALINE ที่ออกแบบก่อนการใช้ทรัพยากรร่วมกัน**




ภาพประกอบ 5-19 แสดงผลการสังเคราะห์ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน

จากภาพประกอบที่ 5-19 เป็นการออกแบบวงจรกรองปรับตัว ADALINE 10- Tapped Delay Line ก่อนการใช้ทรัพยากรร่วมกัน ที่ได้จากการเขียนโค๊ดภาษา Verilog ผลจากการสังเคราะห์พบว่า วงจรที่ได้ใช้วงจรคูณ 18x18 ภายในชิพเกินความสามารถที่จะทำการ Map ลงบน FPGA ที่ใช้ในงานวิจัยได้ ดังนั้นจากผลการสังเคราะห์ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary ดังแสดงในประกอบที่ 5-20 และ 5-21 ตามลำดับ

Device utilization summary:

---

Selected Device : 3s400tq144-4

| | | | | |
|---|---|---|---|---|
| Number of Slices: | 547 | out of | 3584 | 15% |
| Number of Slice Flip Flops: | 409 | out of | 7168 | 5% |
| Number of 4 input LUTs: | 890 | out of | 7168 | 12% |
| Number of bonded IOBs: | 34 | out of | 97 | 35% |
| Number of MULT18X18s: | 23 | out of | 16 | 143% (*) |
| Number of GCLKs: | 1 | out of | 8 | 12% |

ภาพประกอบ 5-20 แสดง Device Utilization Summary ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน

Timing Summary:

---

Speed Grade: -4

Minimum period: 53.381ns (Maximum Frequency: 18.733MHz)

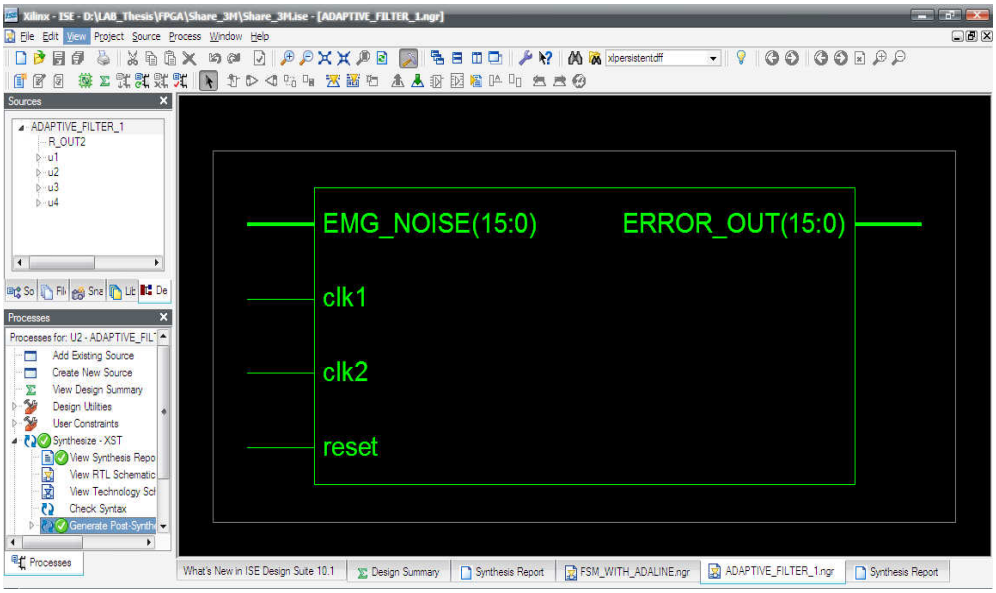
Minimum input arrival time before clock: 32.120ns

Maximum output required time after clock: 7.165ns

Maximum combinational path delay: No path found

ภาพประกอบ 5-21 แสดง Timing Summary ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน

### 5.1.7.2 วงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน




ภาพประกอบ 5-22 แสดงผลการสังเคราะห์ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1

ภาพประกอบที่ 5-22 เป็นการออกแบบวงจรกรองปรับตัว ADALINE 10-Tapped Delay Line โดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1 ที่ได้จากการเขียนโค๊ดภาษา Verilog จากผลการสังเคราะห์พบว่า วงจรสามารถใช้จำนวนวงจรคูณ 18x18 ที่มีอยู่ภายใน FPGA ที่ใช้ในงานวิจัยได้อย่างเพียงพอ สามารถสรุปเป็นหัวข้อ Device utilization summary และ Timing – Summary ดังแสดงในประกอบที่ 5-23 และ 5-24 ตามลำดับ

Device utilization summary:

---

Selected Device : 3s400tq144-4

| | | | | |
|---|---|---|---|---|
| Number of Slices: | 668 | out of | 3584 | 18% |
| Number of Slice Flip Flops: | 785 | out of | 7168 | 10% |
| Number of 4 input LUTs: | 728 | out of | 7168 | 10% |
| Number of bonded IOBs: | 35 | out of | 97 | 36% |
| Number of MULT18X18s: | 7 | out of | 16 | 43% |
| Number of GCLKs: | 2 | out of | 8 | 25% |

ภาพประกอบ 5-23 แสดง Device Utilization Summary ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1

Timing Summary:

---

Speed Grade: -4

Minimum period: 17.016ns (Maximum Frequency: 58.769MHz)

Minimum input arrival time before clock: 15.974ns

Maximum output required time after clock: 7.165ns

Maximum combinational path delay: No path found

ภาพประกอบ 5-24 แสดง Timing Summary ของวงจรกรองปรับตัว ADALINE ที่ออกแบบโดยหลักการใช้ทรัพยากรร่วมกัน รูปแบบ Resource Sharing # 4:1

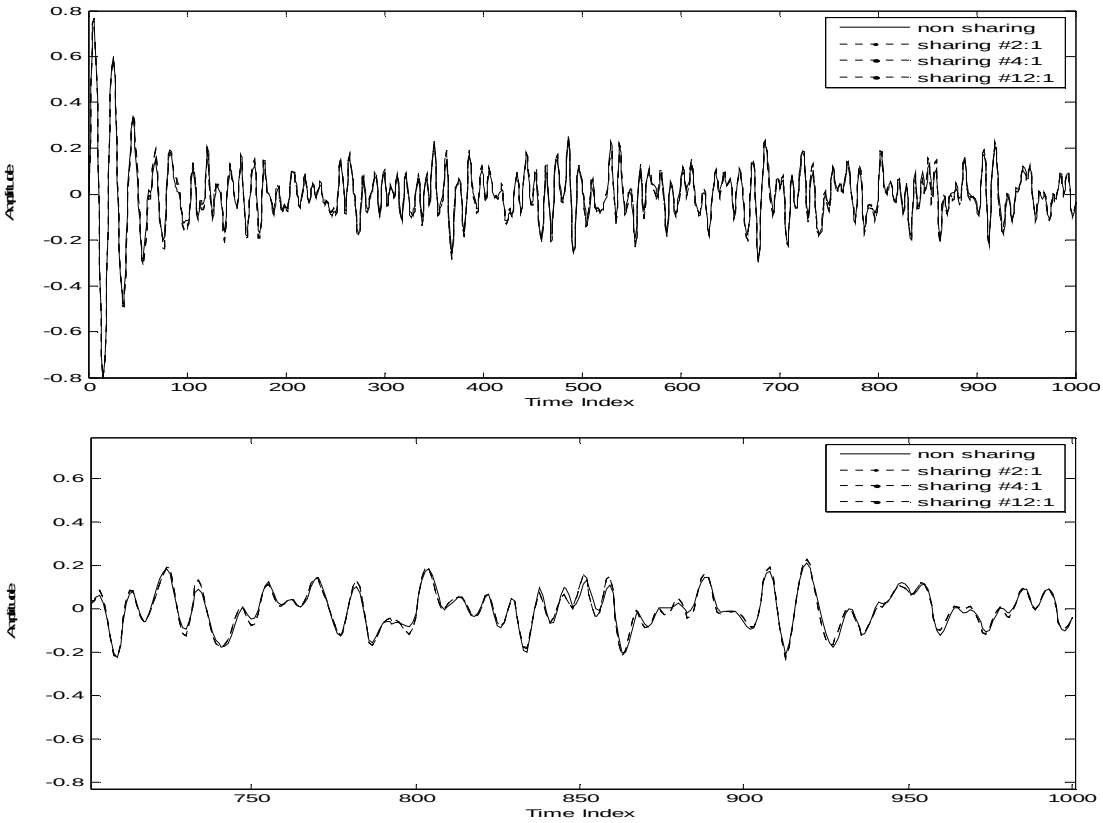
**5.2 ผลการทดสอบ**

ผลที่ได้จากการสังเคราะห์การทำงานของวงจรกรองปรับตัว ADALINE ที่สร้างขึ้น ในหัวข้อที่ 5.1 นั้น จะนำค่าเอาต์พุตที่ได้มาทำการทดสอบบน MATLAB เพื่อทำการเปรียบระหว่างผลที่ได้จากการออกแบบและสร้างวงจรกรองปรับตัว ADALINE ทั้งก่อนและหลังมีการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกันรูปแบบต่างๆ เพื่อวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละรูปแบบด้วยตัวบ่งชี้ ค่าสัมประสิทธิ์สหสัมพันธ์และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐาน ซึ่งผลของตัวบ่งชี้จากการทดสอบสัญญาณจำนวน 20 สัญญาณที่ได้จากระบบที่สร้างขึ้นนั้น สามารถแสดงได้ดังตารางที่ 5-1 และแสดงการเปรียบเทียบสัญญาณเอาต์พุตที่ได้จากวงจรกรองปรับตัว ADALINE ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และอัตราการลู่เข้าของรูปแบบต่างๆ ได้ดังภาพประกอบที่ 5-34 และภาพประกอบที่ 5-35 ตามลำดับ

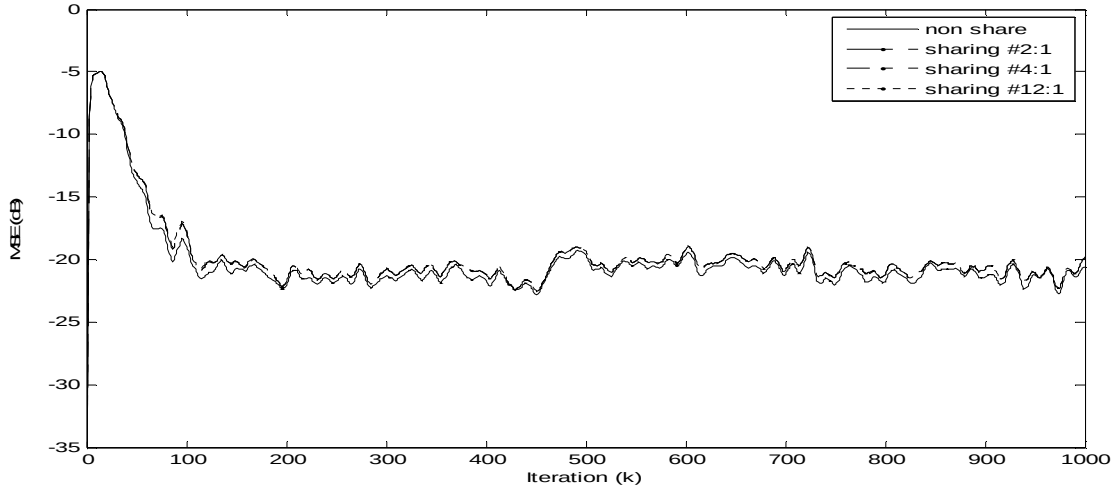
ตารางที่ 5-1 แสดงการเปรียบเทียบผลของตัวบ่งชี้จากการทดสอบวงจรกรองปรับตัว ADALINE 10-Tapped Delay Line โดยใช้ 16 บิต Fixed-Point รูปแบบ Q0.15 บน Xilinx ISE

| ADALINE Adaptive Filter | Convergent rate (sample) | Correlation coefficient | NMSE |
|---|---|---|---|
| Non-resource sharing | 120 | 0.7345 ± 0.043202 | 0.72452 ± 0.087927 |
| Resource Sharing # 2:1 | 120 | 0.6907 ± 0.044039 | 0.90017 ± 0.081389 |
| Resource Sharing # 4:1 | 120 | 0.6907 ± 0.044039 | 0.90017 ± 0.081389 |
| Resource Sharing #12:1 | 120 | 0.6907 ± 0.044039 | 0.90017 ± 0.081389 |

จากตารางที่ 5-1 เมื่อพิจารณาความสามารถการกำจัดสัญญาณรบกวนของวงจรกรองปรับตัว ADALINE ด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ พบว่า วงจรที่ออกแบบก่อนการใช้ทรัพยากรร่วมกันให้ค่าประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ตรงกันเมื่อเทียบกับผลที่ได้จาก MATLAB ส่วนวงจรที่ออกแบบโดยการใช้ทรัพยากรร่วมกันในการออกแบบนั้นพบว่า วงจรที่ได้ให้ค่าประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกันเมื่อเทียบกับผลที่ได้จากก่อนการใช้ทรัพยากรร่วมกัน สามารถแสดงประสิทธิภาพในการกำจัดสัญญาณรบกวน และอัตราการลู่เข้าของวงจรได้ ดังภาพประกอบที่ 5-25 และภาพประกอบที่ 5-26 ตามลำดับ




ภาพประกอบ 5-25 แสดงผลการเปรียบเทียบการทดสอบวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ



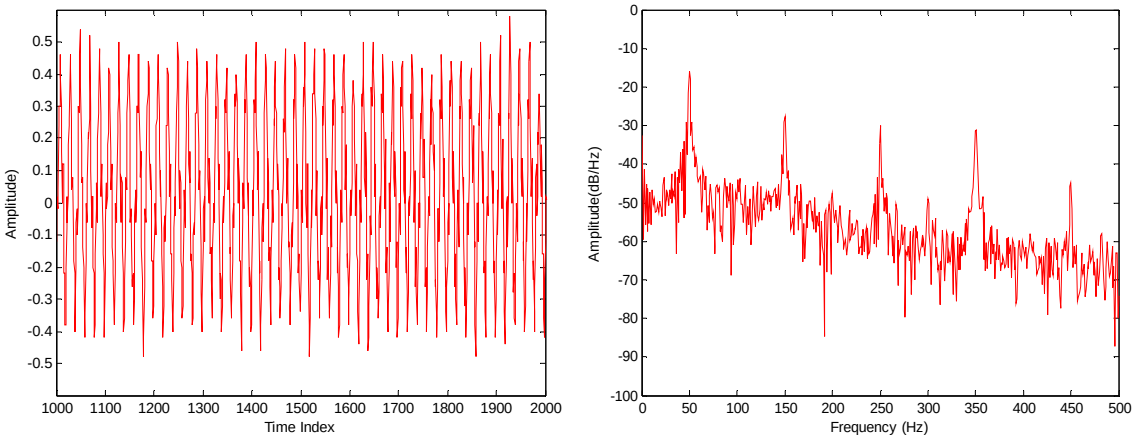

ภาพประกอบ 5-26 แสดงการเปรียบเทียบอัตราการลู่เข้าของวงกรองปรับตัว ADALINE รูปแบบต่างๆ

## 5.3 ผลการทดสอบของสัญญาณจริง

สัญญาณไฟฟ้าของกล้ามเนื้อลาย [4] ที่ใช้ในการทดสอบ ได้มาจากการบันทึกสัญญาณโดยใช้อิเล็กโทรดชนิดติดผิวหนัง (Surface electrode) ของบริษัท 3M (3M red dot 5.1 cm. foam solid gel) จำนวนทั้งหมด 3 ชิ้น โดยติดอิเล็กโทรดที่กล้ามเนื้อบริเวณ Biceps จำนวน 2 ชิ้น ระยะห่างระหว่างอิเล็กโทรดทั้ง 2 ชิ้นประมาณ 2 เซนติเมตร และติดที่บริเวณข้อมือเพื่อทำหน้าที่เป็นกราวด์อีก 1 ชิ้น สัญญาณไฟฟ้าของกล้ามเนื้อที่วัดได้จากอิเล็กโทรดจะถูกส่งมาขยายสัญญาณให้มีขนาดที่เหมาะสมเพื่อส่งเข้าตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล

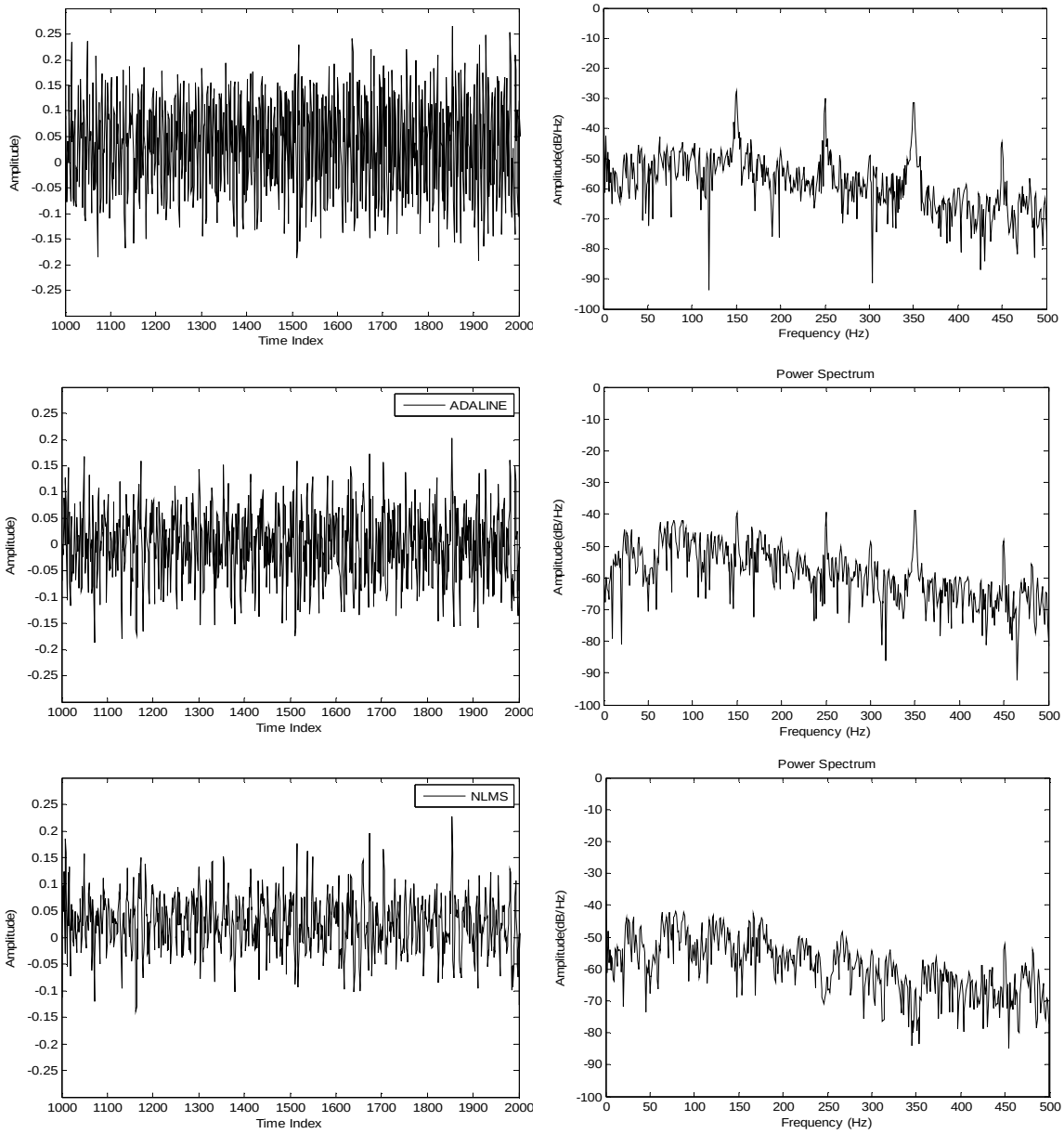
### 5.3.1 ผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อลายบน MATLAB

ผลของการบันทึกสัญญาณไฟฟ้ากล้ามเนื้อลายที่ได้ในหัวข้อที่ 5.3.1 และผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อแสดงดังในภาพประกอบที่ 5-27 และภาพประกอบที่ 5-28 ตามลำดับ




ภาพประกอบ 5-27 สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา)

จากภาพประกอบที่ 5-27 จะเห็นได้ว่าค่าเพาเวอร์สเปคตรัมของสัญญาณรบกวนนอกจากที่ความถี่ 50 Hz ยังมีความถี่ฮาร์มอนิคที่ 150 Hz, 250 Hz, 350 Hz, และ 450 Hz อยู่ด้วย

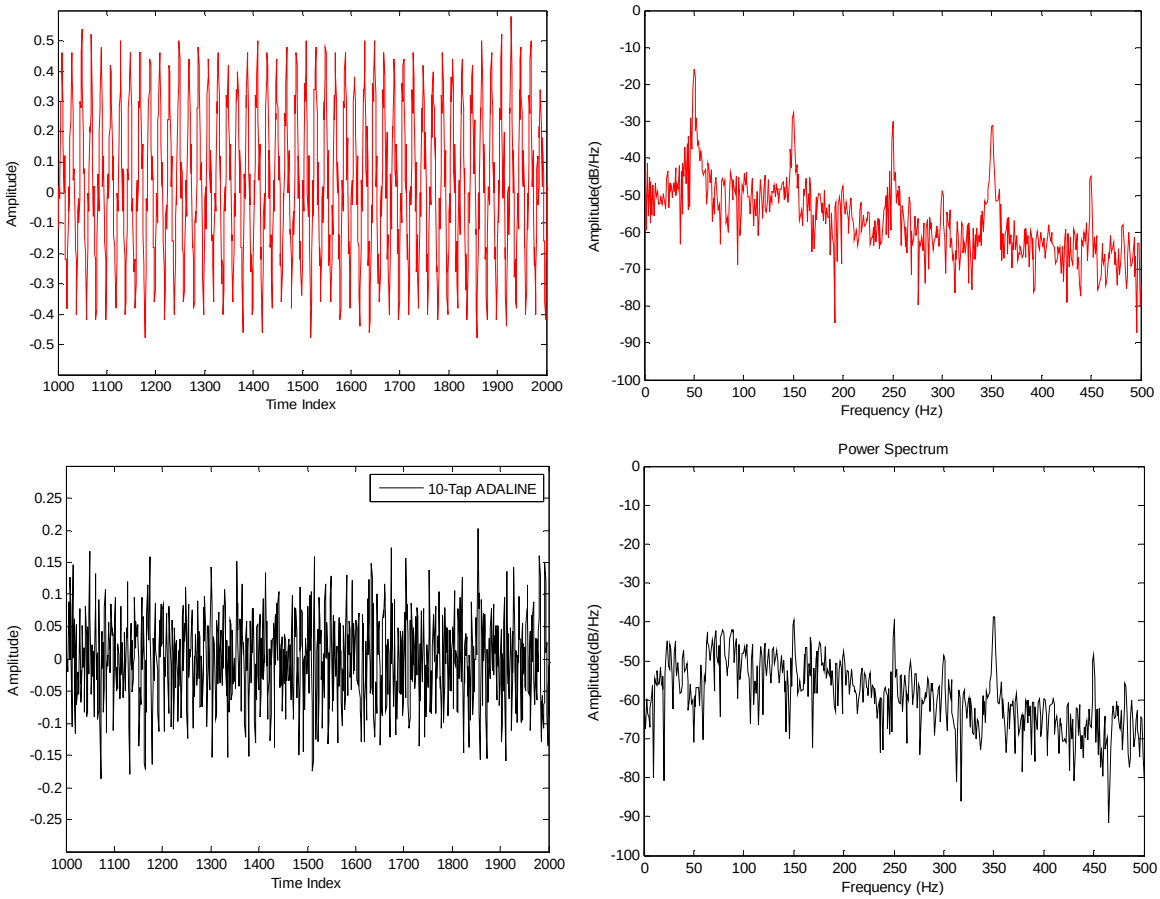



ภาพประกอบ 5-28 สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา)
ที่ได้จากการลดสัญญาณรบกวนของวงจรน็อตซ์ฟิลเตอร์ (บน)
วงจรกรอง ADALINE (กลาง) และวงจรกรอง NLMS (ล่าง)

จากภาพประกอบที่ 5-28 จะเห็นได้ว่าค่าเพาเวอร์สเปคตรัมของสัญญาณที่ผ่านการลดสัญญาณรบกวนความถี่ 50 Hz, 150 Hz, 250 Hz, 350 Hz, และ 450 Hz ของวงจรกรองแบบปรับตัว ADALINE และ NLMS มีขนาดลดลง เมื่อเทียบกับวงจรกรองแบบน็อตซ์

### 5.3.2 ผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อลายบน Xilinx ISE

ผลการทดสอบความสามารถในการลดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ และฮาร์มอนิคออกจากสัญญาณไฟฟ้ากล้ามเนื้อที่ได้จากการออกแบบวงจรบน Xilinx ISE แสดงดังในภาพประกอบที่ 5-29



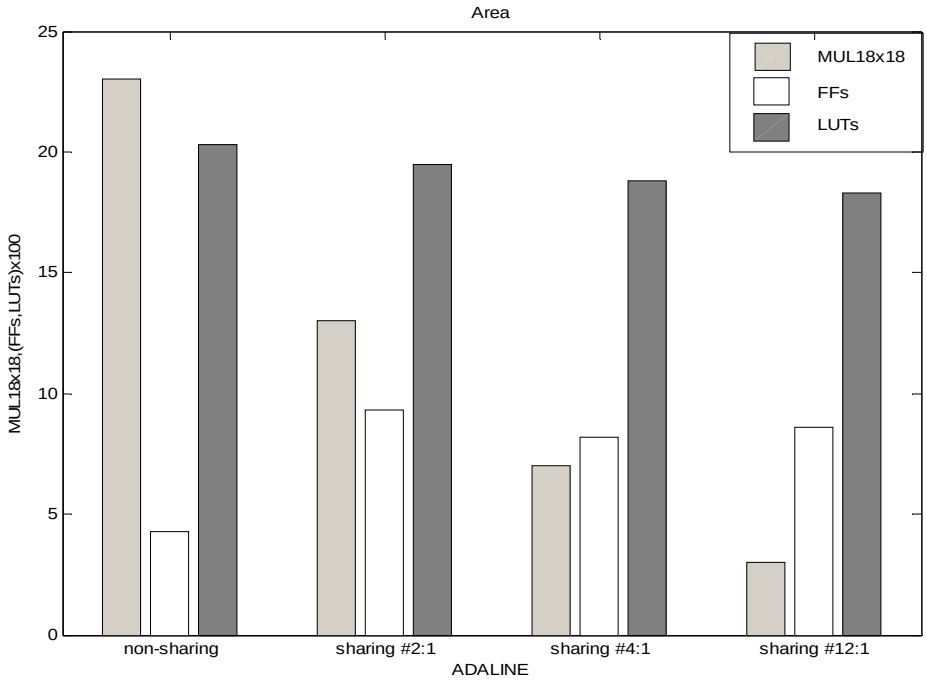

ภาพประกอบ 5-29 สัญญาณไฟฟ้าของกล้ามเนื้อลาย (ซ้าย) และเพาเวอร์สเปคตรัม (ขวา) ก่อนการลดสัญญาณรบกวน (บน) และหลังจากที่ผ่านการลดสัญญาณรบกวน (ล่าง)

จากภาพประกอบที่ 5-29 จะเห็นได้ว่าค่าเพาเวอร์สเปคตรัมของสัญญาณที่ผ่านการลดสัญญาณรบกวนความถี่ 50 Hz, 150 Hz, 250 Hz, 350 Hz, และ 450 Hz ของวงจรกรองแบบปรับตัว ADALINE มีขนาดลดลง

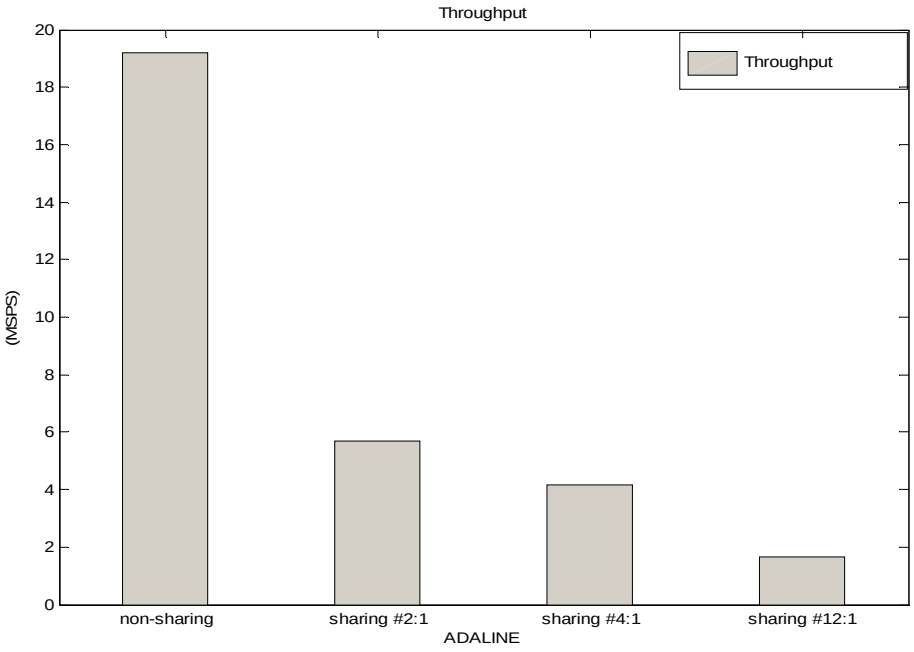
สำหรับขนาดของวงจรก่อนการใช้ทรัพยากรร่วมกันนั้นผลปรากฏว่าวงจรที่ได้ยังมีขนาดใหญ่ทำให้เกินความสามารถของ FPGA ที่มีอยู่ และเมื่อผู้วิจัยได้ใช้เทคนิคของการใช้ทรัพยากรร่วมกันในการออกแบบวงจรแล้วพบว่าวงจรมีขนาดเล็กลง ผลจากการออกแบบและการทดลองของวงจรร่วม ADALINE Adaptive Filter ก่อนและหลังการใช้ทรัพยากรร่วมกันที่ได้ทดลองมาข้างต้นนั้น สามารถแสดงการใช้ทรัพยากรรูปแบบต่างๆ และเวลาในการประมวลผล ได้ดังตารางที 5-2

ตารางที 5-2 แสดงผลการเปรียบเทียบการใช้ทรัพยากรรูปแบบต่างๆ บน FPGAs SPARTAN- 3 ตระกูล XC3S400-TQ144-4

| ADALINE 10-Taps | MULT 18X18s | Flip Flops | LUTs |
|---|---|---|---|
| Non-Share | 23(143%) | 440(5%) | 4753(66%) |
| Resource Sharing #2:1 | 13(81%) | 930(12%) | 1948(27%) |
| Resource Sharing #4:1 | 7(43%) | 815(11%) | 1862(25%) |
| Resource Sharing #12:1 | 3(18%) | 858(11%) | 1835(25%) |
| The speed of processing | | | |
| ADALINE 10-Taps | Clock period (ns) | Clock cycle (ns)/sample | Throughput $(10^6)$/sec |
| Non-Share | 53.212 | 53.212 | 18.792 |
| Resource Sharing #2:1 | 15.929 | 175.219 | 5.707 |
| Resource Sharing #4:1 | 17.428 | 243.992 | 4.098 |
| Resource Sharing #12:1 | 20.814 | 603.606 | 1.656 |




ภาพประกอบ 5-30 กราฟแสดงผลการเปรียบเทียบค่า MUL18x18, FFs, และ LUTs ของวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ




ภาพประกอบ 5-31 กราฟแสดงผลการเปรียบเทียบค่า Throughput ของวงจรกรองปรับตัว ADALINE รูปแบบต่างๆ

จากตารางที่ 5-2 และภาพประกอบที่ 5-30, 5-31 เป็นผลเปรียบเทียบจากการออกแบบวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกันรูปแบบต่างๆ ซึ่งจะเห็นได้ว่าเมื่อมีการใช้ทรัพยากรร่วมกันมากขึ้น ก็จะทำให้ขนาดของวงจรเล็กลง แต่ก็ทำให้วงจรยิ่งใช้เวลาในการประมวลผลมากขึ้น หรือทำให้สูญเสียค่า Throughput ของวงจรนั้นเอง แต่วงจรก็ยังคงสามารถกำจัดสัญญาณรบกวนได้ดี อย่างไรก็ตาม เมื่อเปรียบเทียบผลการทดสอบในด้านปริมาณการทำงานของวงจรที่ได้กับงานวิจัยที่ผ่านมาในการประยุกต์สร้างเป็นวงจรกรองแบบปรับตัวบนอุปกรณ์ต่างๆ ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ได้ผลการเปรียบเทียบดังตารางที่ 5-3

ตารางที่ 5-3 แสดงผลการเปรียบเทียบปริมาณการทำงานของวงจรบนอุปกรณ์ต่างๆ

| Implementation | Area | | | Tap | Throughput (MSPS) |
|---|---|---|---|---|---|
| | LUT | FFs | MUL 18x18 | | |
| dsPIC30F2010 [3] | - | - | - | 10 | 0.0025 |
| DSK [4] (TMS320VC5509A) | - | - | - | 10 | 0.245 |
| FPGA XC3S400 [5] | 4,754 | 3,147 | 13 | 8 | 1.250 |
| FPGA XC4000E [10] | 452 | 72 | - | 1 | - |
| FPGA XC3S400 (Resource Sharing # 12:1) | 1,835 | 858 | 3 | 10 | 1.656 |

ดังนั้นสามารถสรุปได้ว่าในการวิจัยนี้ วงจรกรองปรับตัว ADALINE 10-Tapped Delay Line ที่ออกแบบและสร้างขึ้นบน FPGA ที่ได้นั้น นอกจากมีประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกับผลที่ได้บน MATLAB แล้ว วงจรที่ได้ยังมีขนาดเล็กและยังสามารถให้ปริมาณงานสูงด้วยเมื่อเทียบกับงานวิจัยที่ผ่านมา

# บทที่ 6

# สรุปผลการทดลองและข้อเสนอแนะ

## 6.1 สรุปผลการทดลอง

การวิจัยนี้เป็นการออกแบบวงจรกำจัดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ ที่เกิดจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย บน FPGA โดยใช้หลักการของวงจรกำจัดสัญญาณรบกวนแบบปรับตัวได้ แบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยเบื้องต้นผู้วิจัยได้ทำการวิเคราะห์เปรียบเทียบเทคนิคของการกรองสัญญาณรบกวน ด้วยวงจรกรองไอไออาร์แบบน็อตซ์ฟิลเตอร์ วงจรกรองแบบปรับตัว ADALINE ที่ใช้อัลกอริทึมเฉลี่ยกำลังสอง LMS และวงจรกรองปรับตัวได้ที่ใช้อัลกอริทึม NLMS โดยทำการออกแบบและจำลองการทำงานของวงจรด้วยบล็อกการประมวลผลสัญญาณดิจิตอล ร่วมกับ Xilinx Accel DSP Toolbox บน MATLAB เพื่อเปรียบเทียบวิธีที่ดีที่สุดสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ประสิทธิภาพของการกำจัดสัญญาณรบกวนถูกวัดด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ หลังจากนั้นจะนำวงจรที่ได้ที่มีความเหมาะสมที่สุดมาทำการออกแบบบน FPGA จากการวิเคราะห์ข้างต้น พบว่าวงจรกรองปรับตัว ADALINE มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวนได้ดี และขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30 เปอร์เซ็นต์

สำหรับรูปแบบของการประมวลผลสัญญาณที่ได้จากการทดลองในหัวข้อที่ 3.2 พบว่า วงจรกรองปรับตัว ADALINE ที่ใช้การประมวลผลสัญญาณแบบ 16 บิต Fixed-point รูปแบบ Q0.15 ให้ค่าสัมประสิทธิ์สหสัมพันธ์ 0.73 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.72 มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ได้ใกล้เคียงกันแล้ว ยังใช้เวลาในการประมวลผลสัญญาณเร็วกว่าประมาณ 1.58 เท่า และขนาดของวงจรเล็กกว่าเมื่อเทียบกับการประมวลผลสัญญาณแบบ 32 บิต Fixed-point รูปแบบ Q0.31 ประมาณ 3 เท่า

จากการทดลองข้างต้นพบว่า วงจรกรองปรับตัว ADALINE 10-Tapped Delay Line ที่ใช้การประมวลผลสัญญาณ 16 บิต Fixed-point รูปแบบ Q0.15 มีความเหมาะสมในการออกแบบลงบน FPGA มากที่สุด และเมื่อนำมาออกแบบและสร้างเป็นวงจรฮาร์ดแวร์ บน FPGA แล้ว พบว่าจะต้องใช้วงจรคูณและวงจรบวก จำนวนอย่างละ 23 ตัว ซึ่งทำให้วงจรที่ได้มีขนาดใหญ่

เกินความสามารถที่จะสร้างบนชิพ FPGA ที่มีพื้นที่ค่อนข้างจำกัดได้ อย่างเช่น FPGA SPARTAN-3 เบอร์ XC3S400-TQ144 ที่ผู้วิจัยได้ใช้ในการทดลองครั้งนี้ เนื่องจากข้อจำกัดทางด้านทรัพยากรของ FPGA ในส่วนของวงจรคูณ 18x18 Hardware multiplier ซึ่งเป็นฮาร์ดแวร์ของวงจรคูณสำเร็จรูป ขนาด 18x18 บิต ใน FPGA ดังนั้นจึงจำเป็นต้องออกแบบวงจรใหม่ เพื่อให้สามารถใช้ทรัพยากรชนิดนี้ได้อย่างเพียงพอ ในการสร้างวงจรใหม่นี้ ผู้วิจัยได้ออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกันรูปแบบต่าง ๆ เพื่อทำการเปรียบเทียบขนาดของวงจร จากการออกแบบวงจรพบว่า การออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกันนั้น สามารถ Map ลงบนชิพ FPGA ได้ แต่เมื่อมีการใช้ทรัพยากรร่วมกันในการออกแบบวงจรมากขึ้น จะทำให้ขนาดของวงจรเล็กลง แต่ทำให้วงจรยิ่งใช้เวลาในการประมวลผลมากขึ้น หรือทำให้สูญเสียค่า Throughput ของวงจรนั้นเอง

สำหรับผลที่ได้จากการทดสอบการทำงานของวงจรกรองปรับตัว ADALINE 10-Tapped Delay Line ที่ใช้การประมวลผลสัญญาณ 16 บิต Fixed-point รูปแบบ Q0.15 ที่ออกแบบบน FPGA นั้น เมื่อทำการทดสอบสัญญาณไฟฟ้าของกล้ามเนื้อลายที่มีสัญญาณรบกวนที่จำลองขึ้นจากโปรแกรม MATLAB พบว่าวงจรสามารถกำจัดสัญญาณรบกวนความถี่ 50 เฮิรตซ์ได้ดี และเมื่อทำการทดสอบด้วยสัญญาณจริง พบว่าวงจรสามารถกำจัดทั้งสัญญาณรบกวนความถี่ 50 เฮิรตซ์และสัญญาณฮาร์มอนิคได้ดี โดยผลที่ได้จากการทดสอบของการกำจัดสัญญาณรบกวนทั้งสองนั้น เป็นที่น่าพอใจเมื่อเปรียบเทียบผลที่ได้จากการคำนวณฟังก์ชันการทำงานของวงจรกรองปรับตัว ADALINE บน MATLAB และผลที่ได้จากการจำลองด้วยโปรแกรม Xilinx Accel DSP Toolbox ซึ่งวงจรที่ได้ใช้เวลาในการประมวลผล หรือสามารถประมวลผลสัญญาณได้ถึงล้านตัวอย่างต่อวินาที (million samples per second) ซึ่งมีค่าสูงเมื่อนำไปเปรียบเทียบกับผลการทำงานที่ได้จากอุปกรณ์ต่างๆ จากงานวิจัยที่ผ่านมา

**6.2 ข้อเสนอแนะ**

1. การกำหนดรูปแบบของการประมวลผลสัญญาณมีผลต่อประสิทธิภาพในการทำงานของวงจรอย่างมาก มิฉะนั้นอาจทำให้วงจรเกิดความผิดพลาดได้ สำหรับงานวิจัยนี้ ได้ใช้รูปแบบของการประมวลผลสัญญาณ 16 บิต Fixed-point รูปแบบ Q0.15 เนื่องจากสัญญาณไฟฟ้าของกล้ามเนื้อลายที่ได้นั้น มีค่าอยู่ช่วงระหว่าง -1 ถึง 1 ส่วนผลที่ได้จากการออกแบบวงจรโดยหลักการใช้ทรัพยากรร่วมกันนั้น ผู้วิจัยได้คำนึงถึงความสอดคล้องของการใช้ทรัพยากรต่าง ๆ ตลอดจนถึงวงจรควบคุมลำดับการทำงานของวงจรส่วนข้อมูล ซึ่งอาจทำให้วงจรมีโอกาสเกิดความผิดเพี้ยนจากการปัดเศษได้ โดยเฉพาะอย่างยิ่งกับการใช้การประมวลผลสัญญาณแบบ Fixed-point

2. จากการจำลองข้างต้นเราสามารถนำเอาความรู้ไปใช้ในการเลือกพารามิเตอร์และรูปแบบการประมวลผลที่เหมาะสมสำหรับการสร้างอัลกอริทึมบนตัวประมวลผลสัญญาณแบบดิจิตอลได้ เช่น FPGA ที่มีพื้นที่ค่อนข้างจำกัดอาจจะต้องลดจำนวน Tapped delay line หรือจำนวนบิตในการประมวลผลสัญญาณของวงจรกรองแบบปรับตัว ADALINE ลง แม้ว่าประสิทธิภาพในการกำจัดสัญญาณรบกวนของวงจรกรองจะลดลงตามไปด้วย แต่อาจจะยังอยู่ในช่วงที่ยอมรับได้ หรือในการประยุกต์ใช้ในงานบางอย่างที่ต้องการความละเอียดในการประมวลผลสัญญาณสูง อาจจะเพิ่มจำนวน Tapped delay line หรือจำนวนบิตในการประมวลผลสัญญาณขึ้น แม้ว่าเวลาที่ใช้ในการประมวลผลสัญญาณของวงจรกรองจะเพิ่มขึ้นตามไปด้วย โดยการใช้งานของวงจรโดยร่วมไม่ส่งผลกระทบต่อตัวประมวลผลและประสิทธิภาพในการกำจัดสัญญาณรบกวนของวงจรกรอง สำหรับเวลาที่ใช้ในการประมวลสัญญาณไฟฟ้าของกล้ามเนื้อลายนั้น มีอัตราการสุ่มสัญญาณที่เหมาะสมที่สุดเท่ากับ 1 kHz ดังนั้นเวลาในการประมวลสัญญาณคือ 1 ms ต่อ 1 จุดสัญญาณ ซึ่งค่าดังกล่าวผู้วิจัยได้นำมาใช้ในการวิจัยครั้งนี้ด้วย

# บรรณานุกรม


[1] โสภาพรรณ สุวรรณสว่าง, พรชัย พฤกษ์ภัทรานนต์, ณัฏฐา จินดาเพ็ชร์, คณดิถ เจษฎ์พัฒนานนท์, และ ชูศักดิ์ ลิ่มสกุล, “การวิเคราะห์พารามิเตอร์ของระบบลดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณไฟฟ้ากล้ามเนื้อลายโดยการใช้วงจรกรองโครงข่ายประสาทเชิงเส้นแบบปรับตัว,” การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 29, 2549, หน้า 985-988.

[2] รักกฤตว์ ดวงสร้อยทอง, “การประยุกต์ใช้โครงข่ายประสาทเพื่อลดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณ SEP และสัญญาณไฟฟ้าของกล้ามเนื้อลาย,” วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต, สาขาวิศวกรรมไฟฟ้า, คณะวิศวกรรมศาสตร์, มหาวิทยาลัยสงขลานครินทร์, 2544.

[3] สัญญา ผาสุก, “การประยุกต์ใช้ไมโครคอนโทรลเลอร์เป็นโครงข่ายประสาทเพื่อลดสัญญาณสัญญาณรบกวน,” วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต, สาขาวิศวกรรมไฟฟ้า, คณะวิศวกรรมศาสตร์, มหาวิทยาลัยสงขลานครินทร์, 2549.

[4] โสภาพรรณ สุวรรณสว่าง, “การประยุกต์ใช้ตัวประมวลผลสัญญาณดิจิตอลสำหรับการลดสัญญาณรบกวนและการตรวจจับจุดกลืนจากสัญญาณไฟฟ้าของกล้ามเนื้อลาย,” วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต, สาขาวิศวกรรมไฟฟ้า, คณะวิศวกรรมศาสตร์, มหาวิทยาลัยสงขลานครินทร์, 2550.

[5] วุฒิ วิริยะสม, ณัฏฐา จินดาเพ็ชร์, พรชัย พฤกษ์ภัทรานนต์, “การออกแบบวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกันในไปป์ไลน์ละเอียด,” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 29, 2549, หน้า 1037-1040.

[6] วุฒิ วิริยะสม, “การออกแบบหน่วยประมวลผลคณิตศาสตร์ความเร็วสูงสำหรับวงจรกรองปรับตัวบน FPGAs,” วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต, สาขาวิศวกรรมไฟฟ้า, คณะวิศวกรรมศาสตร์, มหาวิทยาลัยสงขลานครินทร์, 2550.

[7] N. Jindapetch, P. Phukpattaranont, and K. Thongnoo, “Design of an ADALINE Adaptive Filter Based Noise Cancellation Based on Fine-grained Pipelines,” *The 23rd International Technical Conference on Circuit/Systems, computer and Communications (ITC-CSCC 2008)*, pp. 581-584, 2008.

[8] R. Romos, A.Manuel, G.Olivar, E.Trullols and J. Del Rio, “Application by means of FPGA of and adaptive canceller 50 Hz interference in electrocardiography” *IEEE Instrumentation and Measurement Technology Conference*, Budapest, Hungary, 21-23, May. 2001, pp. 32-37.

# บรรณานุกรม(ต่อ)


[9] M. Stella, D. Begui, M. Russo, “Adaptive Noise Cancellation Based on Neural Network,” *IEEE Software in Telecommunications and Computer Networks,* 2006, pp. 306–309.

[10] S. Behbahani, T. Iran, “Investigation of Adaptive Filtering for Noise Cancellation in ECG signals,” *IEEE Computer and Computational Sciences*, Second International Multi-Symposiums (IMSCCS 2007), on 13-15, Aug. 2007, pp. 144 – 149.

[11] C. A. Duran Villalobos, J. A. Tavares Reyes and J. C. Sanchez Garcia, “Implementation and Analysis of the NLMS Algorithm on TMS320C6713 DSP,” *The 52nd IEEE International Midwest Symposium on, Circuits and Systems, 2009 (MWSCAS '09.)*, 2-5 Aug. 2009, pp. 1091 – 1096.

[12] H. Takekawa, T. Shimamura and S. Jimaa, “An Efficient and Effective Variable Step Size NLMS Algorithm,” *The 42nd IEEE Asilomar Conference on Signals, Systems and Computers,* 26-29 Oct. 2008, pp. 1640 – 1643.

[13] E. S. Chang, and D. D. Gajski, “An Optimal Clock Period Selection Method Based on Slack Minimization Criteria,” *ACM Transactions on Design Automation of Electronic Systems*, Vol.1, No.3, pp.352-370, July 1996.

[14] H. P. Juan, D. D. Gajski and S. Bakshi, “Clock Optimization for High-Performance Pipelined Design,” *Proceedings of Design Automation Conference* (DAC '96.), pp.330-335, 1996.

[15] S. M. Kuo and W. S. Gan, *Digital Signal Processor: Architecture, Implementation, and Applications*, New Jersey: Pearson Prentice Hall, 2005.

[16] ชำนาญ ปัญญาใส และ วัชรากร หนูทอง, “ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล,” กรุงเทพฯ: ซีเอ็ดยูเคชั่น, 2547.

[17] Xilinx Corp, http://www.xilinx.com/, 2008.

# ภาคผนวก

# ภาคผนวก(ก)
# โปรแกรม MATLAB

# โปรแกรม MATLAB

ในการศึกษาเกี่ยวกับการประมวลผลสัญญาณหรือการออกแบบวงจรกรอง เราสามารถใช้โปรแกรม MATLAB เข้ามาช่วยในการแสดงผล โดยจะอธิบายในส่วนของคำสั่งและการแสดงผลดังนี้

## ก-1 การกระทำทางเมตริกซ์ (Matrix operations)

การบวนกลบคูณหาร และยกกำลังของเมตริกซ์ สามารถกระทำได้โดยใช้สัญลักษณ์เหมือนการกระทำกับค่าสเกลาปกติ ข้อควรระวัง คือ ขนาดของเมตริกซ์ที่มากระทำกันต้องถูกต้องตามกฎของการกระทำนั้น ๆ เช่น ถ้าเอา a*b โดย a และ b เป็นเมตริกซ์ จะได้ว่าจำนวนแถวของ a จะต้องเท่ากับจำนวนคอลัมน์ของ b เสมอ และถ้าเอา a^2 จะต้องใช้ a ที่เป็นเมตริกซ์จัตุรัส (square) เสมอ เป็นต้น

## การกระทำที่เข้าถึงสมาชิกทุกตัวในเมตริกซ์ (Array operations)

สมมติมีเวคเตอร์ (หรือเมตริกซ์) ที่มีขนาดเท่ากัน ดังนี้

```
>> a = [1 2 3]:
>> b = [4 5 6]:
```

และต้องการหาเวกเตอร์ ที่มีสมาชิกเป็นผลคูณของสมาชิกแต่ละตัวที่ตำแหน่งตรงกันของ a กับ b ทำได้โดยใช้เครื่องหมาย .* ดังนี้

```
>> a.*b
ans = [4 10 18]
```

การกระทำกับสมาชิกต่าง ๆ ได้นี้มีประโยชน์มากในการประมวลผลสัญญาณ ซึ่งนอกจาก .* แล้ว ยังมีการกระทำในทำนองนี้อีก คือ

```
>> a./b  เอาสมาชิกแต่ละตัวของ a กับ b มาหารกัน
>> a.^b เอาสมาชิกแต่ละตัวของ a ยกกำลังด้วยสมาชิกแต่ละตัวของ  b
>> a.^3 เอาสมาชิกแต่ละตัวของ a ยกกำลังด้วย 3
>> a+3  เอาสมาชิกแต่ละตัวของ a บวกด้วย 3
>> a-3   เอาสมาชิกแต่ละตัวของ a ลบด้วย 3
```

สังเกตว่า ไม่มีการกระทำ .+ และ .- เพราะ การบวกลบเมตริกซ์เป็นการกระทำกับสมาชิกแต่ละตัวอยู่แล้ว

**ก-2 ฟังค์ชันภายใน MATLAB**

**ก-2.1** ฟังค์ชันภายใน MATLAB มีฟังก์ชันพื้นฐานอยู่มากมาย และก็มีวิธีใช้บอกไว้ด้วยในซอฟท์แวร์ เราสามารถดูว่ามีฟังก์ชันชื่ออะไรอยู่บ้าง และใช้ทำอะไร โดยใช้เมาส์เลือก Help ที่เมนู หรือพิมพ์ help ก็ได้ โดยฟังก์ชั่นต่าง ๆ ได้จัดไว้เป็นหมวดหมู่อย่างดี ในกรณีที่เรารู้ชื่อฟังก์ชันแต่จำวิธีใช้ไม่ได้ ก็สามารถเรียกดูวิธีใช้ได้โดยพิมพ์ help แล้วตามด้วยชื่อฟังก์ชัน เช่น

help plot ขอดูวิธีใช้ฟังก์ชัน plot

ในที่นี้ขอสรุปฟังก์ชันที่สำคัญบางส่วนไว้ ดังต่อไปนี้ (ให้ดูวิธีใช้โดยละเอียดจาก help)

**<u>ฟังก์ชันเกี่ยวกับการสร้างเมตริกซ์</u>**

| | |
|---|---|
| >> zeros(n.m) | ให้เมตริกซ์ที่มีสมาชิกเป็น 0 หมด ขนาด n x m |
| >> ones(n.m) | ให้เมตริกซ์ที่มีสมาชิกเป็น 1 หมด ขนาด n x m |
| >> eye(n) | ให้เมตริกซ์ identity ขนาด n x n |
| >> rand(n.m) | ให้เมตริกซ์มีค่าแรนดอม 0 ถึง 1 ขนาด n x m |
| >> randn(n.m) | ให้เมตริกซ์มีค่าแรนดอมแบบเกาส์เซียน ขนาด n x m |

**<u>ฟังก์ชั่นของเวคเตอร์</u>**

| | |
|---|---|
| max (หาค่ามากที่สุด) | median (หาค่ากลาง) |
| mean (หาค่าเฉลี่ย) | sort (เรียงลำดับค่าจากน้อยไปมาก) |
| sum (หาผลรวม) | length (หาจำนวนสมาชิก) |
| min (หาค่าน้อยที่สุด) | std (หาค่าเบี่ยงเบนมาตรฐาน) |

**<u>ฟังก์ชั่นของเมตริกซ์</u>**

Size (หาขนาด)

eig (หาค่า eigen)

det (หาค่า determinant)

นอกจากฟังก์ชั่นดังกล่าวแล้ว ภายใน MATLAB ยังมีฟังก์ชั่นที่เป็นชุดฟังก์ชั่นพิเศษเช่น DSP Toolbox หรือ Signal Processing Toolbox ซึ่งฟังก์ชั่นเหล่านี้เกี่ยวข้องกับการประมวลผลสัญญาณทั้งในการวิเคราะห์ และการออกแบบวงจร ในที่นี้ขอยกตัวอย่างฟังก์ชั่นที่สำคัญซึ่งสำหรับใช้ในการประมวลผลสัญญาณขั้นพื้นฐาน

**ฟังก์ชั่นสำหรับคำนวณ และวิเคราะห์ตัวกรอง**

| | |
|---|---|
| Sinc | ฟังก์ชั่นซิงค์ |
| conv | คอนโวลูชัน |
| fiftfilt | คอนโวลูชันแบบเร็วโดยวิธี overlap-add |
| filter | ตัวกรองดิจิตอล |
| freqz | วาดผลตอบสนองเชิงความถี่ของระบบ |
| grpdelay | หาความเร็วกลุ่มของระบบ |
| impz | หาผลตอบสนองต่ออิมพัลส์ของระบบ |
| unwrap | ปรับเวคเตอร์ที่เป็นค่าเฟสที่ถูกจำกัดอยู่ในช่วง –pi ถึง pi ให้ขยายออกนอกย่านนี้ได้ |
| zplane | วาดแผนภาพโพล(pole)/ศูนย์(zero) |

**ฟังก์ชั่นการแปลง**

| | |
|---|---|
| fft | การแปลง FFT |
| fitshift | สลับผลตอบครึ่งบนของ FFT มาเป็นครึ่งล่าง |
| hilbert | การแปลง Hilbert |
| ifft | การแปลง FFT ผกผัน |
| psd | หา Power Spectral Density |
| xcorr | หา Cross-correlation |
| specgram | หา Spectrogram |
| bilinear | การแปลง Bilinear |

**ฟังก์ชั่นรูปแบบการแปลงค่าตัวเลข**

| | |
|---|---|
| fi | แปลงค่าให้อยู่ในรูปแบบของ Fix-point Q-format |
| hex | แปลงค่าเป็นเลขฐานสิบหก |
| quantizer[ ] | กำหนดรูปแบบของตัวเลข |
| bin2num | แปลงเลขฐานสองเป็นเลขฐานสิบ |
| hex2num | แปลงเลขฐานสิบหกเป็นฐานสิบ |
| num2bin | แปลงเลขฐานสิบเป็นเลขฐานสอง |
| num2hex | แปลงฐานสิบเป็นเลขฐานสิบหก |

**ก-2.2** คำสั่งเกี่ยวกับการวนลูปและเปรียบเทียบ MATLAB มีคำสั่งสำหรับการวนลูป และเปรียบเทียบเช่นเดียวกับภาษาสูงทั่ว ๆ ไป คำสั่งเหล่านี้มีประโยชน์มากในการเขียนในโปรแกรมสคริปต์ ซึ่งได้แก่

คำสั่ง if มีรูปแบบการใช้ คือ

```
If <เงื่อนไข>
   <คำสั่ง>
elseif <เงื่อนไข>                (elseif จะมีหลายครั้งก็ได้)
        <คำสั่ง>
else
        <คำสั่ง>
end
```

<เงื่อนไข> คือ ประโยชน์ที่เปรียบเทียบเพื่อให้ค่า 0 ถ้าเป็นเท็จ และให้ค่า 1 ถ้าเป็นจริง เช่น

```
If  a = = b& ok                   ถ้า a เท่ากับ b และ ok เท่ากับ 1
     a = a+1;                     ให้เพิ่มค่า a ขึ้นหนึ่ง
else                              ถ้าไม่เช่นนั้น
     a = a-1;                     ให้ลดค่า a ลงหนึ่ง
end
```

คำสั่ง while มีรูปแบบการใช้คือ

```
While  <เงื่อนไข>
 <คำสั่ง>
end
```

เช่น

```
I = 10; a=1;
While i>1
A = a*I;
i = i-1;
end
```

โปรแกรมนี้จะหาค่าสุดท้ายของ a เป็น 10! (10 แฟคทอเรียล) ซึ่งเท่ากับ 10*9*8  1

คำสั่ง for มีรูปแบบการใช้คือ

```
For  ตัวแปรลูป = ค่าด้าน: ค่าที่เพิ่ม: ค่าสุดท้าย
<คำสั่ง>
end
```

เช่น

```
a=1;
For i=1;10
a = a*i;
end
```

เช่นเดียวกัน โปรแกรมนี้จะหาค่า 10! เช่นกัน ขอสังเกตความแตกต่างจากการใช้ while โดยปกติถ้าเรารู้ค่าเริ่มต้น และค่าสิ้นสุดของการวนลูป การใช้ for จะสะดวกกว่า

เทคนิค  ถ้าต้องการหยุดการทำงานของลูป หรือของโปรแกรมขณะที่มันกำลังทำงานอยู่ให้กด ctrl-C

**ก-3 การวาดกราฟ**

กราฟกล่าวได้ว่าเป็นสิ่งที่สำคัญที่สุดในการวิเคราะห์ และแสดงผล สำหรับงานทางวิศวกรรมการวาดกราฟเพื่อนำเสนอผลงานวิจัยหรือการทดลองเป็นเรื่องที่จำเป็นอย่างมาก โปรแกรม MATLAB มีฟังก์ชั่นสำหรับการวาดกราฟได้หลายชนิดทั้งสองมิติและสามมิติ ในที่นี้จะขอแนะนำเฉพาะการวาดกราฟสองมิติเท่านั้น

สมมติว่าเรามีเวกเตอร์ t, x, y ซึ่งเกิดจากฟังก์ชัน gensine ที่เขียนไว้ในหัวข้อเรื่องโปรแกรมฟังก์ชั่น ดังนี้

```
>>[t.s] = gensine (50,1000);
>>[t.y] = gensine (20,1000);
```

เราต้องการวาดกราฟของ x และ y ในรูปเดียวกันโดยมี t เป็นแกนนอน สามารถทำได้ ดังนี้

```
>> plot(t,x)          วาดโดยใช้ t เป็นแกนนอน และ x เป็นแกนตั้ง
>> holp on            ค้างรูปเอาไว้ (การวาดครั้งต่อไป จะวาดซ้อนรูปเดิม)
>> plot(t,y,'-.b')    วาด y โดยคราวนี้ใช้สีน้ำเงิน และเป็นเส้นประขีดสลับจุด
```

| | |
|---|---|
| >> gird | วาดเส้นกริด |
| >> axis([0 0.1 -1.5 1.5]) | ปรับช่วงของการแสดงผลให้แกนนอนอยู่ระหว่าง 0 ถึง 0.1 และแกนตั้งอยู่ระหว่างค่า -1.5 ถึง 1.5 |
| >> xlabel('……') | เขียนคำอธิบายแกนนอน |
| >> ylabel('……') | เขียนคำอธิบายแกนตั้ง |
| >> tltle ('……') | เขียนคำอธิบายบนหัวรู) |
| >> hold off | ยกเลิกการค้างรูป (การวาดครั้งต่อไปจะลบรูปเก่าทิ้งก่อน) |

**สรุป** ว่าคำสั่ง plot ต้องการตัวแปรเข้า 3 ตัว คือ

Plot (เวคเตอร์ของแกนนอน, เวกเตอร์ของการตั้ง, รูปแบบของสีและลายเส้น)

โดยอย่างน้อยเราต้องใส่ค่าเวคเตอร์ของแกนตั้งเสมอ เช่น ลองสั่ง plot(x) ดู จะพบว่า MATLAB ใช้คำว่า 1, 2, 3 เป็นแกนนอน สำหรับรูปแบบของสีและลายเส้นให้ใส่เป็นข้อความภายในเครื่องหมาย '…' โดยอักษรตัวแรกเป็นตัวกำหนดลายเส้น และตัวต่อไปกำหนดสี โดยมีความหมายคือ

**<u>การกำหนดสีของเส้นกราฟ</u>**

| | |
|---|---|
| b สีน้ำเงิน | y สีเหลือง |
| r สีแดง | m สีม่วงแดงเข้ม |
| k สีดำ | c สีฟ้า |
| w สีขาว | g สีเขียว |

**<u>การกำหนดลักษณะของจุดบนเส้นกราฟ</u>**

| | |
|---|---|
| . จุด | x จุดกากบาท |
| * จุดดอกจัน | 0 จุดวงกลม |
| + จุดกากบาท | s สี่เหลี่ยม |
| d สี่เหลี่ยมรูปเพชร | v สี่เหลี่ยมชี้ลง |
| h รูปดาวหกมุม | p รูปดาวห้าแฉก |
| < สามเหลี่ยมชี้ซ้าย | > สามเหลี่ยมชี้ขวา |

**<u>การกำหนดลักษณะของเส้นกราฟ</u>**

- เส้นปกติ, -- เส้นประแบบขีด,

: เส้นประไข่ปลา, -. เส้นประขีดสลับจุด,

การวาดกราฟหลาย ๆ เส้นในรูปเดียวกันนอกจากทำโดยใช้คำสั่ง hold แล้ว ยังสามารถสั่งให้ plot ที่เดียวหลาย ๆ เส้นได้เลย โดยคำสั่งต่อไปนี้ซึ่งมีผลเหมือนข้างต้น

คำสั่งอื่นที่เกี่ยวกับการวาดกราฟที่สำคัญได้แก่

whitebg เปลี่ยนสีพื้นของรูปเป็นสีขาว มีประโยชน์มากถ้าจะพิมพ์รูปออกเครื่องพิมพ์ คำสั่งนี้ครั้งเดียวตอนเปิด Matlab ซึ่งเราอาจใส่ไว้ใน \matlab\bin\startup.m เลยก็ได้

stem ใช้แทน plot สำหรับวาดรูปเป็นจุด และมีขีดแกนตั้งไว้ให้ด้วย

semilogx และ semilogy ใช้แทน plot สำหรับวาดรูปที่แกนนอน หรือตั้งเป็นสเกลล็อก

figure เปิดรูปใหม่ (ในหน้าต่างใหม่)

elf ลบรูปปัจจุบัน

Subplot(n,m,i) หรือ subplot(nmi) แบ่งรูปย่อยในหน้าต่างเดียวกัน ให้มี n x m รูปย่อยและชี้ที่รูปที่ i ตัวอย่างเช่น subplot(121) แบ่งเป็นรูปย่อย 2 รูป โดยชี้ที่รูปที่ 1 และ subplot(122) แบ่งเป็นรูปย่อย 2 รูป โดยชี้ที่รูปที่ 2 ดังแสดงในรูปที่ ค-2 รูปย่อยแต่ละรูปมีการตั้งค่าต่าง ๆ แยกอิสระต่อกันเหมือนเป็นคนละรูป ซึ่งเราต้องใช้คำสั่ง subplot ระบุ หรือใช้เมาส์คลิกที่รูปย่อยหนึ่ง ๆ เพื่อย้ายไปกระทำกับรูปย่อยนั้น

# ภาคผนวก(ข)
# โปรแกรมที่ใช้ในการทดลองบน MATLAB

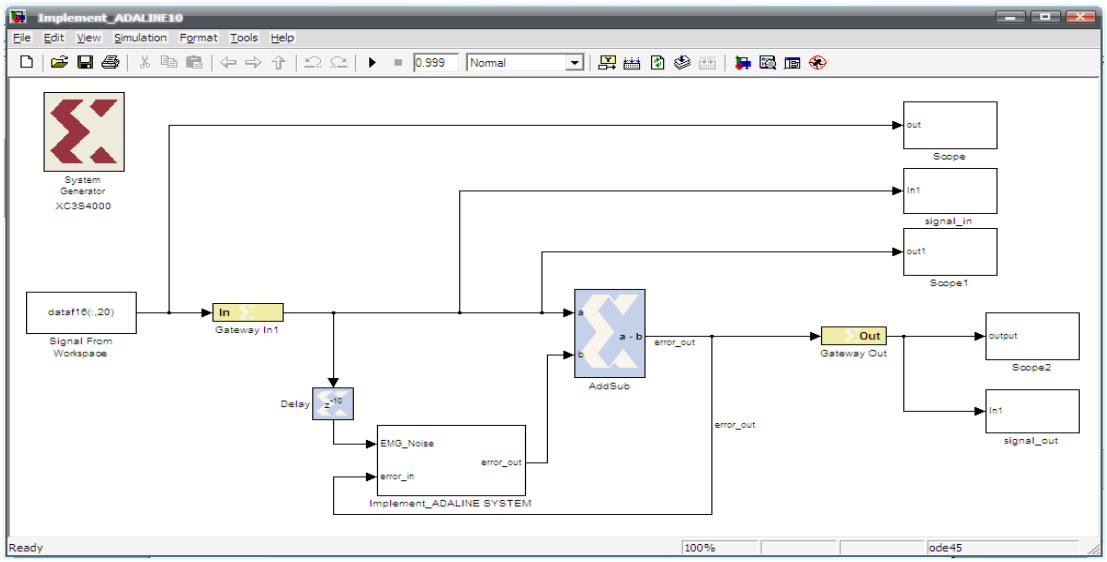
# โปรแกรมที่ใช้ในการทดลองบน MATLAB

## ข-1 โปรแกรม M-file สำหรับการออกแบบวงจร ADALINE

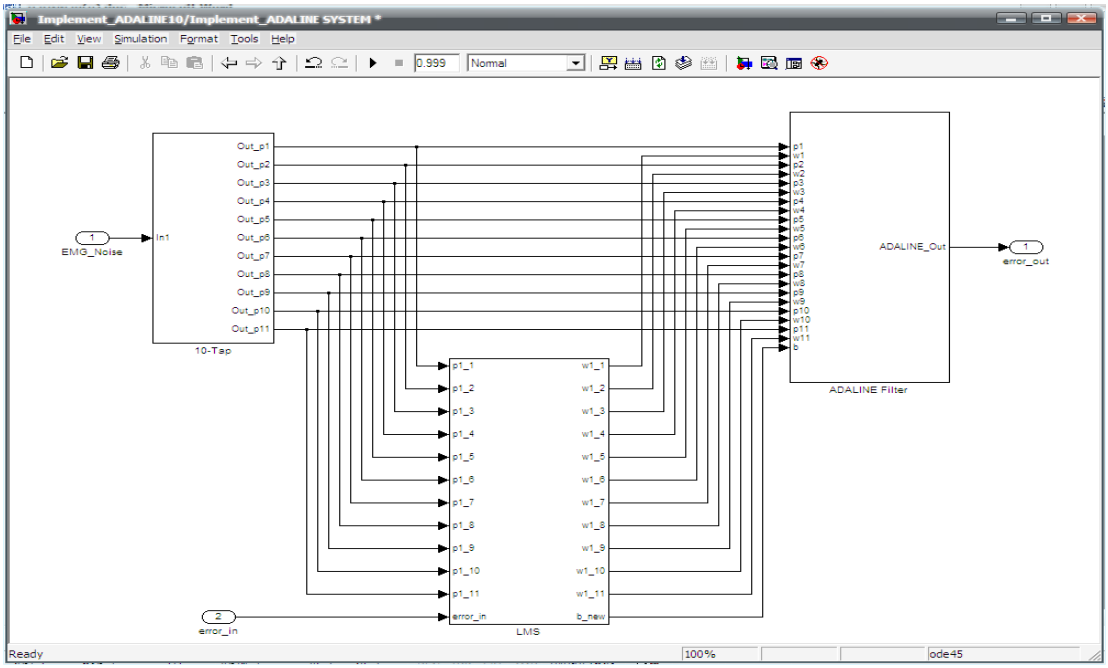
```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%10-Tap=0.0156
%16-Tap=0.0097
%32-Tap=0.0048
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
clear all
load (…);
dataIn=(…);
EMG=(…);
tap=10;
alpha=0.0156;
 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

nu=1;
Delay=10;
[M,N]=size(dataIn);
dataLength=M;
w=0.0*ones(tap,1);
b=0.0;
start=tap+Delay;
conRate=zeros(M,N);
wAll=zeros(tap,1);
emg=zeros(M,N);
dataIn1=zeros(dataLength+tap+Delay,N);
dataIn1(tap+Delay+1:end,:)=dataIn(:,:);
```

```
tic;
for k=1:N
   for n=start+1:dataLength+tap+Delay
      sn0=dataIn1(:,k);
      p=sn0(n-Delay:-1:n-Delay-tap+1,1);
      a=p'*w+b;
      e=sn0(n,1)-a;
      w=nu*w+alpha*e*p;
      b=nu*b+alpha*e;
      wT(:,n-start)=w;
      bT(n-start,1)=b;
      eT(n-start,1)=e;
      aT(n-start,1)=a;
   end
```

## ข-2 การออกแบบวงจรโดยใช้ MATLAB SIMULINK ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox

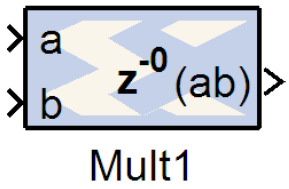



ภาพประกอบ ข-1 การออกแบบวงจรกรอง ADALINE โดยใช้ MATLAB SIMULINK ร่วมกับโปรแกรม Xilinx Accel DSP Toolbox

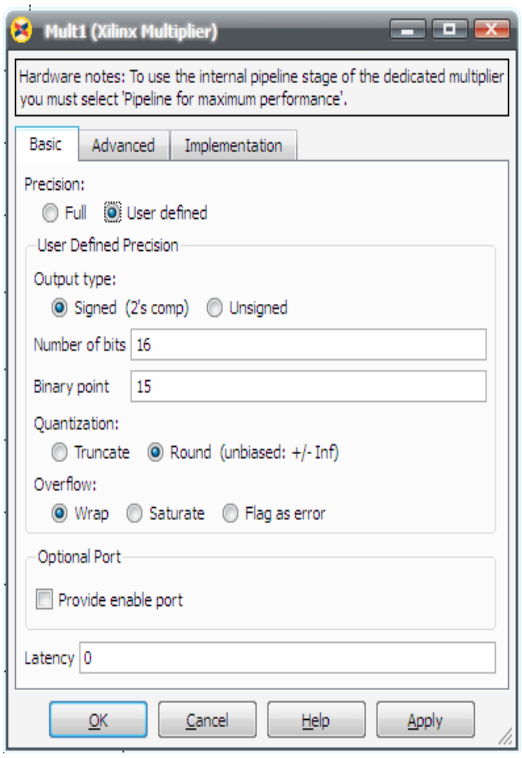



ภาพประกอบ ข-2 โครงสร้างของวงจรกรอง ADALINE

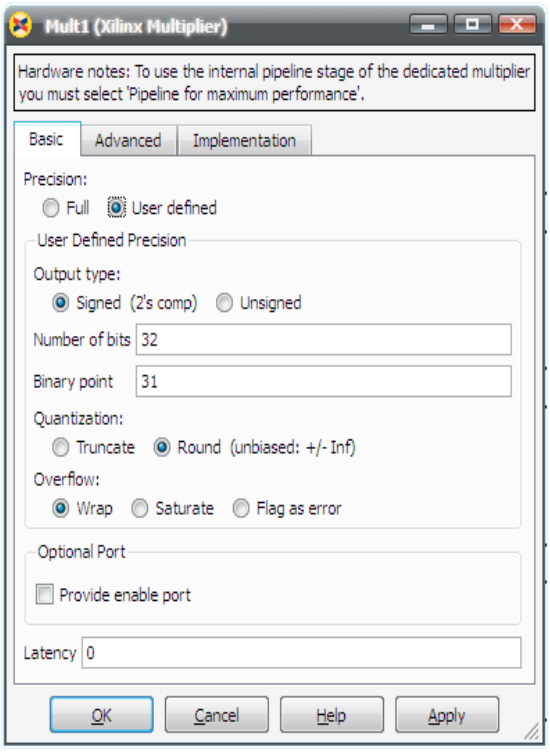
## ข-2.1 การตั้งค่าวงจรคูณแบบ Fix-point Q0.15 บน Xilinx Accel DSP Toolbox




ภาพประกอบ ข-3 วงจรคูณแบบ Fix-point

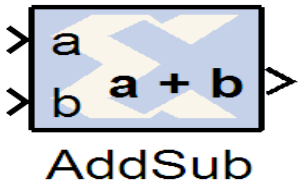



ภาพประกอบ ข-4 การตั้งค่าวงจรคูณ 16 บิต Fix-point รูปแบบ Q0.15

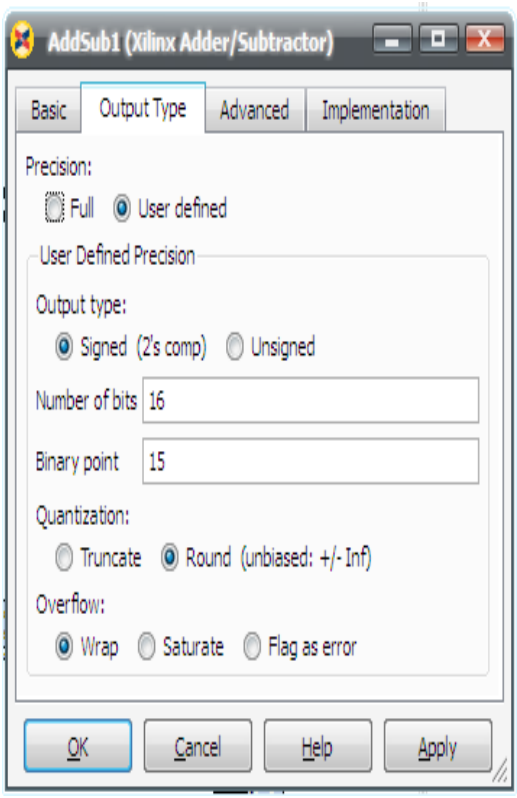



ภาพประกอบ ข-5 การตั้งค่าวงจรคูณ 32 บิต Fix-point รูปแบบ Q0.31

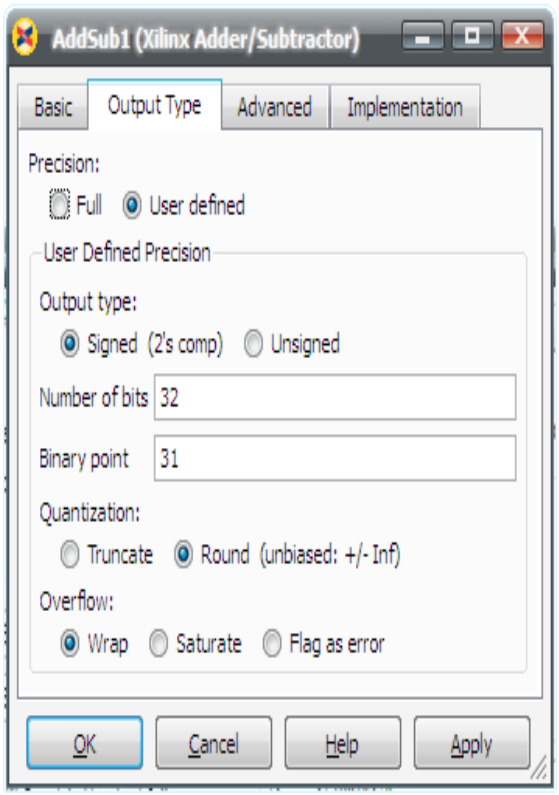
**ข-2.2 การตั้งค่าวงจรบวก 16 บิต Fix-point รูปแบบ Q0.15 บน Xilinx Accel DSP Toolbox**




ภาพประกอบ ข-6 วงจรบวกแบบ Fix-point

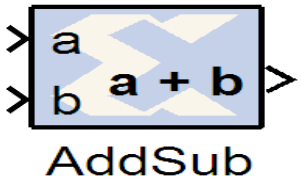



ภาพประกอบ ข-7 การตั้งค่าวงจรบวก 16 บิต Fix-point รูปแบบ Q0.15

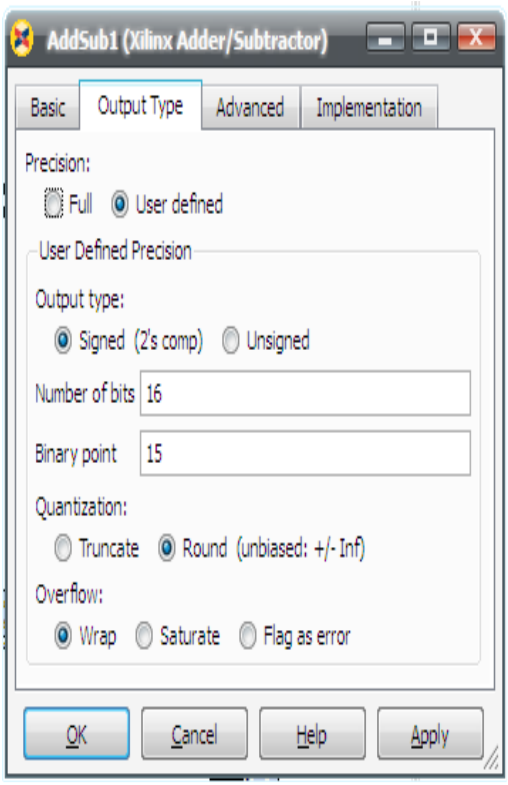



ภาพประกอบ ข-8 การตั้งค่าวงจรบวก 32 บิต Fix-point รูปแบบ Q0.31

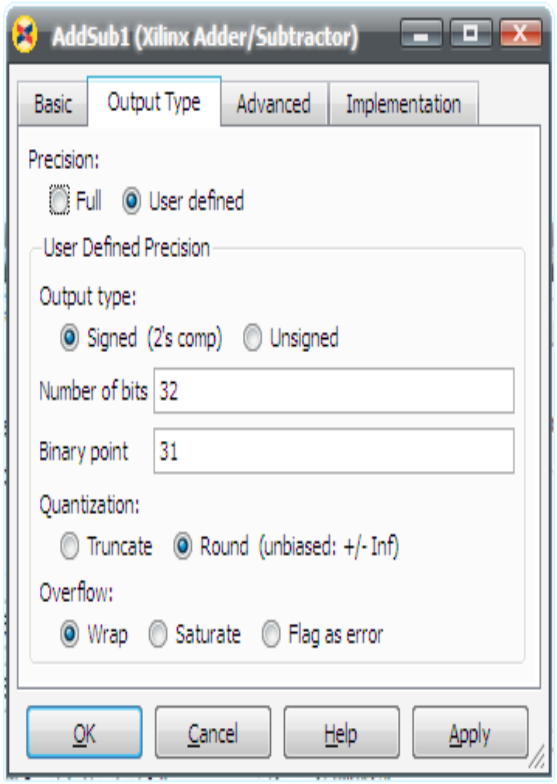
**ข-2.3 การตั้งค่าวงจรลบ 16 บิต Fix-point รูปแบบ Q0.15 บน Xilinx Accel DSP Toolbox**



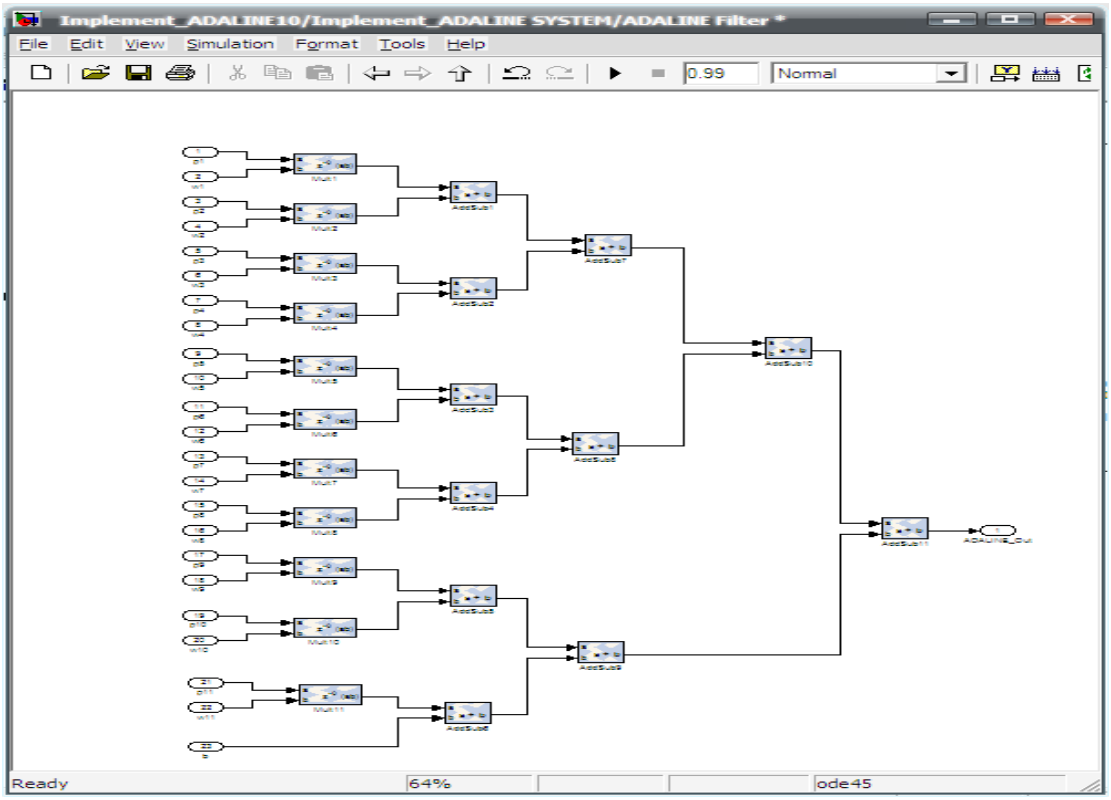

ภาพประกอบ ข-9 วงจรลบแบบ Fix-point



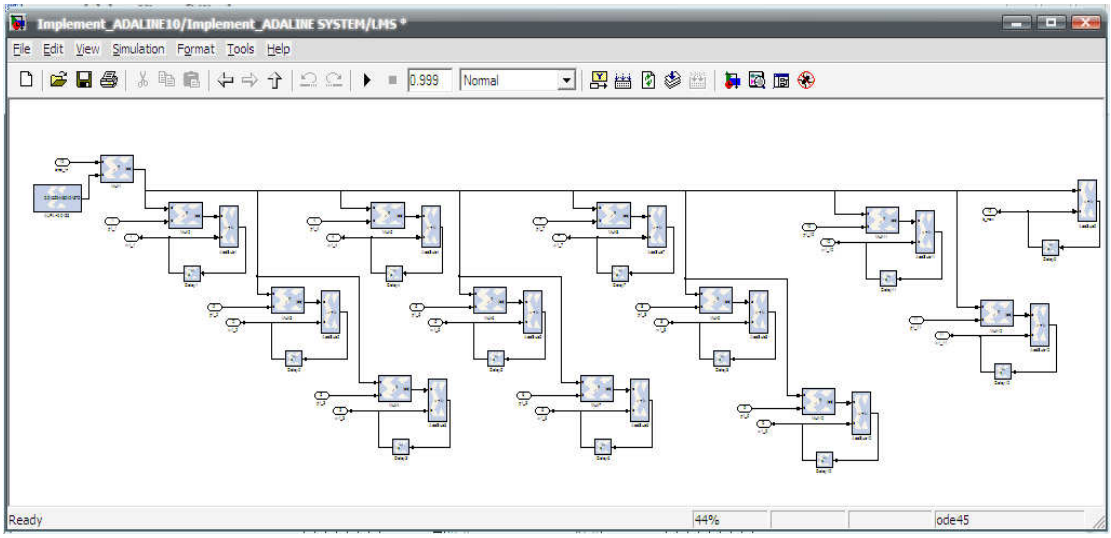

ภาพประกอบ ข-10 การตั้งค่าวงจรลบ 16 บิต Fix-point รูปแบบ Q0.15




ภาพประกอบ ข-11 การตั้งค่าวงจรลบ 32 บิต Fix-point รูปแบบ Q0.31

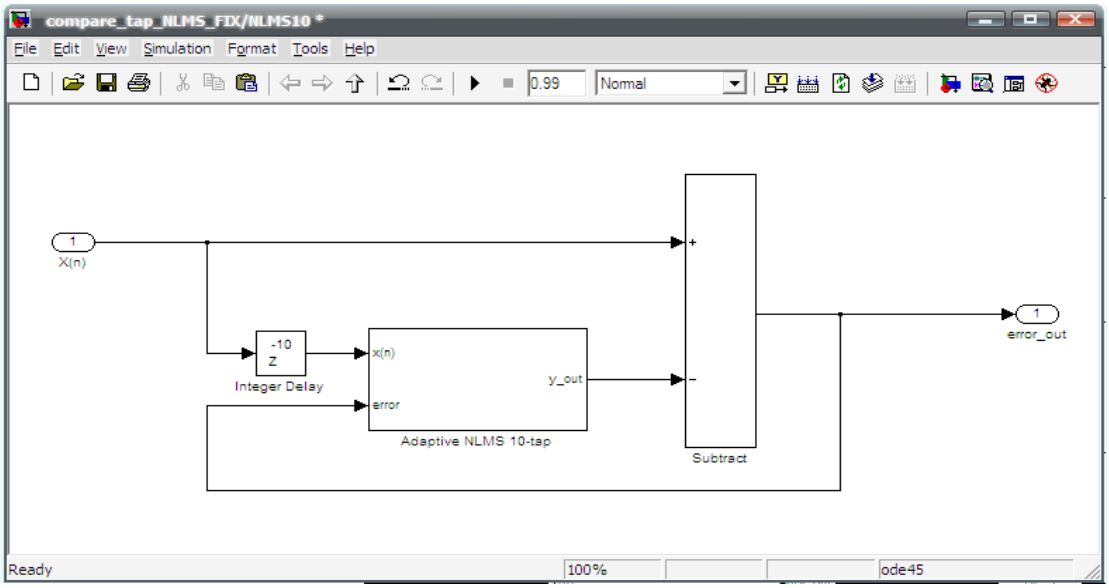



ภาพประกอบ ข-12 โครงสร้างของโครงข่าย ADALINE

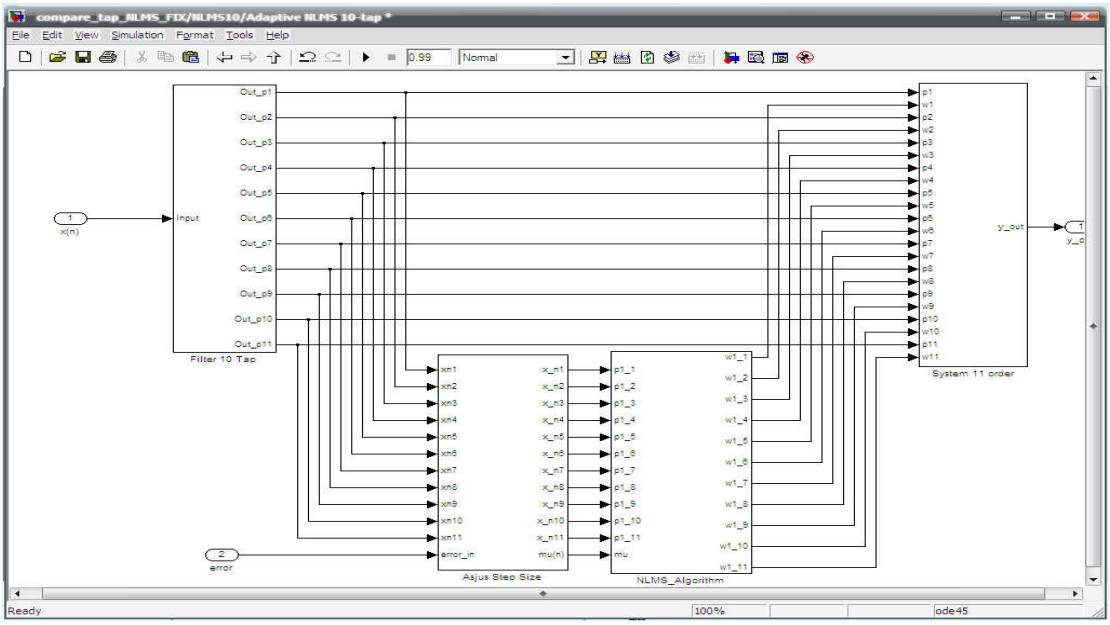



ภาพประกอบ ข-13 โครงสร้างของวงจรปรับค่าน้ำหนักและค่าไบอัสของวงจรกรอง ADALINE

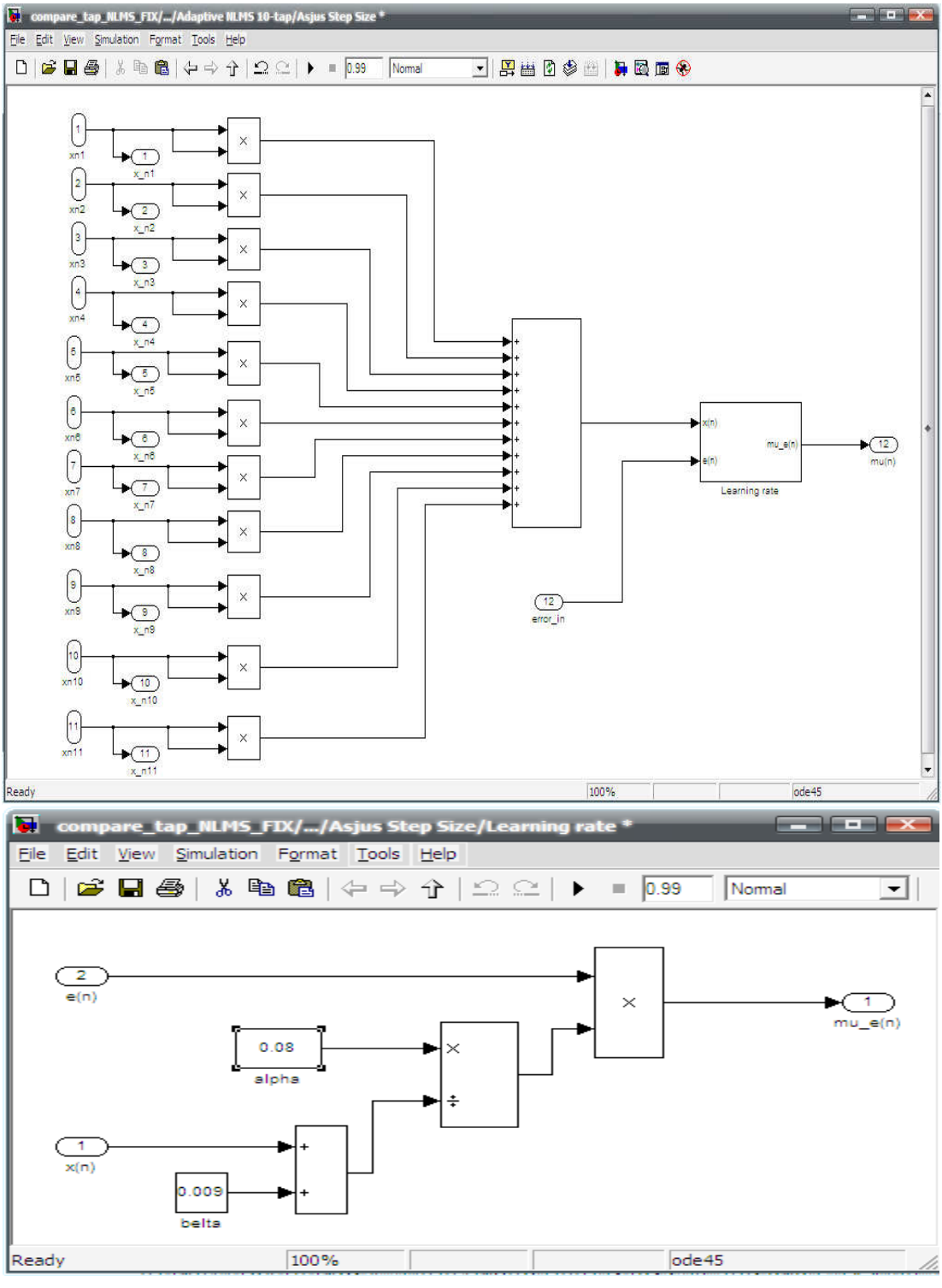
## ข-3 การออกแบบวงจรกรอง NLMS โดยใช้ MATLAB SIMULINK



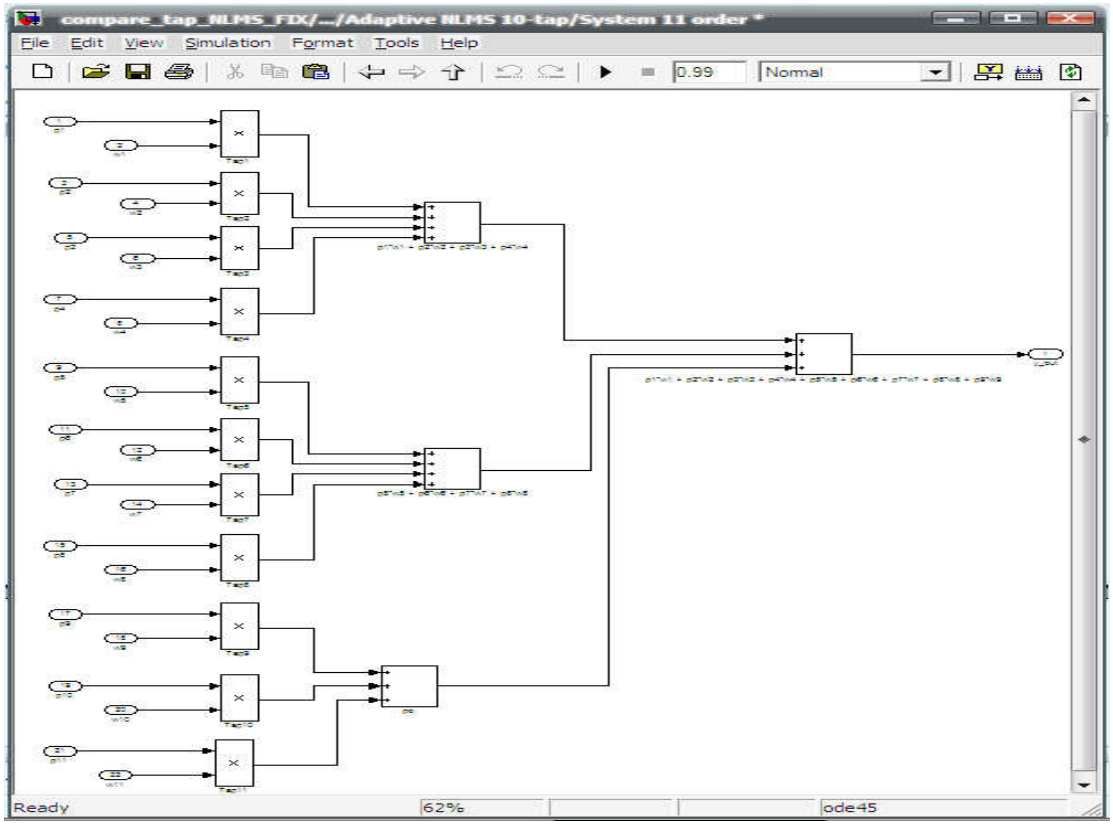

ภาพประกอบ ข-14 การออกแบบวงจรกรอง NLMS โดยใช้ MATLAB SIMULINK



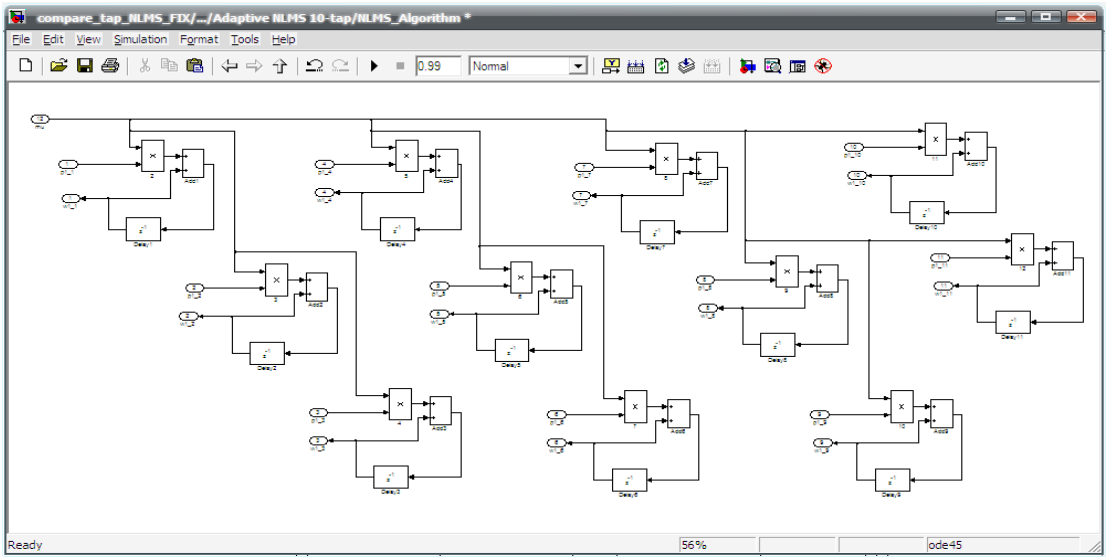

ภาพประกอบ ข-15 โครงสร้างของการออกแบบวงจรกรอง NLMS




ภาพประกอบ ข-16 โครงสร้างของวงจรปรับค่าอัตราการเรียนรู้ของวงจรกรอง NLMS




ภาพประกอบ ข-17 โครงสร้างของวงจรกรอง NLMS




ภาพประกอบ ข-18 โครงสร้างของวงจรปรับค่าน้ำหนักของวงจรกรอง NLMS

# ภาคผนวก(ค)

# โปรแกรมและกราฟแสดงค่า Correlation coefficient และค่า Normalized Mean Square Error (NMSE) ที่ได้จากการทดลอง

# โปรแกรมและกราฟแสดงค่า Correlation coefficient และค่า Normalized Mean Square Error (NMSE) ที่ได้จากการทดลอง

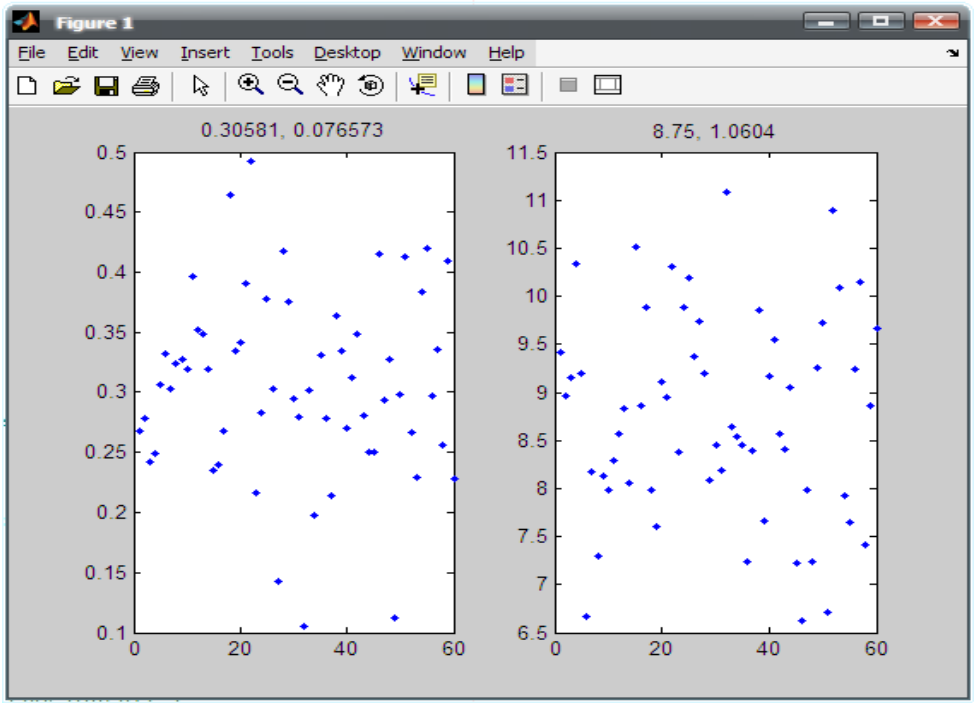
**ค-1 M-file สำหรับการคำนวณหาค่า Correlation coefficient และค่า Normalized Mean Square Error, NMSE ของวงจรต่างๆ ที่ใช้ในการทดลอง**

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
toc;
EMG=….;%Signal Estimation
emg=….;%Signal output/error signal
 mseAvg=10*log10(mean(conRate,2));
corA=zeros(N,1);
mseA=zeros(N,1);

for k=1:N
   aux=corrcoef(emg(501:end,k),EMG(501:end,k));
   corA(k,1)=aux(1,2);
   mseA(k,1)=(((emg(501:end,k)-EMG(501:end,k))')*(emg(501:end,k)-
EMG(501:end,k)))/sum(EMG(501:end,k).^2);
end

figure;
subplot(121); plot([corA],'.');
title([num2str(mean(corA)) ', ' num2str(std(corA))]);
subplot(122); plot([mseA],'.');
title([num2str(mean(mseA)) ', ' num2str(std(mseA))]);
```

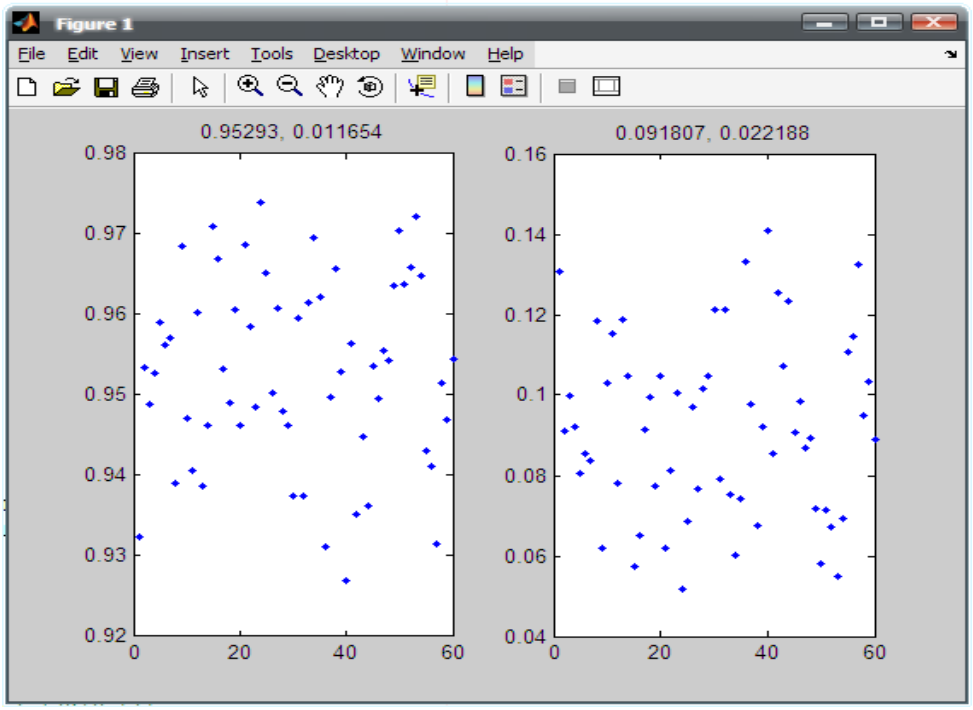
**ค-2 ตัวอย่างกราฟที่ได้จากการใช้โปรแกรมข้างต้นที่ใช้ในการวิจัยครั้งนี้**

จากกราฟที่แสดงดังต่อไปนี้เป็นการแสดงค่าค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient) และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) ของการวิจัยครั้งนี้ ซึ่งมีความหมายดังนี้

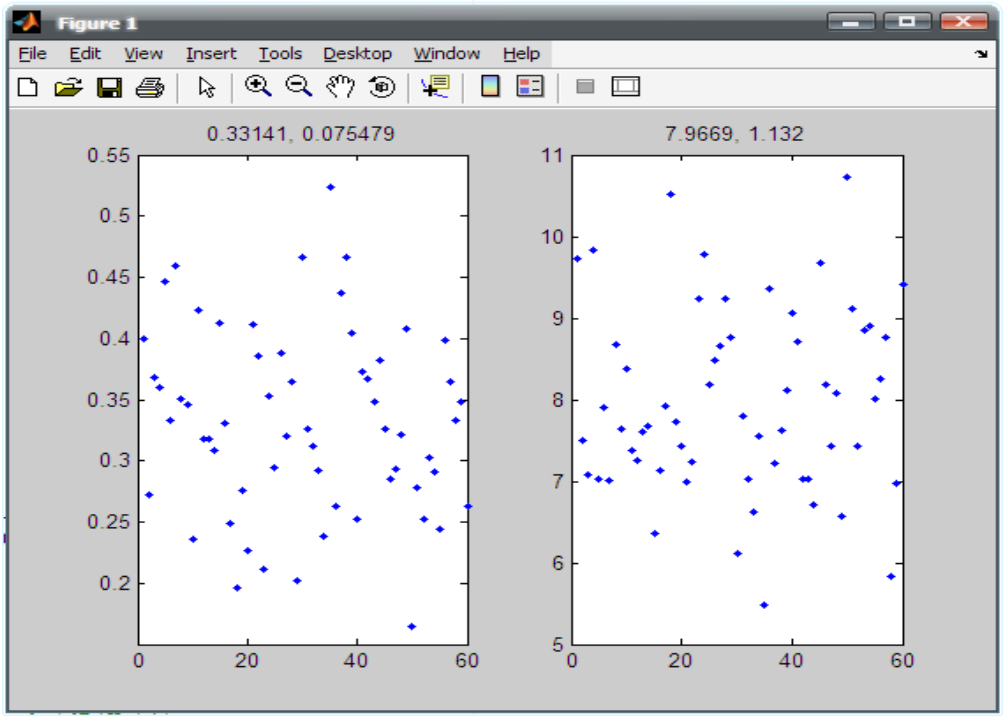
| | |
|---|---|
| SNNOxx | คือ ผลที่ได้จากวงจรกรองแบบน็อตซ์ โดยที่ xx คือค่าของสัญญาณรบกวนที่ค่า (Hz) ต่างๆ |
| SNAxx_yy | คือ ผลที่ได้จากวงจรกรองปรับตัว ADALINE โดยที่ xx คือค่าของสัญญาณรบกวนที่ค่า (Hz) ต่างๆ และ yy คือจำนวนของ Tapped Delay Line |
| SNNxx_yy | คือ ผลที่ได้จากวงจรกรองปรับตัวแบบ NLMS โดยที่ xx คือค่าของสัญญาณรบกวนที่ค่า (Hz) ต่างๆ และ yy คือจำนวนของ Tapped Delay Line |
| Fqq_yy | คือ ผลที่ได้จากวงจรกรองปรับตัว ADALINE โดยที่ qq คือขนาดจำนวนบิตของรูปแบบการประมวลผลแบบ Fixed-point และ yy คือจำนวนของ Tapped Delay Line |



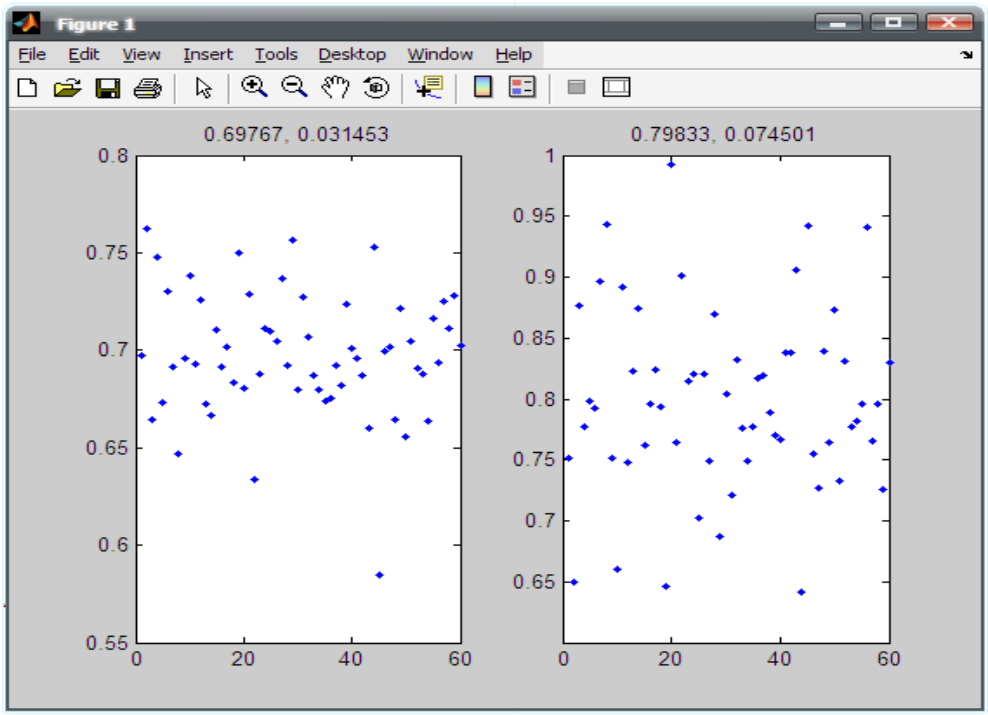

ภาพประกอบ ค-1 SNNO49



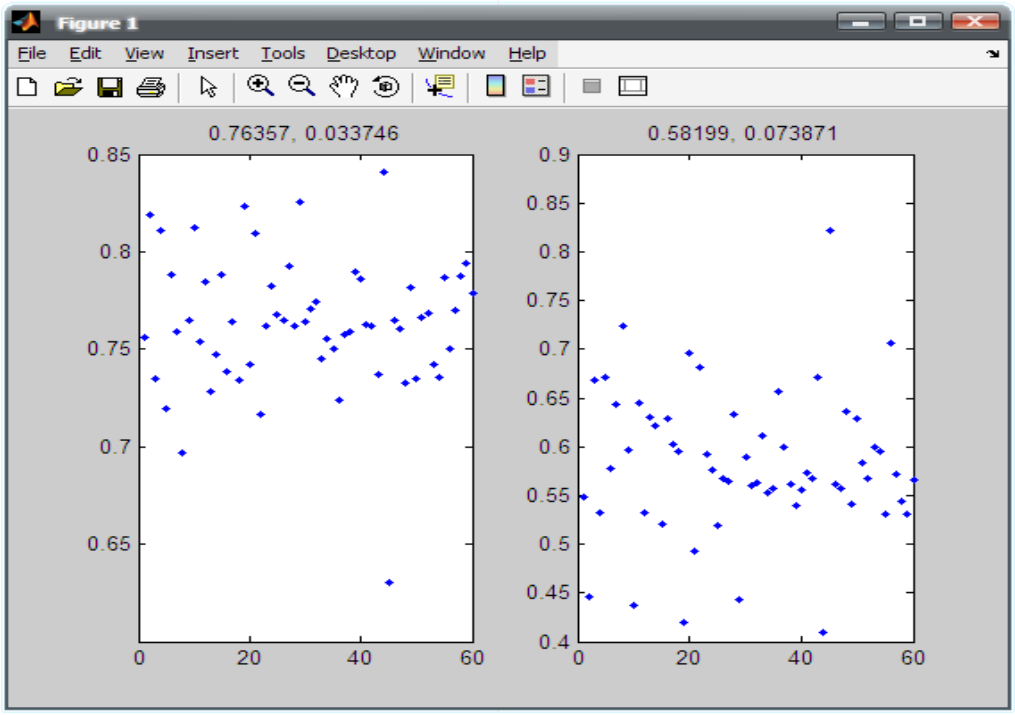

ภาพประกอบ ค-2 SNNO50



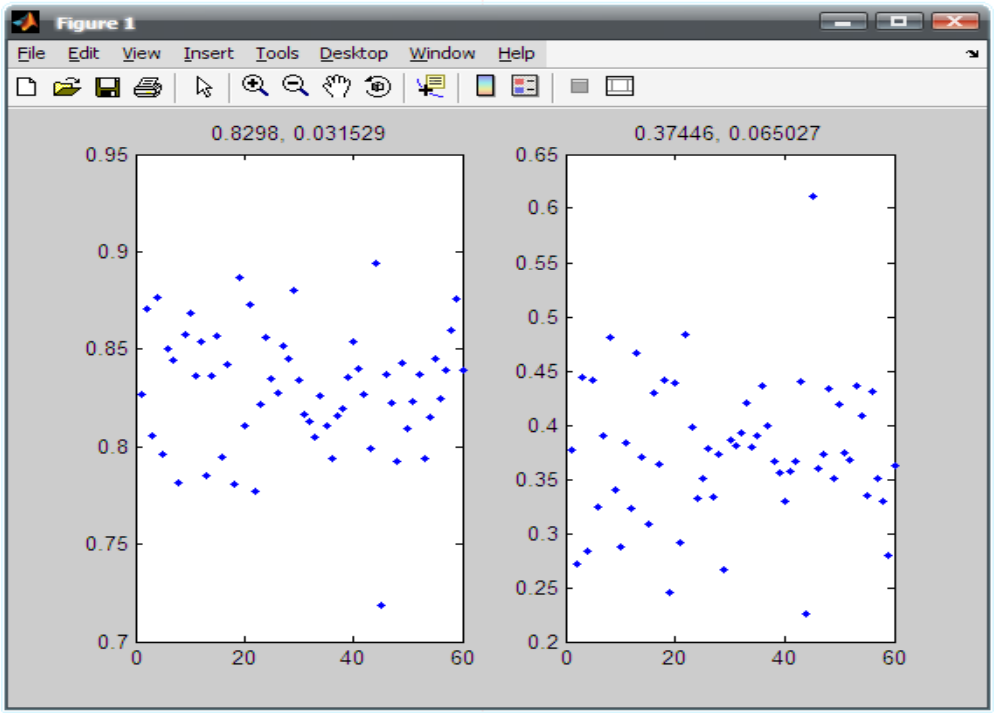

ภาพประกอบ ค-3 SNNO51



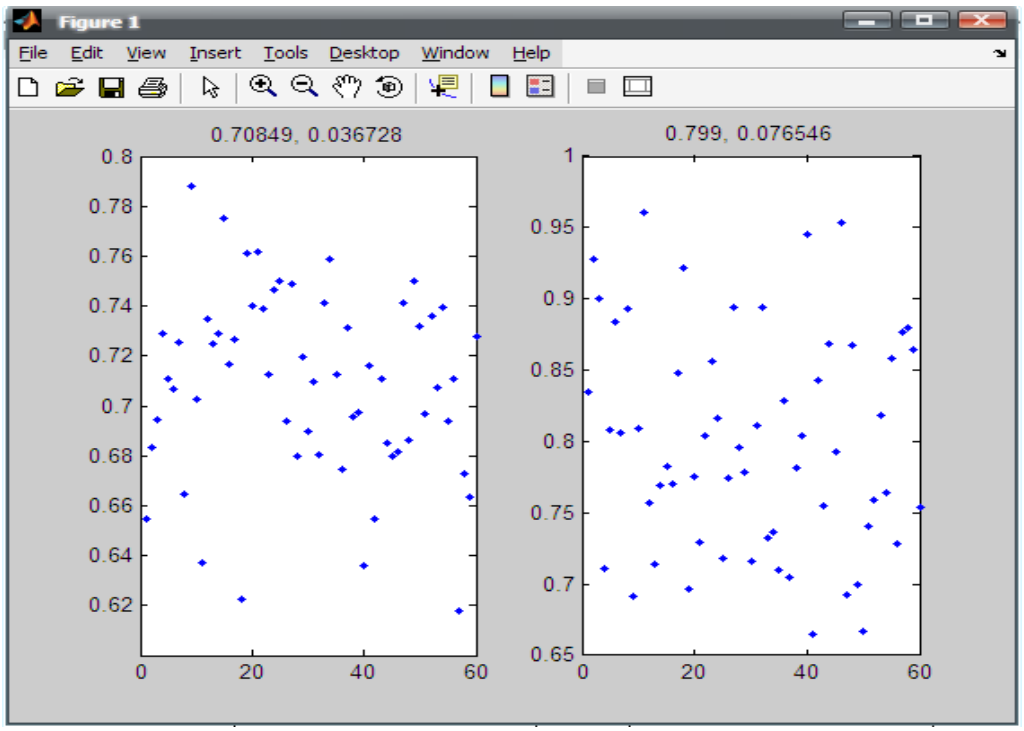

ภาพประกอบ ค-4 SNA49_10



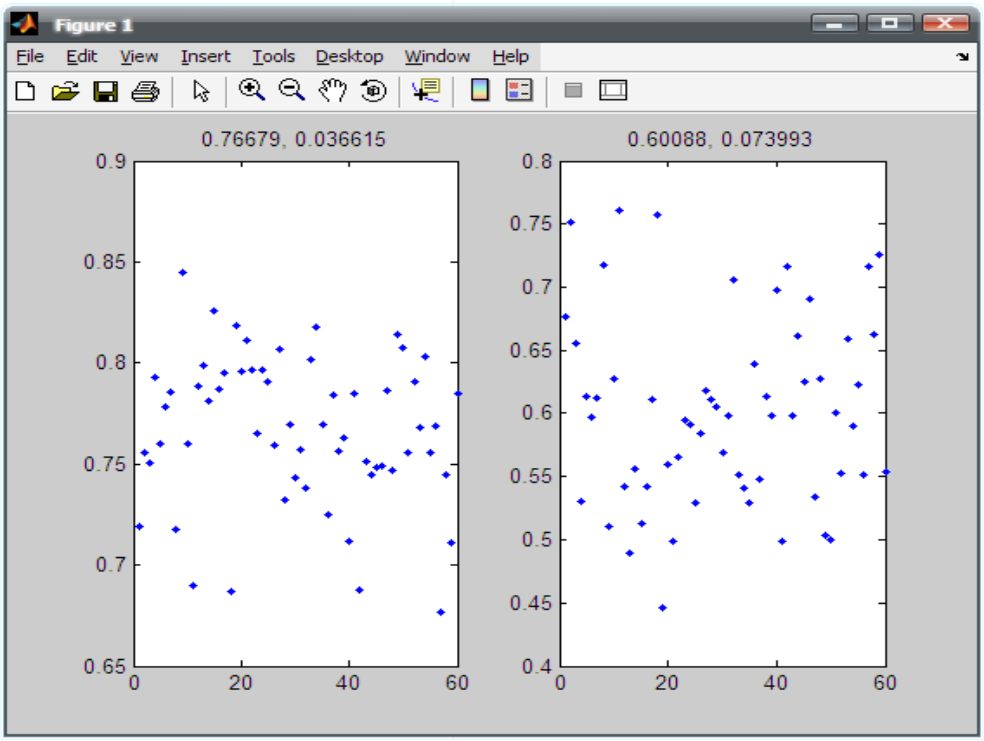

ภาพประกอบ ค-5 SNA49_16



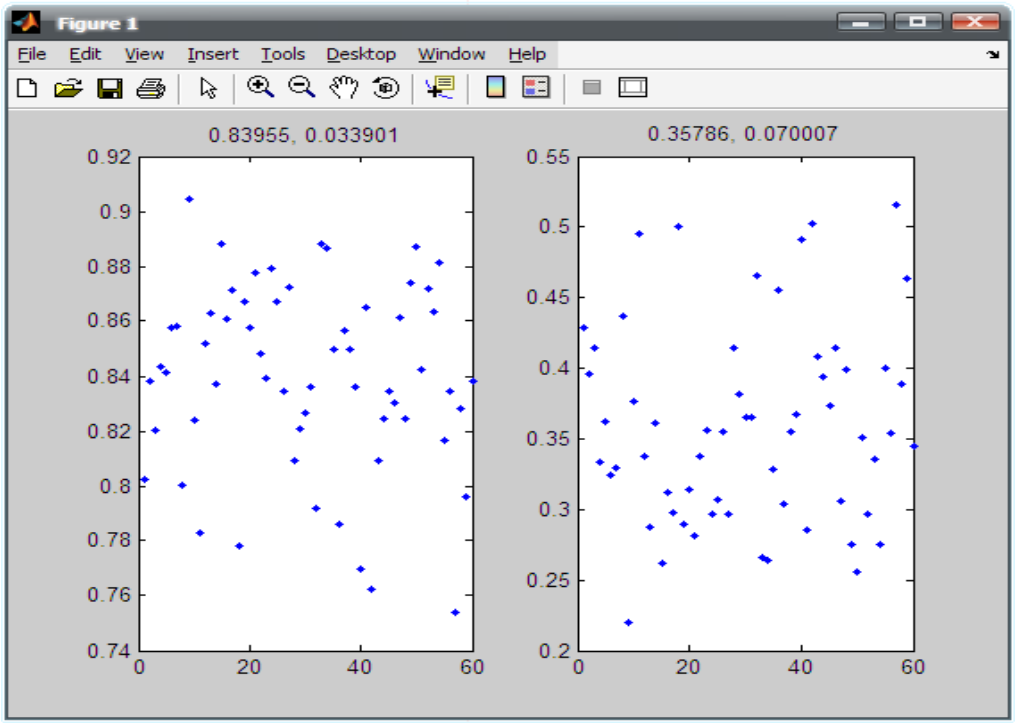

ภาพประกอบ ค-6 SNA49_32



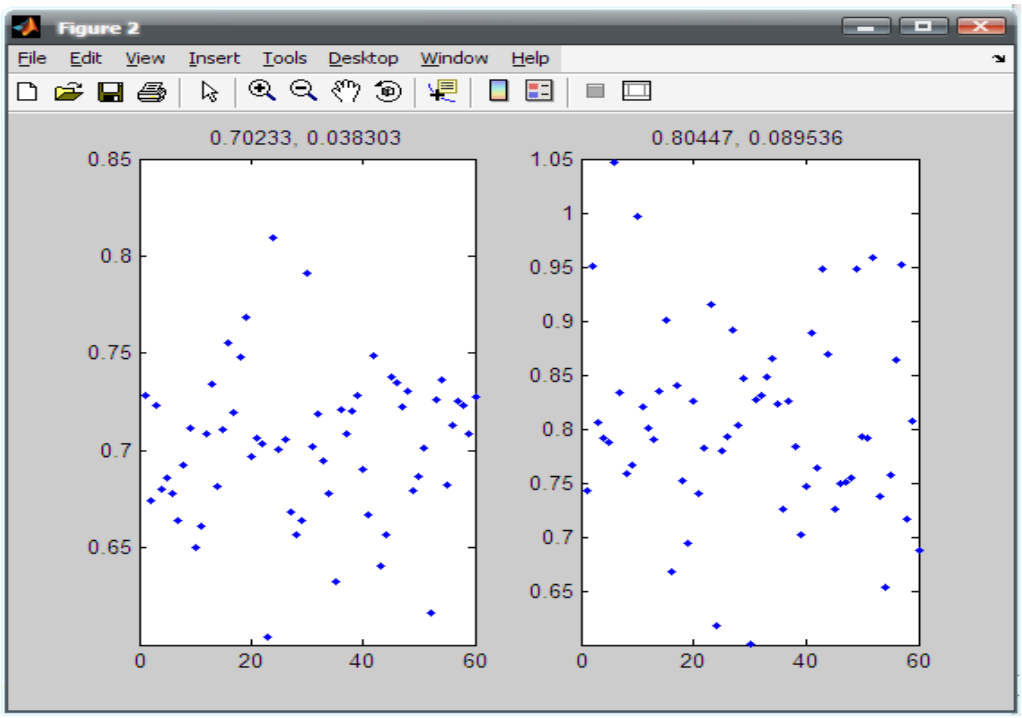

ภาพประกอบ ค-7 SNA50_10



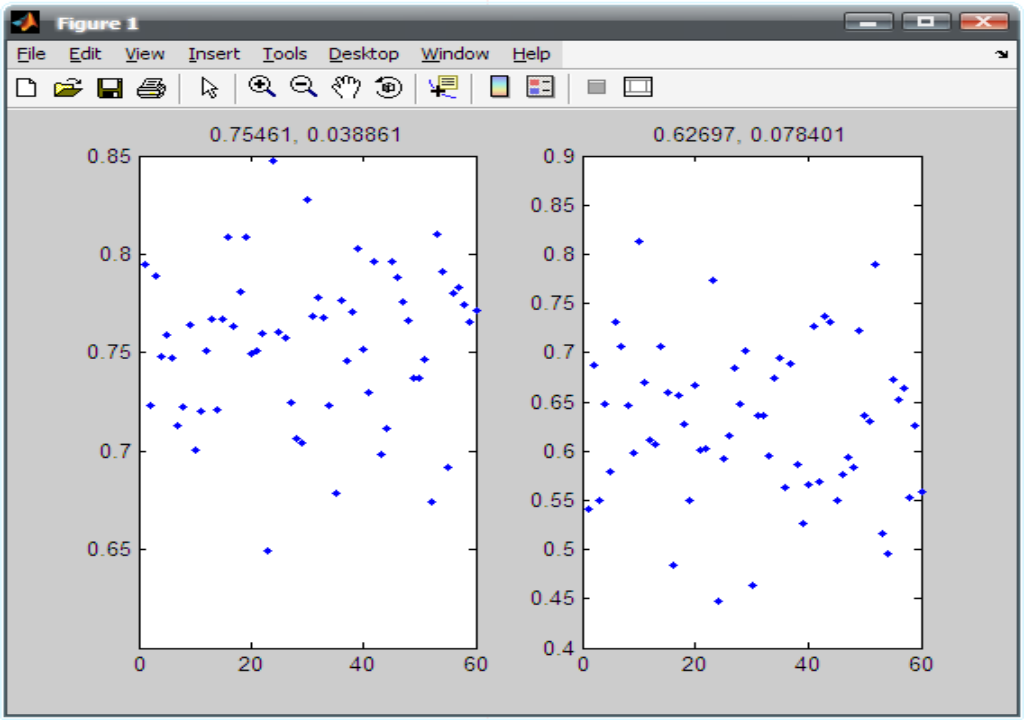

ภาพประกอบ ค-8 SNA50_16



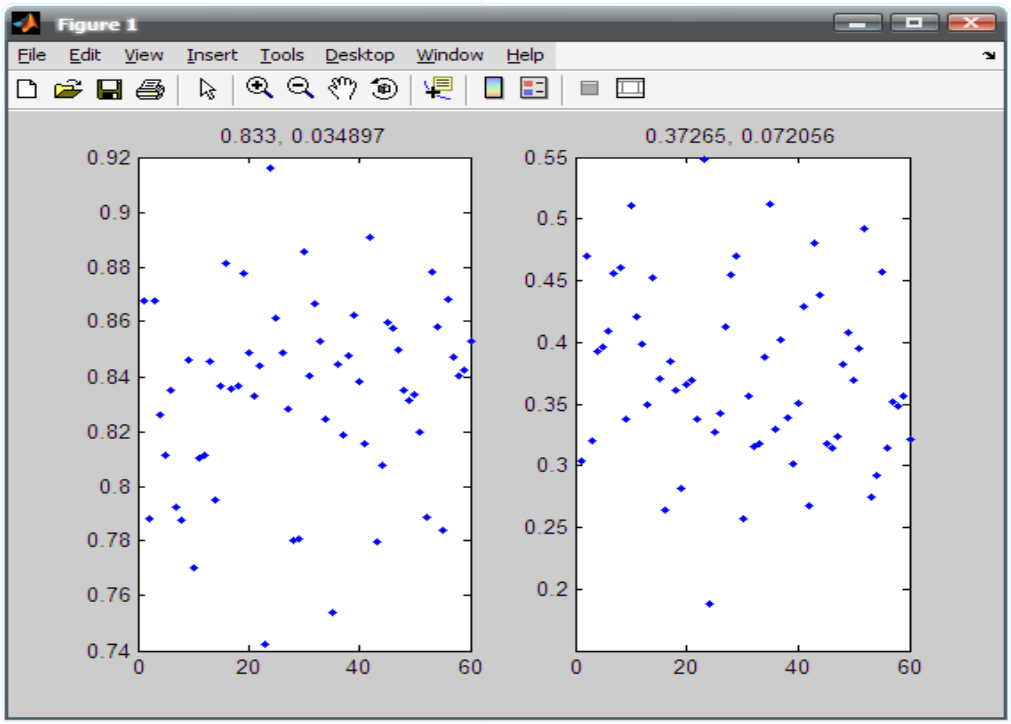

ภาพประกอบ ค-9 SNA50_32



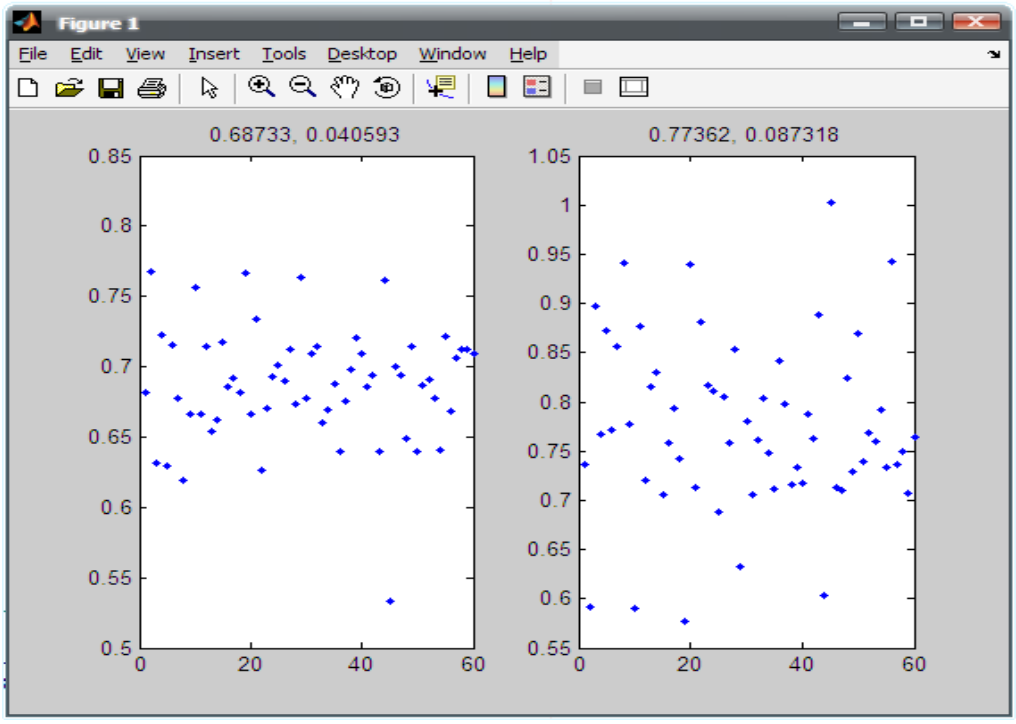

ภาพประกอบ ค-10 SNA51_10



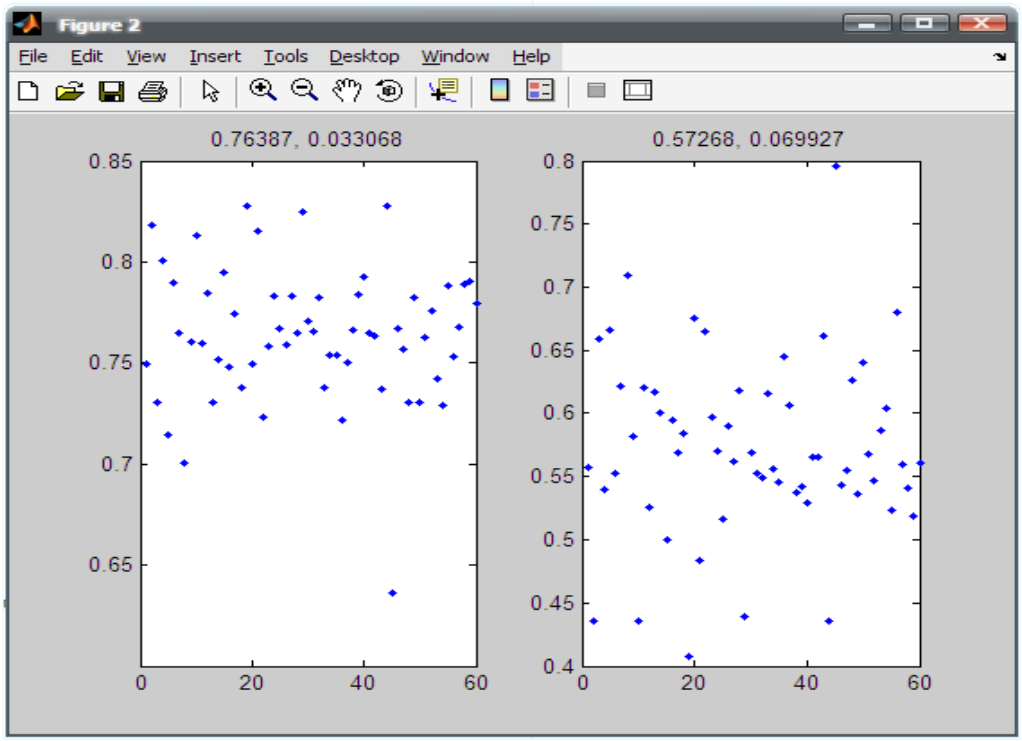

ภาพประกอบ ค-11 SNA51_16



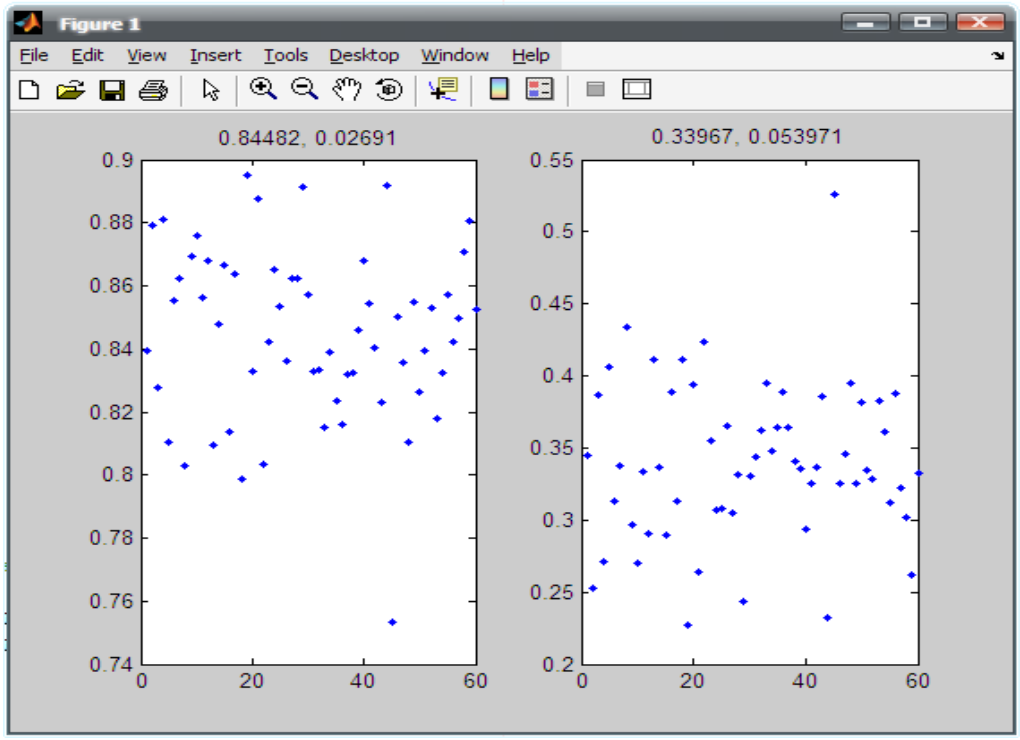

ภาพประกอบ ค-12 SNA51_32



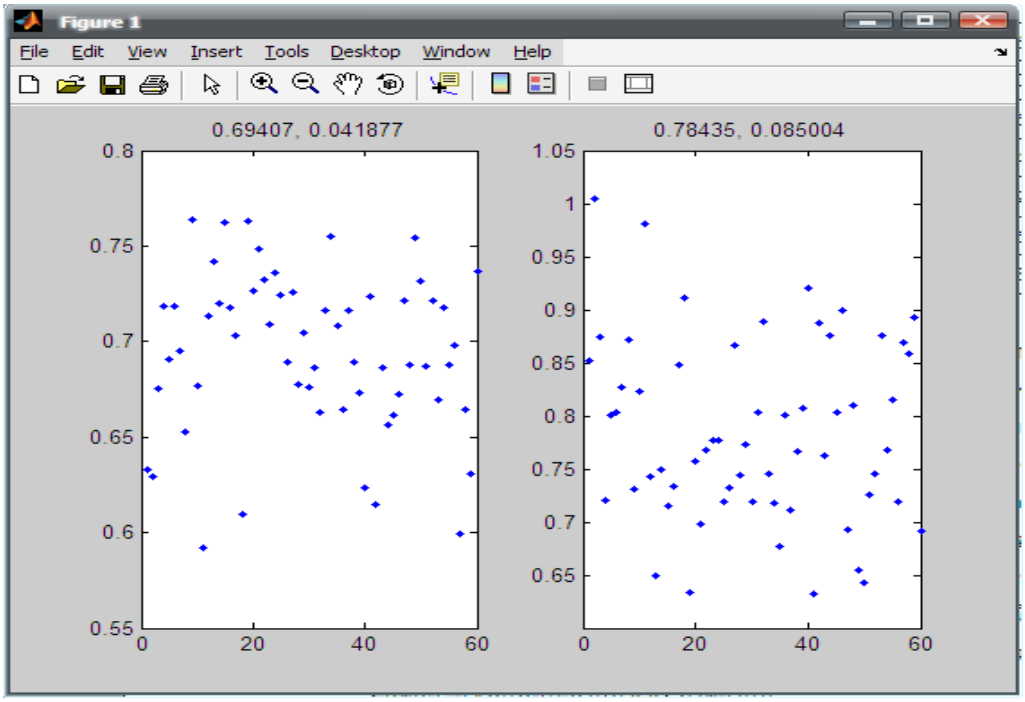

ภาพประกอบ ค-13 SNN49_10



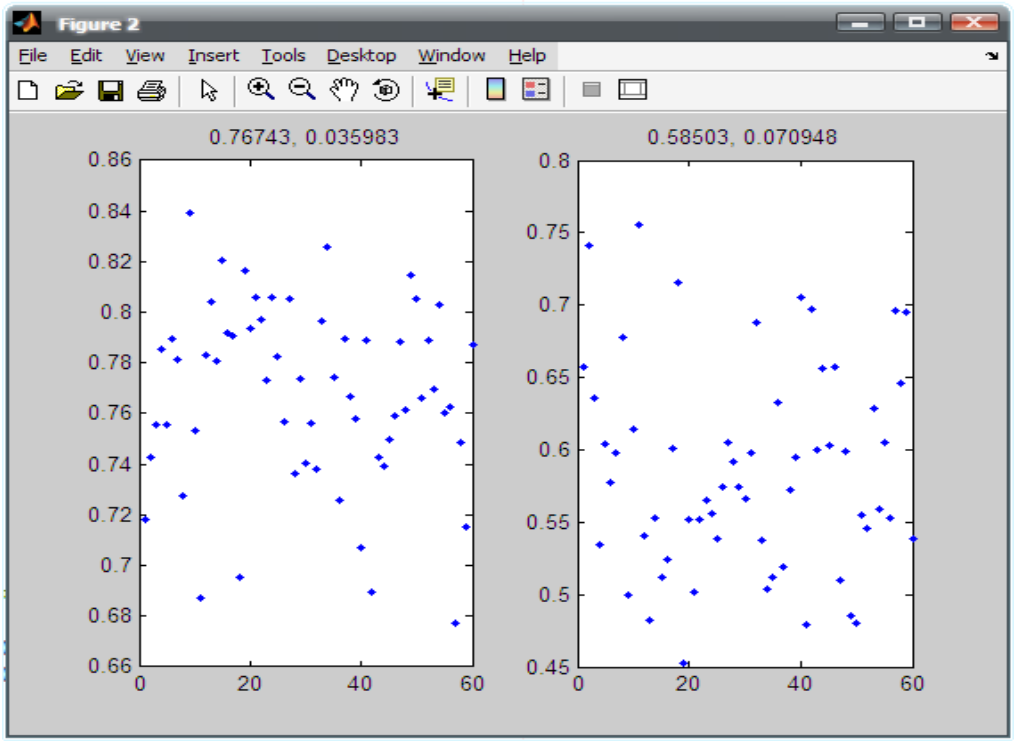

ภาพประกอบ ค-14 SNN49_16



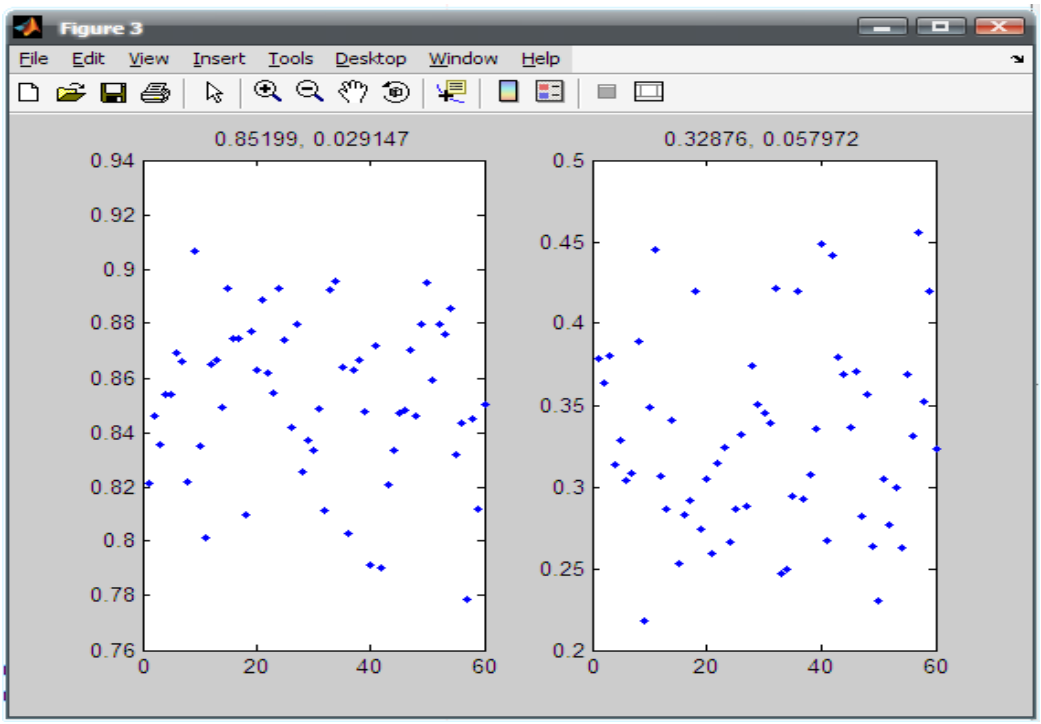

ภาพประกอบ ค-15 SNN49_32



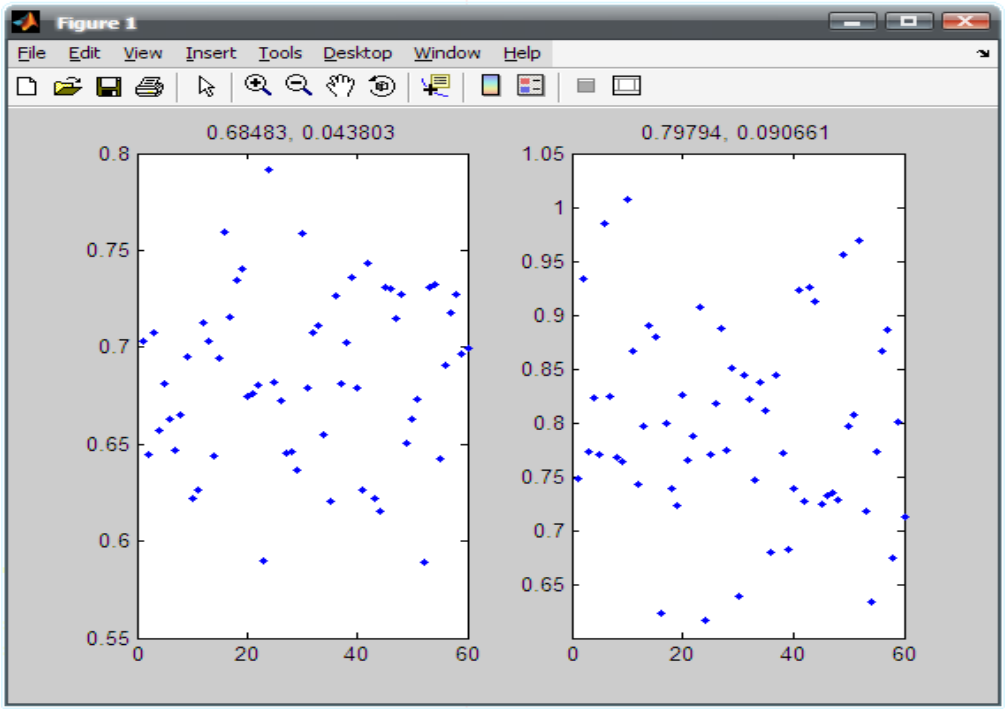

ภาพประกอบ ค-16 SNN50_10



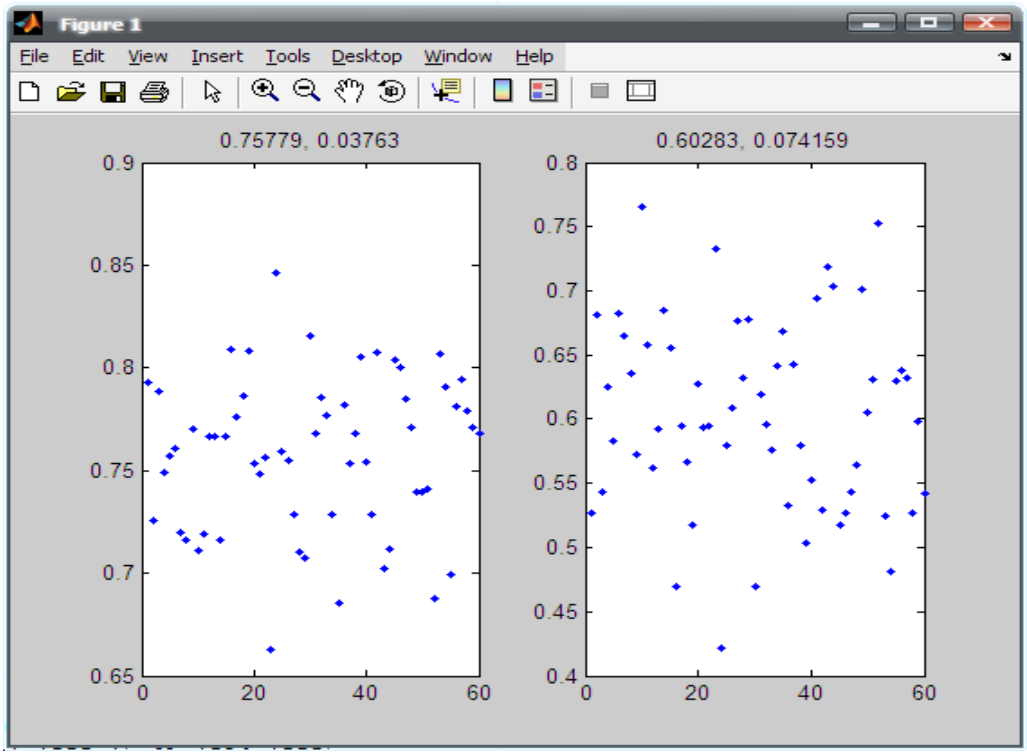

ภาพประกอบ ค-17 SNN50_16



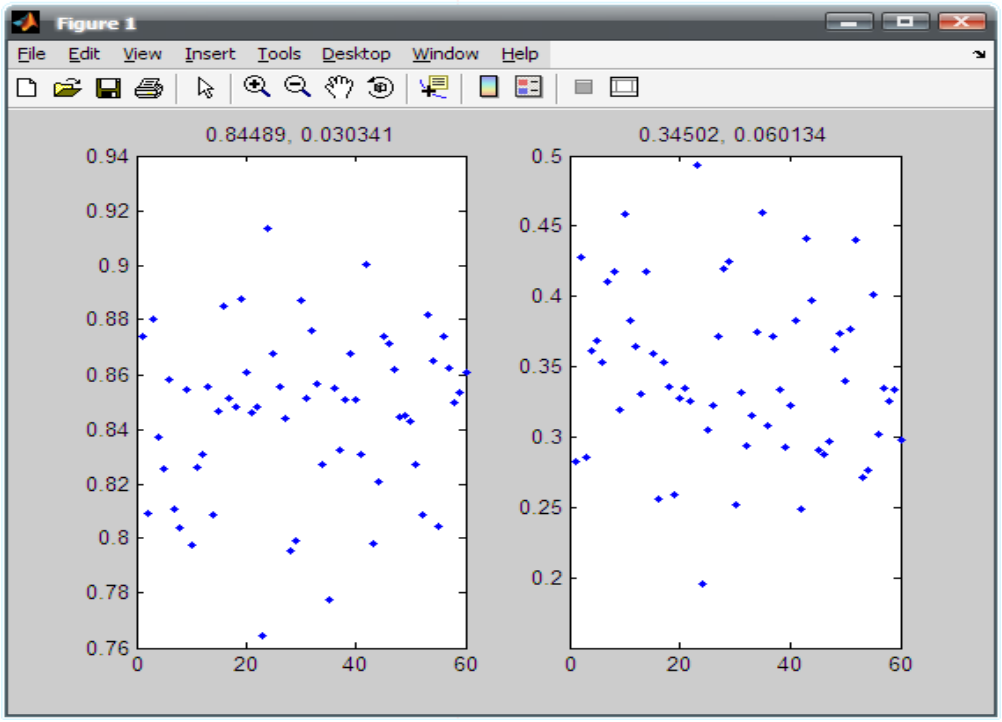

ภาพประกอบ ค-18 SNN50_32



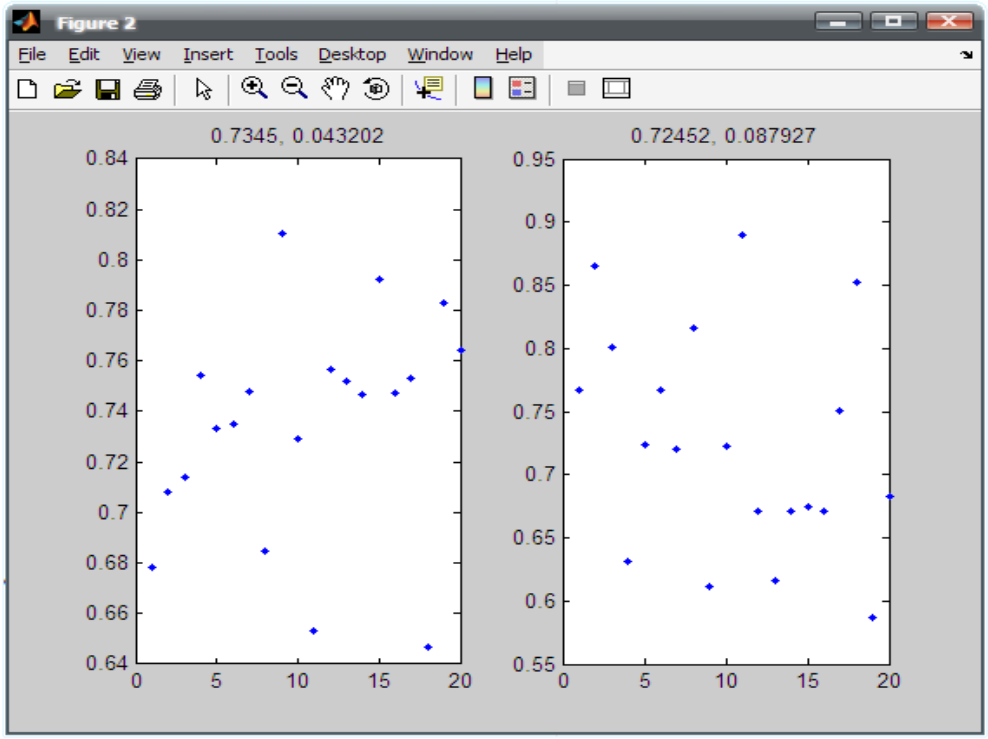

ภาพประกอบ ค-19 SNN51_10



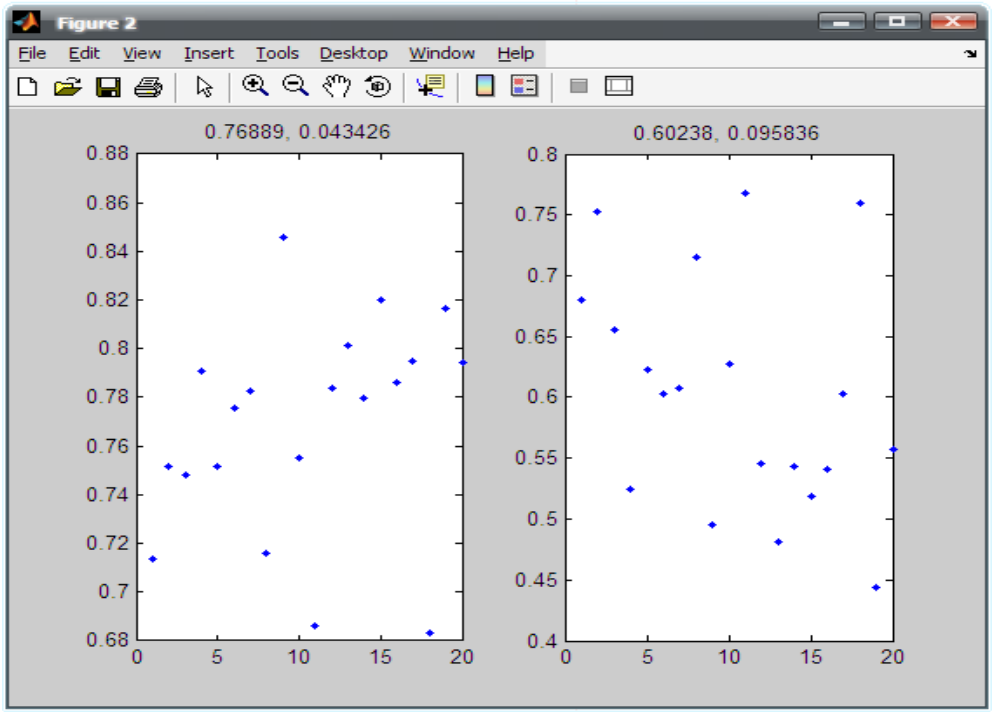

ภาพประกอบ ค-20 SNN51_16



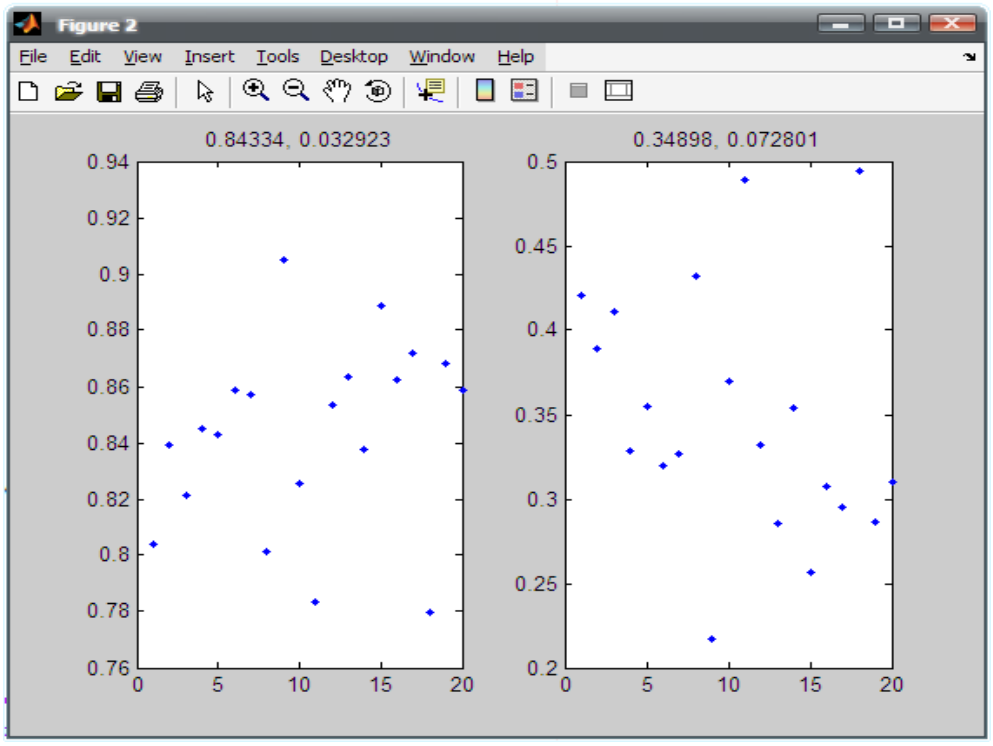

ภาพประกอบ ค-21 SNN51_32



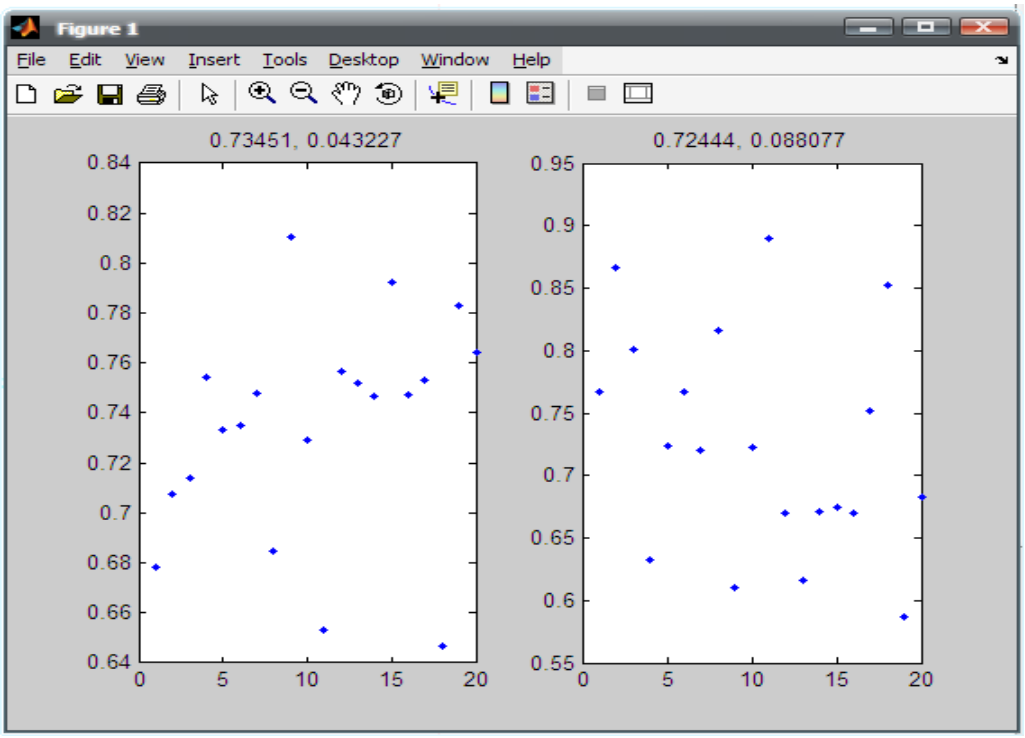

ภาพประกอบ ค-22 F16_10



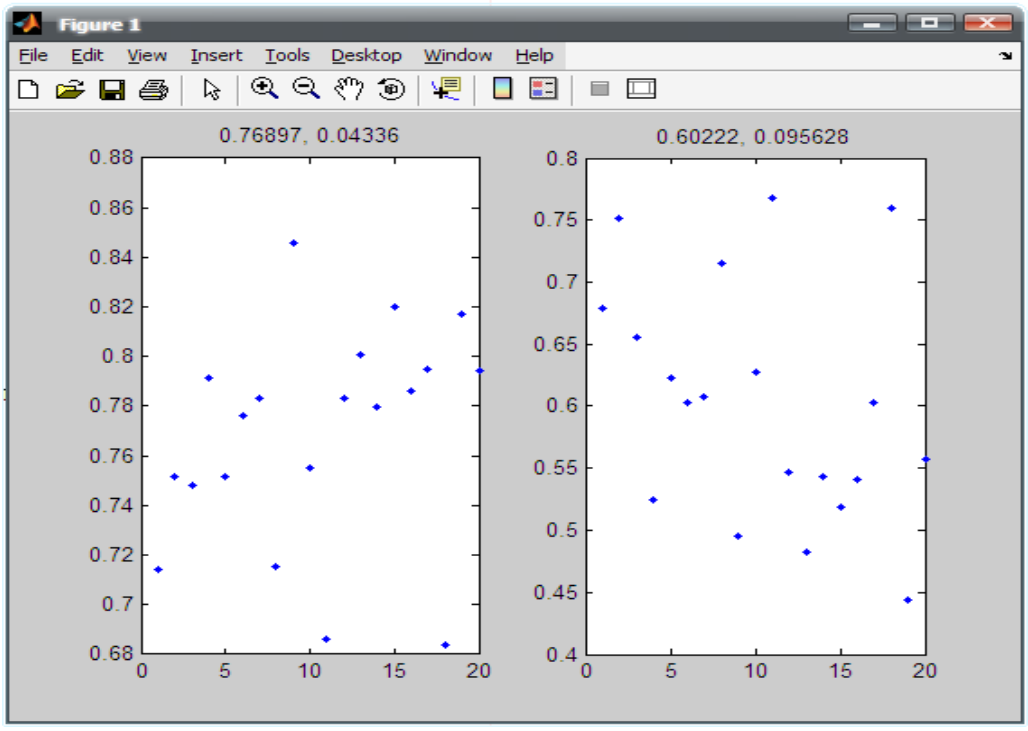

ภาพประกอบ ค-23 F16_16



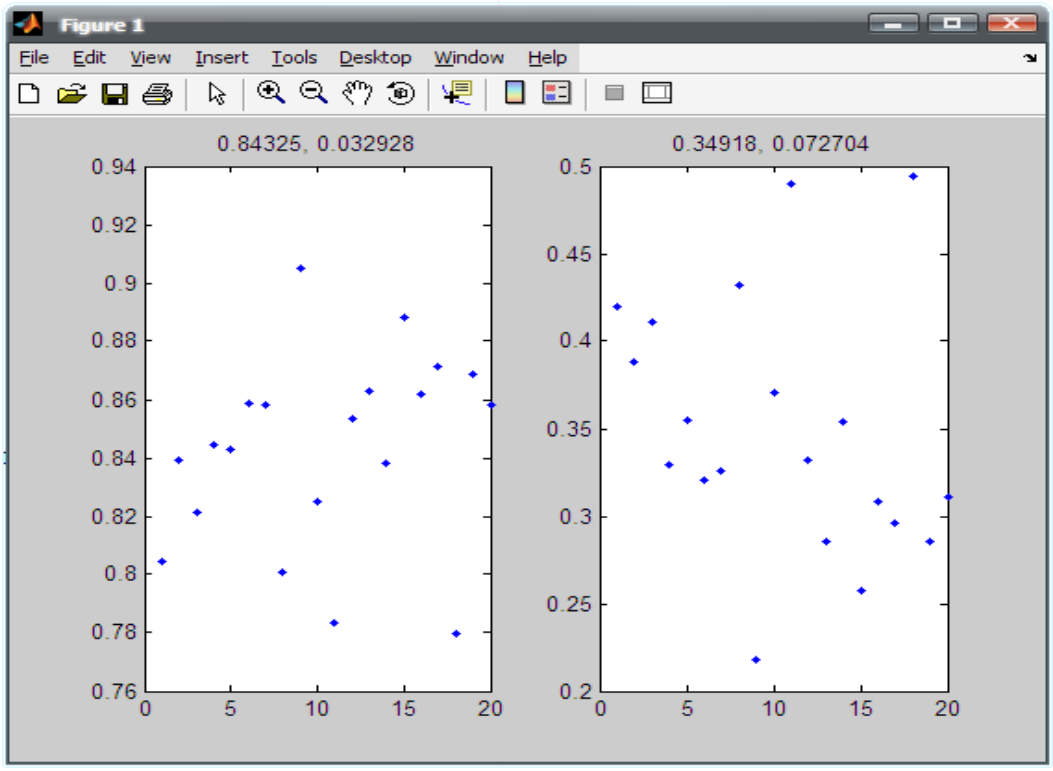

ภาพประกอบ ค-24 F16_32




ภาพประกอบ ค-25 F32_10




ภาพประกอบ ค-26 F32_16




ภาพประกอบ ค-27 F32_32

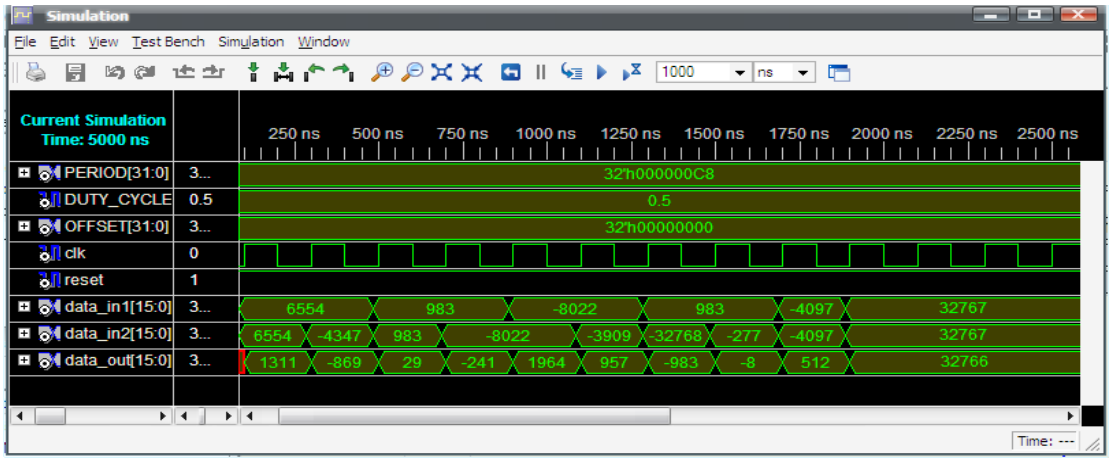
# ภาคผนวก(ง)

## การใช้ Xilinx Simulation แสดงผลการจำลองของวงจรต่าง ๆ ที่ใช้ในการทดลอง

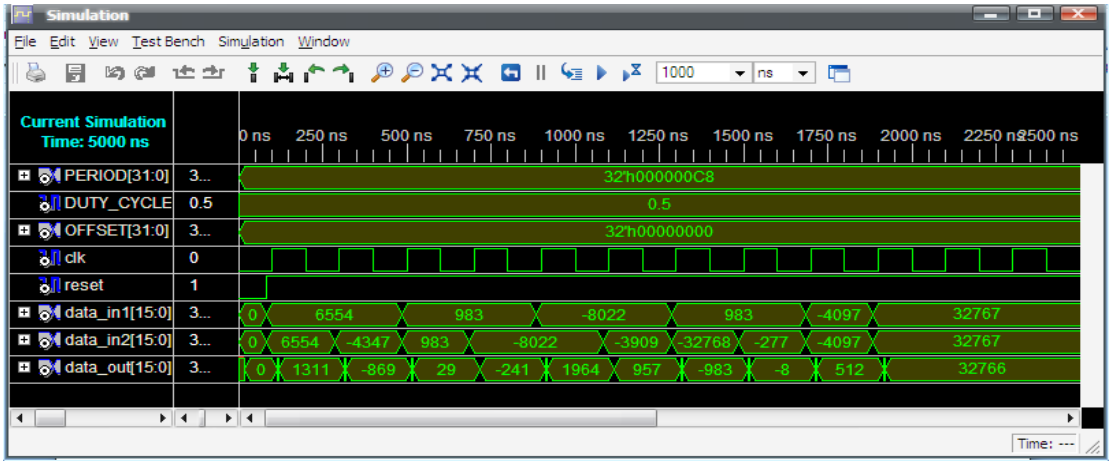
## การใช้ Xilinx Simulation แสดงผลการจำลองของวงจรต่าง ๆ ที่ใช้ในการทดลอง

ขั้นตอนของการจำลองการทำงานของวงจรดิจิตอลที่ได้ออกแบบและสังเคราะห์ไปแล้วนั้น จะใช้ Xilinx Simulation ในการจำลองการทำงานเพื่อตรวจสอบความถูกต้องของการทำงานของวงจรที่ได้สร้างขึ้น โดยแบ่งเป็นผลการจำลองแบบ Behavioral Simulation และ Post-Map Simulation ดังต่อไปนี้

### ง-1 วงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15

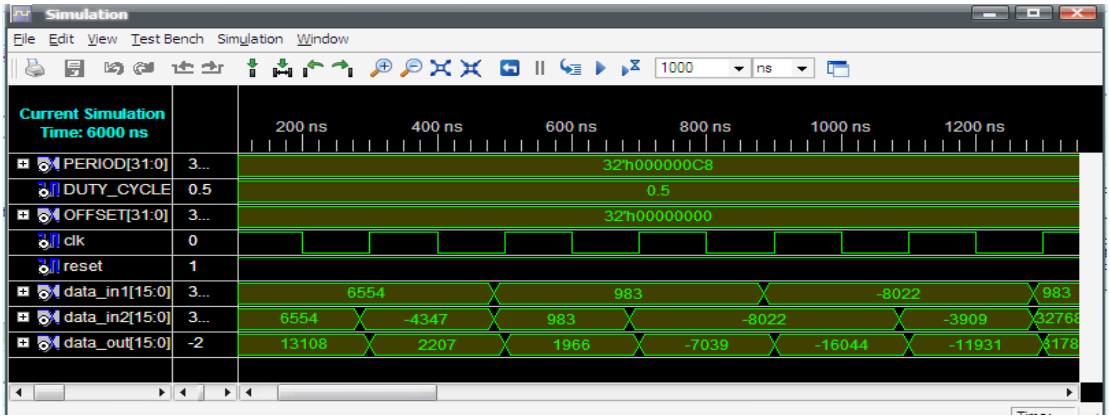



ภาพประกอบ ง-1 ผลการทำ Behavioral Simulation ของวงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15

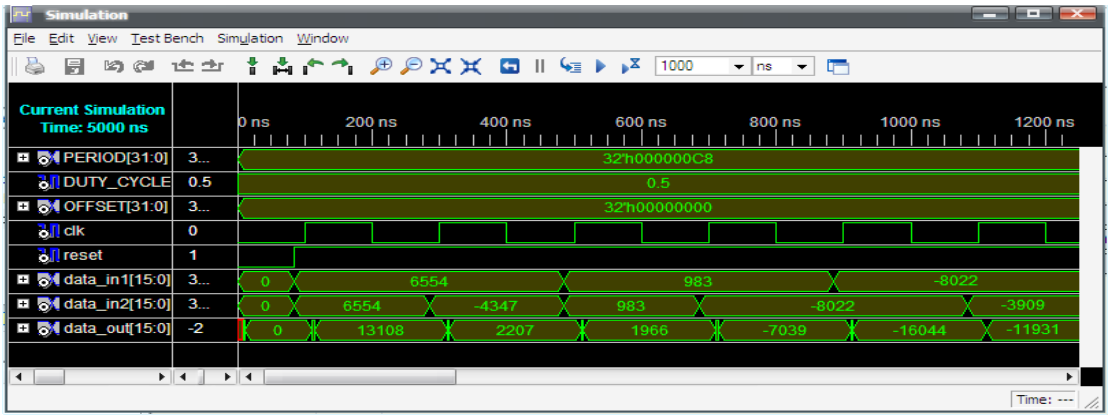



ภาพประกอบ ง-2 ผลการทำ Post-Map Simulation ของวงจรคูณ 16 บิต Fixed-point รูปแบบ Q0.15

### ง-2 วงจรบวก 16 บิต Fixed-point

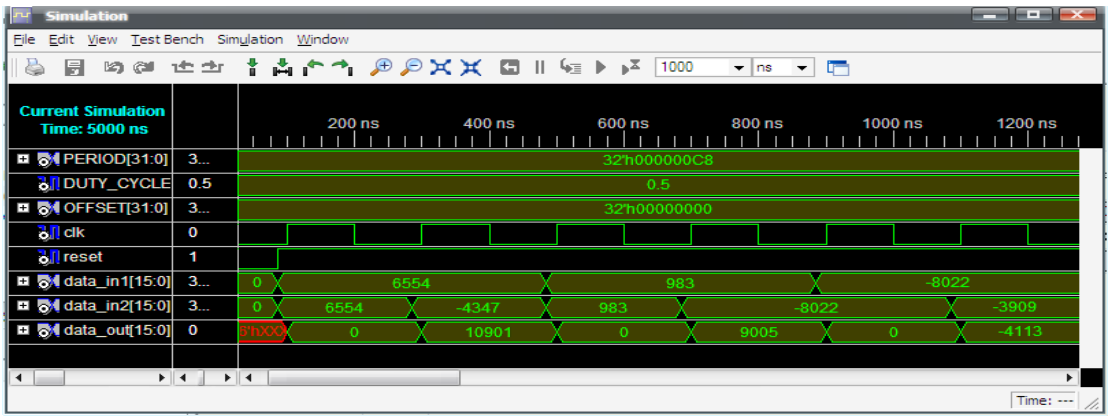



ภาพประกอบ ง-3 ผลการทำ Behavioral Simulation ของวงจรบวก 16 บิต Fixed-point

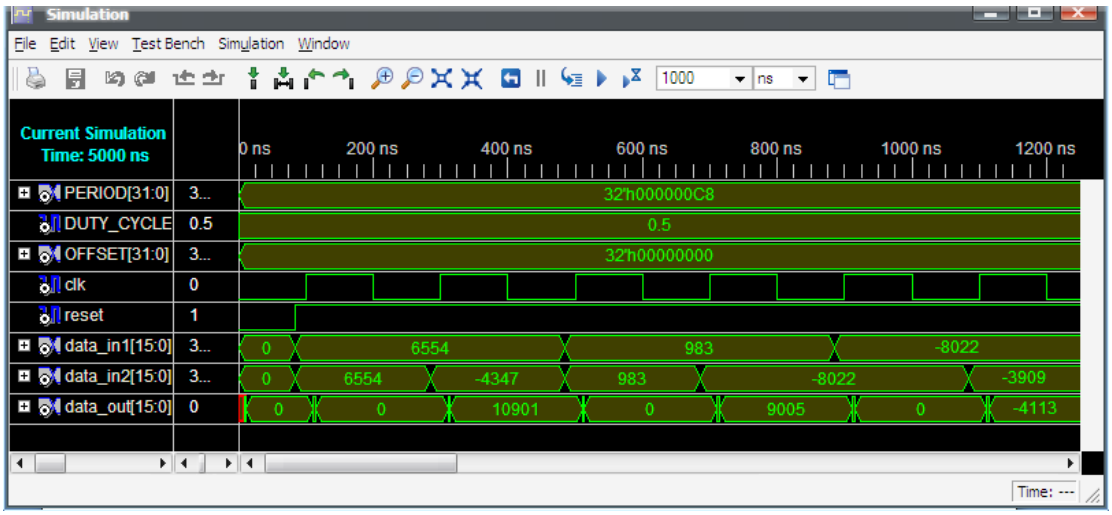



ภาพประกอบ ง-4 ผลการทำ Post-Map Simulation ของวงจรบวก 16 บิต Fixed-point

### ง-3 วงจรลบ 16 บิต Fixed-point

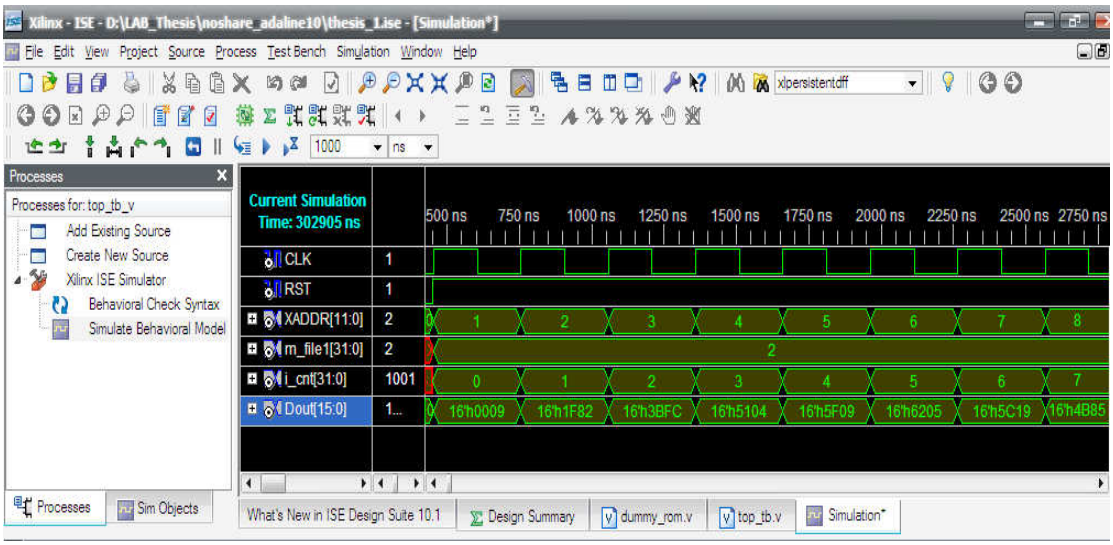



ภาพประกอบ ง-5 ผลการทำ Behavioral Simulation ของวงจรลบ 16 บิต Fixed-point

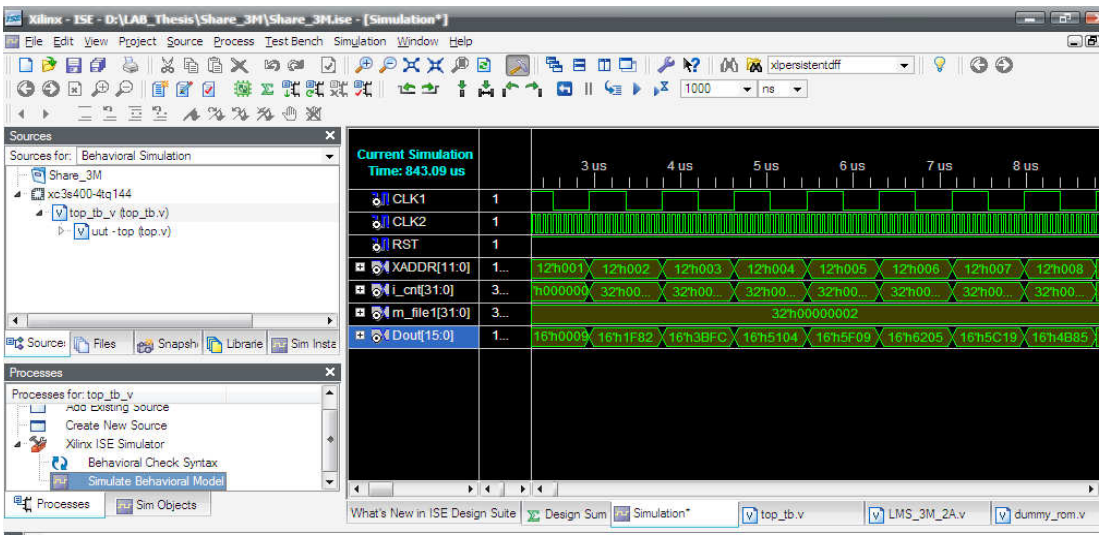



ภาพประกอบ ง-6 ผลการทำ Post-Map Simulation ของวงจรลบ 16 บิต Fixed-point

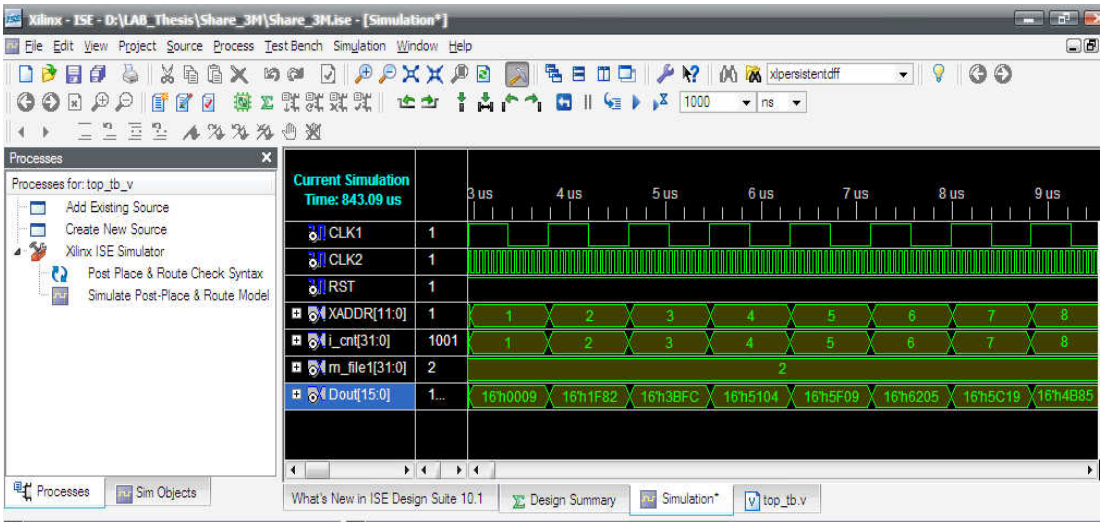
## ง-4 วงจรกรองปรับตัว ADALINE ชนิด 10 แท็ปดีเลย์




ภาพประกอบ ง-7 ผลการทำ Behavioral Simulation ของวงจรกรองปรับตัว ADALINE ก่อนการใช้ทรัพยากรร่วมกัน




ภาพประกอบ ง-8 ผลการทำ Behavioral Simulation ของวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกัน




ภาพประกอบ ง-9 ผลการทำ Post-Map Simulation ของวงจรกรองปรับตัว ADALINE โดยหลักการใช้ทรัพยากรร่วมกัน

# ภาคผนวก(จ)

## บทความเรื่อง
## “การวิเคราะห์สมรรถนะวงจรกรองปรับตัวที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย
## Performance Analysis of an Adaptive Noise Cancellation for 50 Hz in Surface Electromyography”

**นำเสนอในการประชุมวิชาการทางวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ครั้งที่ 8, 22-23 เมษายน 2553 จ.สงขลา**

การประชุมวิชาการทางวิศวกรรมศาสตร์มหาวิทยาลัยสงขลานครินทร์ ครั้งที่ 8
22-23 พฤษภาคม 2553

# การวิเคราะห์สมรรถนะวงจรกรองปรับตัวที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย

# Performance Analysis of an Adaptive Noise Cancellation for 50 Hz in Surface Electromyography

ไซนัลอาบีดิน เจ๊ะแว, ณัฏฐา จินดาเพ็ชร์ และพรชัย พฤกษ์ภัทรานนท์
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ อ.หาดใหญ่ จ.สงขลา 90112
E-mail: sainan_skc@hotmail.com, nattha.s@psu.ac.th, pornchai.p@psu.ac.th

Sainan-Abeedin Chewae, Nattha Jindapetch, and Pornchai Phukpattaranont
Department of Electrical Engineering, Faculty of Engineering, Prince of Songkla University,
Hat Yai, Songkhla 90112
E-mail: sainan_skc@hotmail.com, nattha.s@psu.ac.th , pornchai.p@psu.ac.th

## บทคัดย่อ

บทความนี้นำเสนอวิธีการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่ปนมาจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยใช้หลักการของวงจรกำจัดสัญญาณรบกวนแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยทำการวิเคราะห์เปรียบเทียบเทคนิคของการกรองด้วยวงจรกรองไอไออาร์แบบน็อตฟิลเตอร์ วงจรกรองปรับตัวได้ ADALINE ที่ใช้อัลกอริทึมเฉลี่ยกำลังสอง LMS และวงจรกรอง NLMS การออกแบบและการจำลองการทำงานของวงจร ใช้บล็อกการประมวลผลสัญญาณดิจิตอล ร่วมกับ Xilinx Accel DSP Toolbox บน MATLAB เพื่อเปรียบเทียบวิธีที่ดีที่สุดสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ประสิทธิภาพของการกำจัดสัญญาณรบกวนถูกวัดด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) จากการวิเคราะห์พบว่าวงจร ADALINE มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวนได้ดี และขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30 เปอร์เซ็นต์

**คำหลัก** วงจรกรองปรับตัว, วงจรไอไออาร์น็อตฟิลเตอร์, ADALINE, LMS, NLMS

## Abstract

This paper presents performance analysis of a 50 Hz noise cancellation system in surface electromyography. The comparison of an IIR Notching filter, an ADALINE filter with out reference signal from the outside based on least mean square (LMS) algorithm, and normalized least mean square (NLMS) algorithm was performed. The design and the simulation were performed by using DSP tool and Xilinx Accel DSP Toolbox on MATLAB. The filter efficiency was measured by the correlation coefficient and the Normalized Mean Square Error (NMSE). From the analysis results, ADALINE filter is the most suitable circuit for 50 Hz noise cancellation because it has the high filter efficient as NLMS, and its circuit size is about 30 % smaller than the NLMS based filter.

**Keywords:** Adaptive Filter, IIR Notching Filter, ADALINE, LMS, NLMS

## 1. บทนำ

สัญญาณไฟฟ้ากล้ามเนื้อลาย (Surface Electromyography : SEMG) เป็นสัญญาณของกล้ามเนื้อที่เกิดจากการสั่งงานของสมองผ่านมาทางเส้นประสาทที่ควบคุมกล้ามเนื้อ โดยทั่วไปสัญญาณไฟฟ้าจากกล้ามเนื้อของคนปกติจะมีพลังงานของสัญญาณอยู่ในย่านความถี่ 0 ถึง 500 เฮิรตซ์ และขนาดของสัญญาณมีค่าประมาณ 50 µv ถึง 100 mv ซึ่งเป็นขนาดสัญญาณค่อนข้างต่ำมาก ในการวัดสัญญาณของกล้ามเนื้อมักพบว่า มีสัญญาณรบกวนเกิดขึ้นเสมอ โดยเฉพาะอย่างยิ่งสัญญาณรบกวนจากความถี่ของระบบไฟฟ้า 50 เฮิรตซ์ และฮาร์มอนิค สัญญาณรบกวนเหล่านี้มีขนาดของสัญญาณที่สูงกว่าสัญญาณไฟฟ้าของกล้ามเนื้อมาก จึงทำให้สัญญาณไฟฟ้าจากกล้ามเนื้อที่วัดเกิดความผิดเพี้ยนจาก

สัญญาณจริง [1] และลักษณะของสัญญาณรบกวนที่เกิดขึ้นนี้ เป็นลักษณะกลุ่มสัญญาณเป็นช่วง ๆ เกิดไม่แน่นอนและทำให้การกำจัดสัญญาณรบกวนนี้ได้ยาก

จากปัญหาดังกล่าว จึงได้มีการวิจัยในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลาย จากรายงานผลการวิจัย [2] ได้ออกแบบและทำการเปรียบเทียบวงจรน็อตฟิลเตอร์และวงจรกรองแบบปรับตัวในการกำจัดสัญญาณรบกวน 50 Hz เมื่อนำวงจรที่ออกแบบได้ไปใช้งานจริง พบว่าวงจรกรองแบบปรับตัวได้สามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ได้ดีกว่าวงจรน็อตฟิลเตอร์ ผลงานวิจัย [3] พบว่าวงจรกรองแบบปรับตัวได้ที่ประยุกต์ใช้โครงข่าย ADALINE ชนิดที่ไม่ใช้สัญญาณอ้างอิงจากภายนอก สามารถกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคได้ดี และผลงานวิจัย [4] ได้ออกแบบวงจร ADALINE ในการกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ โดยใช้การประมวลผลสัญญาณแบบจุดทศนิยม 32 บิต ผลปรากฏว่าวงจรมีขนาดใหญ่มาก

บทความนี้นำเสนอ การเปรียบเทียบการกำจัดสัญญาณรบกวนที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลายโดยใช้วงจรน็อตฟิลเตอร์ วงจรกรอง ADALINE และวงจรกรอง NLMS เพื่อเปรียบเทียบวิธีที่ดีที่สุด โดยวัดประสิทธิภาพของการกำจัดสัญญาณรบกวนด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จากผลการวิเคราะห์พบว่าวงจรกรอง ADALINE ที่ใช้ 16 บิต Fixed-Point รูปแบบ Q0.15 มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรใช้เวลาในการประมวลผลสัญญาณเร็วกว่าและขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30%

## 2. วิธีการลดสัญญาณรบกวน

### 2.1 วงจรกรองดิจิตอลแบบไอไออาร์ (Infinite Impulse Response (IIR) Filter) [7]

สามารถสร้างเป็นวงจรกำจัดสัญญาณรบกวนได้ดังสมการดังนี้

$$y(n) = b_0 x(n) + b_1 x(n-1) + \cdots + b_{L-1} x(n-L+1) - a_1 y(n-1) - a_2 y(n-2) - \cdots - a_{M-1} y(n-M+1) \quad (1)$$

ดังนั้น

$$y(n) = \sum_{i=0}^{L=1} b_i x(n-i) + \sum_{m=i}^{M=1} -a_m y(n-m) \quad (2)$$

$$y(n) = b^T x(n) + a^T y(n-1) \quad (3)$$

เมื่อ **b** และ **a** คือ Filter- Coefficient vectors

$$b = [b_0, b_1, \cdots b_{L-1}] \quad (4)$$

$$a = [-a_1, -a_2, \cdots -a_{M-1}] \quad (5)$$

ฟังก์ชันถ่ายโอน (Transfer function) ของตัวกรองแบบไอไออาร์สามารถเขียนเป็นสมการ คือ

$$H(z) = \frac{\sum_{i=0}^{L-1} b_i z^{-i}}{1 + \sum_{m=1}^{M-1} a_m z^{-m}} \quad (6)$$

### 2.2 อัลกอริทึมแบบ LMS (Least mean square algorithm)

สามารถสรุปขั้นตอนการทำงานของ LMS (Least Mean Square) ได้ดังนี้

ขั้นที่ 1 สุ่มเลือกตัวเลขต่าง ๆ คำนวณหาค่าของเอาท์พุท $y(n)$ เมื่อ $X(n)$ และ $W(n)$ เป็นเวกเตอร์จำนวนขนาด $L$ อินพุตที่ n ต่าง ๆ ได้จาก

$$X(n) = [x(n), x(n-1) \cdots x(n-L+1)]^T \quad (7)$$

$$W(n) = [w_0(n), w_1(n) \cdots w_{L-1}(n)]^T \quad (8)$$

$$y(n) = W^T(n) X(n) \quad (9)$$

ขั้นที่ 2 คำนวณตามรูปแบบสมการ วงกรองแบบปรับตัวโดยหาค่าความผิดพลาด $e(n)$ จากผลต่างของเอาท์พุทเป้าหมาย $d(n)$ กับเอาท์พุทของวงจร $y(n)$ ได้จาก

$$e(n) = d(n) - y(n) \quad (10)$$

ขั้นที่ 3 Update หาค่าน้ำหนัก $w(n+1)$ และ ค่าไบอัส $b(n+1)$ ได้จาก

$$w(n+1) = W(n) + 2\mu x(n) e(n) \quad (11)$$

$$b(n+1) = b(n) + 2\mu e(n) \quad (12)$$

ในการกำหนดค่าเริ่มต้นสำหรับสัมประสิทธิ์เวทเวกเตอร์ (Weight Vector) สามารถกำหนดเป็นค่าใด ๆ ส่วนค่าที่ต้องกำหนดให้เหมาะสมคือ ค่าขนาดขั้น (Step Size) $\mu$ เนื่องจากมีผลต่อความเสถียรและความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย จากความสัมพันธ์ตามสมการจะสามารถกำหนดค่าขนาดขั้น $\mu$ ได้ดังนี้

$$0 < \mu < \frac{1}{\lambda_{\max}} \quad (13)$$

ค่า $\lambda_{max}$ เป็นค่า Eigen Value สูงสุดของเมตริกซ์อัตสหสัมพันธ์ (Autocorrelation matrix) ซึ่งค่าประมาณของ $\lambda_{max}$ สามารถหาได้จาก R โดยหาขอบเขตได้จาก

$$\lambda_{\max} < tr[R] = \sum (Diagonal\ Elements\ of\ R) \quad (14)$$

**2.3 อักกอริทึมแบบ NLMS (Normalized Least mean square algorithm)**

โดยทั่วไปแล้วอัลกอริทึมแบบ LMS การกำหนดค่าขนาดขั้น (Step Size) $\mu$ จะมีผลต่อความเสถียรและความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย [5] ดังนั้นจากสมการที่ 11 สามารถใช้อัลกอริทึมแบบ NLMS [6] ในการกำหนดค่า Step size ของวงจร NLMS เพื่อเพิ่มประสิทธิภาพในการลู่เข้าของวงจรได้ดังนี้

$$\mu_{nlms} = \frac{\alpha}{X_n^T X_n + \beta} \quad (19)$$

เมื่อ $X_n^T X_n$ คือเวกเตอร์อินพุต และ $\beta \neq 0$ ดังนั้น

$$X_n^T Xn = x_n^2 + x_{n-1}^2 + \cdots + x_{n-M+1}^2 \quad (20)$$

$$X_n^T Xn \approx tr[\mathrm{R}] \quad (21)$$

สำหรับค่า $\alpha$ ควรมีค่าอยู่ในช่วง

$$0 < \alpha < 2 \quad (22)$$

## 3. การวิเคราะห์และจำลองวงจรต่าง ๆ บน MATLAB

สัญญาณรบกวนของระบบไฟฟ้า 50 Hz ถูกทดสอบโดยสร้างคุณลักษณะของการเกิดสัญญาณรบกวน 3 ค่า คือ 49 Hz, 50 Hz และ 51 Hz โดยเฉลี่ยสัญญาณทั้งหมดจำนวน 240 ตัวอย่าง และสัญญาณไฟฟ้ากล้ามเนื้อลายสร้างโดยการนำสัญญาณสุ่มแบบเกาส์เซียนซึ่งมีรายละเอียดตาม [1] สำหรับคุณสมบัติและพารามิเตอร์ต่าง ๆ ของวงจรกรองแต่ละแบบที่จะถูกทดสอบในการจำลอง คือ

วงจรกรองแบบไอไออาร์ โดยวงจรกรองที่ใช้เป็นวงจรกรองไอไออาร์แบบซิงเกิลนอตช์ (Single Notch) ใช้โครงสร้างแบบ Direct Form II ซึ่งเป็นตัวกรองนอตช์ที่ความถี่ที่มีลักษณะความถี่แคบมาก (narrow band) พารามิเตอร์ที่ใช้ในการออกแบบ ได้แก่ $f_s$ = 1000 Hz, $f_c$ = 50 Hz และ Q = 5

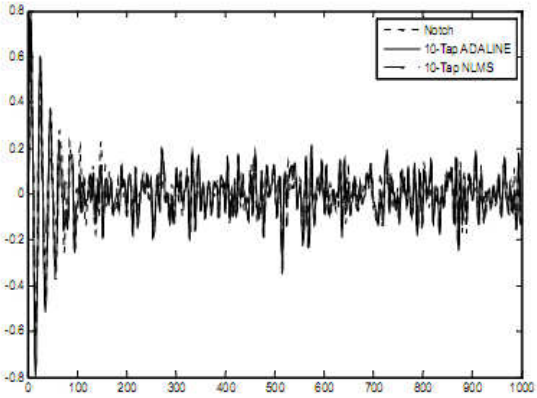
วงกรองแบบปรับตัวได้ ที่ใช้เป็นวงจรกรองแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ซึ่งจะพิจารณาใช้จำนวน Taped delay line เท่ากับ 10, 16 และ 32 ลำดับ ค่าอัตราการเรียนรู้ที่ใช้ในการทดสอบของวงจรกรองแต่ละแบบสามารถจำแนกได้ดังนี้ วงจรกรอง ADALINE ที่ใช้อัลกอริทึม LMS จะใช้ค่าอัตราการเรียนรู้ที่คำนวณจากสูตร $\frac{1}{LPx}$ [3] ดังนั้นค่าที่ได้จะเท่ากับ 0.0156, 0.0097 และ 0.0048 ตามลำดับ และวงกรอง NLMS นั้นค่าอัตราการเรียนรู้มีค่าอยู่ในช่วง $0 < \alpha < 2$ [6] ส่วนค่าอัตราการเรียนรู้เริ่มต้นของวงจรกรอง NLMS ของงานวิจัยนี้ จะใช้ค่าอัตราการเรียนรู้เริ่มต้นของวงจรเท่ากับ 0.0800, 0.0500 และ 0.0400 ตามลำดับ

เมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบด้วยจำนวน 240 กลุ่มตัวอย่างสัญญาณ ที่ได้จากการจำลองขึ้นมาด้วย MATLAB SIMULINK และทำการวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient) และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error : NMSE) จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐานซึ่งผลของตัวบ่งชี้จากการจำลองดังกล่าวสามารถแสดงดังตารางที่ 1

ตารางที่ 1 ผลของตัวบ่งชี้จากการทดลองด้วยโปรแกรม MATLAB

| ชนิด | Taps | Convergent rate (samples) | Correlation coefficient | NMSE |
|---|---|---|---|---|
| IIR Notch | - | 180 | 0.64 ± 0.33 | 4.24 ± 4.27 |
| ADALINE | 10 | 150 | 0.70 ± 0.03 | 0.79 ± 0.07 |
| | 16 | 160 | 0.76 ± 0.03 | 0.59 ± 0.06 |
| | 32 | 180 | 0.84 ± 0.03 | 0.35 ± 0.06 |
| NLMS | 10 | 120 | 0.69 ± 0.04 | 0.77 ± 0.08 |
| | 16 | 150 | 0.76 ± 0.03 | 0.58 ± 0.06 |
| | 32 | 170 | 0.84 ± 0.02 | 0.33 ± 0.05 |

ตารางที่ 1 แสดงความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ เมื่อพิจารณาด้วยตัวบ่งชี้แล้ว พบว่าวงจรกรองแบบ NLMS ที่แท็ปดีเลย์เท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเร็วที่สุดเท่ากับ 120, 150 และ 170 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.69, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ เท่ากับ 0.77, 0.58 และ 0.33 ตามลำดับ รองลงมาเป็นวงจรกรองแบบ ADALINE มีอัตราการลู่เข้าเท่ากับ 150, 160 และ 180 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.79, 0.59 และ 0.35 ตามลำดับ และสุดท้ายวงจรกรองไอไออาร์แบบนอตช์ฟิลเตอร์มีอัตราการลู่เข้าช้าที่สุดเท่ากับ 180 และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.64 และให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 4.24 สามารถแสดงกราฟการเปรียบเทียบสัญญาณเอาท์พุตของวงจรทั้งสามในการกำจัดสัญญาณรบกวนที่ความถี่ 50 เฮิรตซ์ได้ดังรูปที่ 1




รูปที่ 1 แสดงการเปรียบเทียบเอาท์พุทที่ได้จากวงกรอง Notch, และวงจร ADALINE, NLMS ที่แท็ปดีเลย์เท่ากับ 10

จากการทดลองข้างต้นเมื่อเทียบทั้งสามวงจรแล้ว สามารถสรุปได้ว่า วงกรอง ADALINE และวงจรกรอง NLMS มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถลดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณรบกวนที่มีค่าช่วงระหว่าง 50 เฮิรตซ์ ได้ดี เมื่อเทียบกับวงจรกรองไอไออาร์แบบ Notching Filter แต่เมื่อทำการเปรียบเทียบขนาดของวงจรทั้งสองแล้ว พบว่าวงจรกรอง ADALINE มีความเหมาะสมในการนำไปสร้างใช้งานจริงมากที่สุด เนื่องจากโครงสร้างของวงจรกรอง ADALINE มีความซับซ้อนของการคำนวณค่าน้ำหนักและค่าไบอัสไม่สูงมากนัก และขนาดของวงจรน้อยกว่าวงจรกรอง NLMS จึงมีความเหมาะสมในการใช้งานมากที่สุด และสามารถนำไปสร้างบนชิพที่มีพื้นที่ค่อนข้างจำกัดได้ดีอีกด้วย จากการทดลอง เมื่อทำการเปรียบเทียบทั้งสองวงจรที่ผ่านมาแล้ว สามารถแสดงได้ดังตารางที่ 2

ตารางที่ 2 แสดงผลการเปรียบขนาดของวงจรที่ได้จากทดลอง

| Algorithm | Multiplications | Divisions | Additions |
|---|---|---|---|
| ADALINE | 2(Tap+1) + 1 | - | 2(Tap) + 2 |
| NLMS | 3(Tap+1) + 1 | 1 | 3(Tap) |

## 4. การเปรียบเทียบและวิเคราะห์หาขนาดวงจรที่เหมาะสม

การทดลองนี้เป็นการกำจัดสัญญาณรบกวนซายน์ ความถี่ 50 เฮิรตซ์ ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายที่ทำการจำลองขึ้นมาเช่นเดียวกับการทดลองในหัวข้อที่ 3 แต่จะพิจารณาเฉพาะวงจรกรอง ADALINE เท่านั้น โดยทำการทดลองบน MATLAB SIMULINK ร่วมกับ Xilinx Accel DSP Toolbox สำหรับการออกแบบอัลกอริทึมของวงจรกำจัดสัญญาณรบกวน เพื่อจำลองการประมวลผลสัญญาณแบบ Fixed-point Format Q0.15 และ Q0.31 บน Xilinx FPGAs SPARTAN-3 ตระกูล (XC3S5000-FG676-4) และทำการวัดความสามารถในการกำจัดสัญญาณรบกวนด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient) และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error : NMSE) ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3

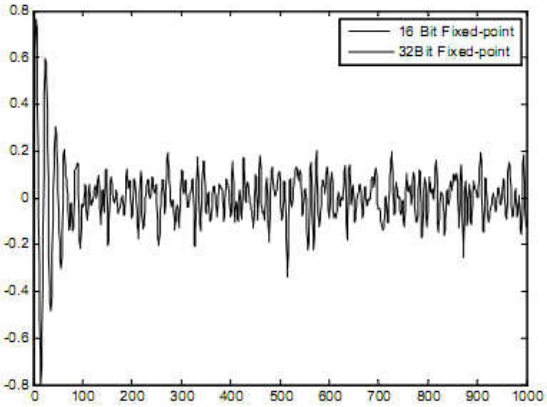
ตารางที่ 3 ผลของตัวบ่งชี้จากการทดลองโดยใช้ Xilinx Accel DSP Toolbox

| ADALINE | Fixed-Point Format | Correlation Coefficient | NMSE |
|---|---|---|---|
| 10 Tap | Q0.15 | 0.73 ± 0.04 | 0.72 ± 0.08 |
| | Q0.31 | 0.73 ± 0.06 | 0.70 ± 0.10 |
| 16 Tap | Q0.15 | 0.76 ± 0.04 | 0.60 ± 0.09 |
| | Q0.31 | 0.77 ± 0.04 | 0.57 ± 0.10 |
| 32 Tap | Q0.15 | 0.84 ± 0.03 | 0.34 ± 0.07 |
| | Q0.31 | 0.84 ± 0.03 | 0.34 ± 0.07 |

ผลจากการจำลองของวงจรร่วม ADALINE ที่ได้จากรูปแบบต่าง ๆ ที่ได้ทดลองมาข้างต้นนั้น สามารถแสดงการใช้ทรัพยากรและเวลาในการประมวลผลสัญญาณของรูปแบบต่างๆ ได้ดังตารางที่ 4 และแสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากวงกรองแบบ ADALINE Adaptive Filter จำนวน 10 แท็ปดีเลย์ ที่ใช้การประมวลผลสัญญาณแบบ 16 บิต และ 32 บิต Fixed-Point ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ดังรูปที่ 2

ตารางที่ 4 แสดงผลการเปรียบเทียบผลการใช้ทรัพยากรรูปแบบต่างๆ บน FPGAs SPARTAN- 3 ตระกูล (XC3S5000-FG676-4)

| Taps | Fixed-Point Format | MULT 18X18s | LUTs | Clock cycle (ns) |
|---|---|---|---|---|
| 10 | Q0.15 | 23(22%) | 896(1%) | 52.564 |
| | Q0.31 | 92(88%) | 4370(6%) | 83.305 |
| 16 | Q0.15 | 35(33%) | 1345(2%) | 55.978 |
| | Q0.31 | 140(134%) | 6587(9%) | 85.844 |
| 32 | Q0.15 | 67(64%) | 2548(3%) | 59.443 |
| | Q0.31 | 268(257%) | 12529(18%) | 86.938 |




รูปที่ 2 แสดงการเปรียบเทียบเอาท์พุทที่ได้จากวงกรอง ADALINE จำนวน 10 แท็ปดีเลย์ แบบ 16บิต และ 32 บิต Fixed-Point ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์

## 5. สรุปผลการทดลอง

จากการทดลอง เมื่อพิจารณาความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) พบว่า วงจรกรองแบบ ADALINE ที่ใช้อัลกอริทึม LMS จำนวนแท็ปดีเลย์เท่ากับ 10 ให้ค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70 ± 0.03 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.79 ± 0.07 มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และยังใช้ขนาดของวงจรน้อยกว่าเมื่อเทียบกับวงจรกรองแบบ NLMS ประมาณ 30 เปอร์เซ็นต์ และเมื่อทำการเปรียบเทียบขนาดของจำนวนบิต ด้วยการเทียบประสิทธิภาพในการลดสัญญาณรบกวนแล้ว พบว่าวงจรกรองแบบ ADALINE จำนวนแท็ปดีเลย์เท่ากับ 10 ที่ใช้รูปแบบ 16 บิต Fixed-Point Q0.15 Format ให้ค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.73 ± 0.04 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.72 ± 0.08 มีความเหมาะสมในการไปใช้งานจริงมากที่สุด เนื่องจากให้ค่าประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกันแล้ว ยังใช้เวลาในการประมวลผลสัญญาณเร็วกว่าประมาณ 1.58 เท่า และขนาดของวงจรน้อยกว่าประมาณ 3 เท่า เมื่อเทียบกับแบบ 32 บิต

## 6. กิตติกรรมประกาศ

งานวิจัยนี้ได้รับการสนับสนุนจากทีมวิจัย High Performance Embedded Systems and Applications คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

## เอกสารอ้างอิง

[1] โสภาพรรณ สุวรรณสว่าง, พรชัย พฤกษ์ภัทรานนต์, ณัฏฐา จินดาเพ็ชร์, คณดิถ เจษฎ์พัฒนานนท์ และชูศักดิ์ ลิ่มสกุล "การวิเคราะห์พารามิเตอร์ของระบบลดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณ ไฟฟ้ากล้ามเนื้อลายโดยการใช้วงจรกรองโครงข่ายประสาทเชิงเส้นแบบปรับตัว" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 29, 2549 : 985-988

[2] R. Romos, A.Manuel, J. Del Rio, and G.Olivar, "FPGA-Based Implementation of an Adaptive Canceller for 50/60-Hz Interference in Electrocardiography," *IEEE Transactions on Instrumentation and Measurement*, Vol.56, 2007, pp. 2633-2640.

[3] P. Phukpattaranont, K. Chetpatananondh, C. Limsakul, and N. Jindapetch, "Implementation of a noise reduction system in surface electromyography (SEMG) on TMS320VC5509A," *Proceeding of 30th Electrical Engineering Conference*, Oct. 2007, pp. 709-712.

[4] N. Jindapetch, P. Phukpattaranont, and K. Thongnoo, "Design of an ADALINE Adaptive Filter Based Noise Cancellation Based on Fine-grained Pipelines," *The 23rd International Technical Conference on Circuit/Systems, computer and Communications (ITC-CSCC 2008)*, 2008, pp. 581-584.

[5] H. Takekawa, T. Shimamura and S. Jimaa, "An Efficient and Effective Variable Step Size NLMS Algorithm," *The 42nd IEEE Asilomar Conference on Signals, Systems and Computers*, 26-29 Oct. 2008, pp. 1640 – 1643.

[6] C. A. Duran Villalobos, J. A. Tavares Reyes and J. C. Sanchez Garcia, "Implementation and Analysis of the NLMS Algorithm on TMS320C6713 DSP," *The 52nd IEEE International Midwest Symposium on, Circuits and Systems, 2009 (MWSCAS '09.)*, 2-5 Aug. 2009, pp. 1091 – 1096.

[7] S. M. Kuo and W. S. Gan, *Digital Signal Processor: Architecture, Implementation, and Applications*, New Jersey: Pearson Prentice Hall, 2005.

การประชุมวิชาการทางวิศวกรรมศาสตร์มหาวิทยาลัยสงขลานครินทร์ ครั้งที่ 8
22-23 พฤษภาคม 2553

# การวิเคราะห์สมรรถนะวงจรกรองปรับตัวที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย

# Performance Analysis of an Adaptive Noise Cancellation for 50 Hz in Surface Electromyography

ไซนัลอาบีดิน เจ๊ะแว, ณัฏฐา จินดาเพ็ชร์ และพรชัย พฤกษ์ภัทรานนต์
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ อ.หาดใหญ่ จ.สงขลา 90112
E-mail: sainan_skc@hotmail.com, nattha.s@psu.ac.th, pornchai.p@psu.ac.th

Sainan-Abeedin Chewae, Nattha Jindapetch, and Pornchai Phukpattaranont
Department of Electrical Engineering, Faculty of Engineering, Prince of Songkla University,
Hat Yai, Songkhla 90112
E-mail: sainan_skc@hotmail.com, nattha.s@psu.ac.th , pornchai.p@psu.ac.th

## บทคัดย่อ

บทความนี้นำเสนอวิธีการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่ปนมาจากการวัดสัญญาณไฟฟ้าของกล้ามเนื้อลาย โดยใช้หลักการของวงจรกำจัดสัญญาณรบกวนแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก โดยทำการวิเคราะห์เปรียบเทียบเทคนิคของการกรองด้วยวงจรกรองไอไออาร์แบบน็อตฟิลเตอร์ วงจรกรองปรับตัวได้ ADALINE ที่ใช้อัลกอริทึมเฉลี่ยกำลังสอง LMS และวงจรกรอง NLMS การออกแบบและการจำลองการทำงานของวงจร ใช้บล็อกการประมวลผลสัญญาณดิจิตอล ร่วมกับ Xilinx Accel DSP Toolbox บน MATLAB เพื่อเปรียบเทียบวิธีที่ดีที่สุดสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ประสิทธิภาพของการกำจัดสัญญาณรบกวนถูกวัดด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) จากการวิเคราะห์พบว่าวงจร ADALINE มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวนได้ดี และขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30 เปอร์เซ็นต์

**คำหลัก** วงจรกรองปรับตัว, วงจรไอไออาร์น็อตฟิลเตอร์, ADALINE, LMS, NLMS

## Abstract

This paper presents performance analysis of a 50 Hz noise cancellation system in surface electromyography. The comparison of an IIR Notching filter, an ADALINE filter with out reference signal from the outside based on least mean square (LMS) algorithm, and normalized least mean square (NLMS) algorithm was performed. The design and the simulation were performed by using DSP tool and Xilinx Accel DSP Toolbox on MATLAB. The filter efficiency was measured by the correlation coefficient and the Normalized Mean Square Error (NMSE). From the analysis results, ADALINE filter is the most suitable circuit for 50 Hz noise cancellation because it has the high filter efficient as NLMS, and its circuit size is about 30 % smaller than the NLMS based filter.

**Keywords:** Adaptive Filter, IIR Notching Filter, ADALINE, LMS, NLMS

## 1. บทนำ

สัญญาณไฟฟ้ากล้ามเนื้อลาย (Surface Electromyography : SEMG) เป็นสัญญาณของกล้ามเนื้อที่เกิดจากการสั่งงานของสมองผ่านมาทางเส้นประสาทที่ควบคุมกล้ามเนื้อ โดยทั่วไปสัญญาณไฟฟ้าจากกล้ามเนื้อของคนปกติจะมีพลังงานของสัญญาณอยู่ในย่านความถี่ 0 ถึง 500 เฮิรตซ์ และขนาดของสัญญาณมีค่าประมาณ 50 μv ถึง 100 mv ซึ่งเป็นขนาดสัญญาณค่อนข้างต่ำมาก ในการวัดสัญญาณของกล้ามเนื้อมักพบว่า มีสัญญาณรบกวนเกิดขึ้นเสมอ โดยเฉพาะอย่างยิ่งสัญญาณรบกวนจากความถี่ของระบบไฟฟ้า 50 เฮิรตซ์ และฮาร์มอนิค สัญญาณรบกวนเหล่านี้มีขนาดของสัญญาณที่สูงกว่าสัญญาณไฟฟ้าของกล้ามเนื้อมาก จึงทำให้สัญญาณไฟฟ้าจากกล้ามเนื้อที่วัดเกิดความผิดเพี้ยนจาก

สัญญาณจริง [1] และลักษณะของสัญญาณรบกวนที่เกิดขึ้นนี้ เป็นลักษณะกลุ่มสัญญาณเป็นช่วงๆ เกิดไม่แน่นอนและทำให้การกำจัดสัญญาณรบกวนนี้ได้ยาก

จากปัญหาดังกล่าว จึงได้มีการวิจัยในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลาย จากรายงานผลการวิจัย [2] ได้ออกแบบและทำการเปรียบเทียบวงจรน็อตฟิลเตอร์และวงจรกรองแบบปรับตัวในการกำจัดสัญญาณรบกวน 50 Hz เมื่อนำวงจรที่ออกแบบได้ไปใช้งานจริง พบว่าวงจรกรองแบบปรับตัวได้สามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ได้ดีกว่าวงจรน็อตฟิลเตอร์ ผลงานวิจัย [3] พบว่าวงจรกรองแบบปรับตัวได้ที่ประยุกต์ใช้โครงข่าย ADALINE ชนิดที่ไม่ใช้สัญญาณอ้างอิงจากภายนอก สามารถกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ และสัญญาณฮาร์มอนิคได้ดี และผลงานวิจัย [4] ได้ออกแบบวงจร ADALINE ในการกำจัดสัญญาณรบกวนของระบบไฟฟ้า 50 เฮิรตซ์ โดยใช้การประมวลผลสัญญาณแบบจุดทศนิยม 32 บิต ผลปรากฏว่าวงจรมีขนาดใหญ่มาก

บทความนี้นำเสนอ การเปรียบเทียบการกำจัดสัญญาณรบกวนที่เกิดขึ้นในสัญญาณไฟฟ้ากล้ามเนื้อลายโดยใช้วงจรน็อตฟิลเตอร์ วงจรกรอง ADALINE และวงจรกรอง NLMS เพื่อเปรียบเทียบวิธีที่ดีที่สุด โดยวัดประสิทธิภาพของการกำจัดสัญญาณรบกวนด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ จากผลการวิเคราะห์พบว่าวงจรกรอง ADALINE ที่ใช้ 16 บิต Fixed-Point รูปแบบ Q0.15 มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรใช้เวลาในการประมวลผลสัญญาณเร็วกว่าและขนาดของวงจรเล็กกว่าวงจรกรอง NLMS ประมาณ 30%

## 2. วิธีการลดสัญญาณรบกวน

### 2.1 วงจรกรองดิจิตอลแบบไอไออาร์ (Infinite Impulse Response (IIR) Filter) [7]

สามารถสร้างเป็นวงจรกำจัดสัญญาณรบกวนได้ดังสมการดังนี้

$$y(n) = b_0x(n) + b_1x(n-1) + \cdots + b_{L-1}x(n-L+1) - a_1y(n-1) - a_2y(n-2) - \cdots - a_{M-1}y(n-M+1) \quad (1)$$

ดังนั้น

$$y(n) = \sum_{i=0}^{L=1} b_i x(n-i) + \sum_{m=i}^{M=1} -a_m y(n-m) \quad (2)$$

$$y(n) = b^T x(n) + a^T y(n-1) \quad (3)$$

เมื่อ **b** และ **a** คือ Filter- Coefficient vectors

$$b = [b_0, b_1, \cdots b_{L-1}] \quad (4)$$

$$a = [-a_1, -a_2, \cdots -a_{M-1}] \quad (5)$$

ฟังก์ชันถ่ายโอน (Transfer function) ของตัวกรองแบบไอไออาร์สามารถเขียนเป็นสมการ คือ

$$H(z) = \frac{\sum_{i=0}^{L-1} b_i z^{-i}}{1 + \sum_{m=1}^{M-1} a_m z^{-m}} \quad (6)$$

### 2.2 อัลกอริทึมแบบ LMS (Least mean square algorithm)

สามารถสรุปขั้นตอนการทำงานของ LMS (Least Mean Square) ได้ดังนี้

ขั้นที่ 1 สุ่มเลือกตัวเลขต่างๆ คำนวณหาค่าของเอาท์พุท $y(n)$ เมื่อ $X(n)$ และ $W(n)$ เป็นเวกเตอร์จำนวนขนาด $L$ อินพุตที่ n ต่างๆ ได้จาก

$$X(n) = [x(n), x(n-1) \cdots x(n-L+1)]^T \quad (7)$$

$$W(n) = [w_0(n), w_1(n) \cdots w_{L-1}(n)]^T \quad (8)$$

$$y(n) = W^T(n)X(n) \quad (9)$$

ขั้นที่ 2 คำนวณตามรูปแบบสมการ วงกรองแบบปรับตัวโดยหาค่าความผิดพลาด $e(n)$ จากผลต่างของเอาท์พุทเป้าหมาย $d(n)$ กับเอาท์พุทของวงจร $y(n)$ ได้จาก

$$e(n) = d(n) - y(n) \quad (10)$$

ขั้นที 3 Update หาค่าน้ำหนัก $w(n+1)$ และ ค่าไบอัส $b(n+1)$ ได้จาก

$$w(n+1) = W(n) + 2\mu x(n)e(n) \quad (11)$$

$$b(n+1) = b(n) + 2\mu e(n) \quad (12)$$

ในการกำหนดค่าเริ่มต้นสำหรับสัมประสิทธิ์เวทเวกเตอร์ (Weight Vector) สามารถกำหนดเป็นค่าใดๆ ส่วนค่าที่ต้องกำหนดให้เหมาะสมคือ ค่าขนาดขั้น (Step Size) $\mu$ เนื่องจากมีผลต่อความเสถียรและความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย จากความสัมพันธ์ตามสมการจะสามารถกำหนดค่าขนาดขั้น $\mu$ ได้ดังนี้

$$0 < \mu < \frac{1}{\lambda_{\max}} \quad (13)$$

ค่า $\lambda_{max}$ เป็นค่า Eigen Value สูงสุดของเมตริกซ์อัตสหสัมพันธ์ (Autocorrelation matrix) ซึ่งค่าประมาณของ $\lambda_{max}$ สามารถหาได้จาก R โดยหาขอบเขตได้จาก

$$\lambda_{\max} < tr[\mathrm{R}] = \sum(Diagonal\ Elements\ of\ R) \quad (14)$$

**2.3 อักกอริทึมแบบ NLMS (Normalized Least mean square algorithm)**

โดยทั่วไปแล้วอัลกอริทึมแบบ LMS การกำหนดค่าขนาดขั้น (Step Size) $\mu$ จะมีผลต่อความเสถียรและความเร็วในการลู่เข้าซึ่งมีผลต่อความสามารถในการติดตามสัญญาณของตัวกรองด้วย [5] ดังนั้นจากสมการที่ 11 สามารถใช้อัลกอริทึมแบบ NLMS [6] ในการกำหนดค่า Step size ของวงจร NLMS เพื่อเพิ่มประสิทธิภาพในการลู่เข้าของวงจรได้ดังนี้

$$\mu_{nlms} = \frac{\alpha}{X_n^T X_n + \beta} \quad (19)$$

เมื่อ $X_n^T X_n$ คือเวกเตอร์อินพุต และ $\beta \neq 0$ ดังนั้น

$$X_n^T Xn = x_n^2 + x_{n\text{-}1}^2 + \cdots + x_{n\text{-}M+1}^2 \quad (20)$$

$$X_n^T Xn \approx tr[\mathrm{R}] \quad (21)$$

สำหรับค่า $\alpha$ ควรมีค่าอยู่ในช่วง

$$0 < \alpha < 2 \quad (22)$$

## 3. การวิเคราะห์และจำลองวงจรต่าง ๆ บน MATLAB

สัญญาณรบกวนของระบบไฟฟ้า 50 Hz ถูกทดสอบโดยสร้างคุณลักษณะของการเกิดสัญญาณรบกวน 3 ค่า คือ 49 Hz, 50 Hz และ 51 Hz โดยเฉลี่ยสัญญาณทั้งหมดจำนวน 240 ตัวอย่าง และสัญญาณไฟฟ้ากล้ามเนื้อลายสร้างโดยการนำสัญญาณสุ่มแบบเกาส์เซียนซึ่งมีรายละเอียดตาม [1] สำหรับคุณสมบัติและพารามิเตอร์ต่าง ๆ ของวงจรกรองแต่ละแบบที่จะถูกทดสอบในการจำลอง คือ

วงจรกรองแบบไอไออาร์ โดยวงจรกรองที่ใช้เป็นวงจรกรองไอไออาร์แบบซิงเกิลนอตช์ (Single Notch) ใช้โครงสร้างแบบ Direct Form II ซึ่งเป็นตัวกรองนอตช์ที่ความถี่ที่มีลักษณะความถี่แคบมาก (narrow band) พารามิเตอร์ที่ใช้ในการออกแบบ ได้แก่ $f_s$ = 1000 Hz, $f_c$ = 50 Hz และ Q = 5

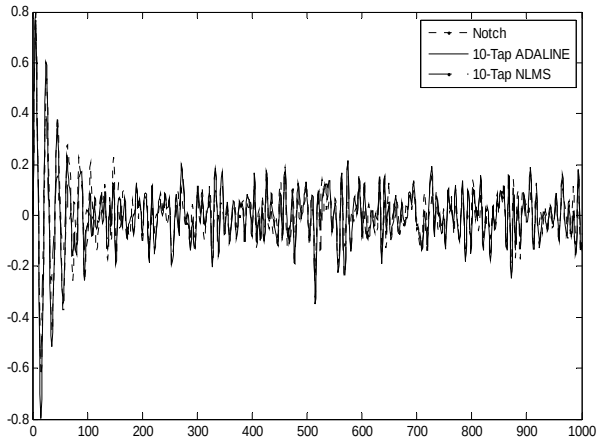
วงกรองแบบปรับตัวได้ ที่ใช้เป็นวงจรกรองแบบไม่ใช้สัญญาณอ้างอิงจากภายนอก ซึ่งจะพิจารณาใช้จำนวน Taped delay line เท่ากับ 10, 16 และ 32 สำดับ ค่าอัตราการเรียนรู้ที่ใช้ในการทดสอบของวงจรกรองแต่ละแบบสามารถจำแนกได้ดังนี้ วงจรกรอง ADALINE ที่ใช้อัลกอริทึม LMS จะใช้ค่าอัตราการเรียนรู้ที่คำนวณจากสูตร $\frac{1}{LPx}$ [3] ดังนั้นค่าที่ได้จะเท่ากับ 0.0156, 0.0097 และ 0.0048 ตามลำดับ และวงกรอง NLMS นั้นค่าอัตราการเรียนรู้มีค่าอยู่ในช่วง $0 < \alpha < 2$ [6] ส่วนค่าอัตราการเรียนรู้เริ่มต้นของวงจรกรอง NLMS ของงานวิจัยนี้ จะใช้ค่าอัตราการเรียนรู้เริ่มต้นของวงจรเท่ากับ 0.0800, 0.0500 และ 0.0400 ตามลำดับ

เมื่อใช้พารามิเตอร์ต่าง ๆ ดังกล่าวในวิธีการจำลอง และวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบด้วยจำนวน 240 กลุ่มตัวอย่างสัญญาณ ที่ได้จากการจำลองขึ้นมาด้วย MATLAB SIMULINK และทำการวิเคราะห์ความสามารถในการกำจัดสัญญาณรบกวนด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient) และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error : NMSE) จะถูกแสดงในรูปของค่าเฉลี่ยบวกและลบค่าเบี่ยงเบนมาตรฐานซึ่งผลของตัวบ่งชี้จากการจำลองดังกล่าวสามารถแสดงดังตารางที่ 1

ตารางที่ 1 ผลของตัวบ่งชี้จากการทดลองด้วยโปรแกรม MATLAB

| ชนิด | Taps | Convergent rate (samples) | Correlation coefficient | NMSE |
|---|---|---|---|---|
| IIR Notch | - | 180 | 0.64 ± 0.33 | 4.24 ± 4.27 |
| ADALINE | 10 | 150 | 0.70 ± 0.03 | 0.79 ± 0.07 |
| | 16 | 160 | 0.76 ± 0.03 | 0.59 ± 0.06 |
| | 32 | 180 | 0.84 ± 0.03 | 0.35 ± 0.06 |
| NLMS | 10 | 120 | 0.69 ± 0.04 | 0.77 ± 0.08 |
| | 16 | 150 | 0.76 ± 0.03 | 0.58 ± 0.06 |
| | 32 | 170 | 0.84 ± 0.02 | 0.33 ± 0.05 |

ตารางที่ 1 แสดงความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองแต่ละแบบ เมื่อพิจารณาด้วยตัวบ่งชี้แล้ว พบว่าวงจรกรองแบบ NLMS ที่แท็ปดีเลย์เท่ากับ 10, 16 และ 32 มีอัตราการลู่เข้าเร็วที่สุดเท่ากับ 120, 150 และ 170 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.69, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ เท่ากับ 0.77, 0.58 และ 0.33 ตามลำดับ รองลงมาเป็นวงจรกรองแบบ ADALINE มีอัตราการลู่เข้าเท่ากับ 150, 160 และ 180 ตามลำดับ และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70, 0.76 และ 0.84 ตามลำดับ ให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.79, 0.59 และ 0.35 ตามลำดับ และสุดท้ายวงจรกรองไอไออาร์แบบนอตช์ฟิลเตอร์มีอัตราการลู่เข้าช้าที่สุดเท่ากับ 180 และค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.64 และให้ค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 4.24 สามารถแสดงกราฟการเปรียบเทียบสัญญาณเอาท์พุตของวงจรทั้งสามในการกำจัดสัญญาณรบกวนที่ความถี่ 50 เฮิรตซ์ได้ดังรูปที่ 1




รูปที่ 1 แสดงการเปรียบเทียบเอาท์พุทที่ได้จากวงกรอง Notch, และวงจร ADALINE, NLMS ที่แท็ปดีเลย์เท่ากับ 10

จากการทดลองข้างต้นเมื่อเทียบทั้งสามวงจรแล้ว สามารถสรุปได้ว่า วงกรอง ADALINE และวงจรกรอง NLMS มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถลดสัญญาณรบกวน 50 เฮิรตซ์ และสัญญาณรบกวนที่มีค่าช่วงระหว่าง 50 เฮิรตซ์ ได้ดี เมื่อเทียบกับวงจรกรองไอไออาร์แบบ Notching Filter แต่เมื่อทำการเปรียบเทียบขนาดของวงจรทั้งสองแล้ว พบว่าวงจรกรอง ADALINE มีความเหมาะสมในการนำไปสร้างใช้งานจริงมากที่สุด เนื่องจากโครงสร้างของวงจรกรอง ADALINE มีความซับซ้อนของการคำนวณค่าน้ำหนักและค่าไบอัสไม่สูงมากนัก และขนาดของวงจรน้อยกว่าวงจรกรอง NLMS จึงมีความเหมาะสมในการใช้งานมากที่สุด และสามารถนำไปสร้างบนชิพที่มีพื้นที่ค่อนข้างจำกัดได้ดีอีกด้วย จากการทดลอง เมื่อทำการเปรียบเทียบทั้งสองวงจรที่ผ่านมาแล้ว สามารถแสดงได้ดังตารางที่ 2

ตารางที่ 2 แสดงผลการเปรียบขนาดของวงจรที่ได้จากทดลอง

| Algorithm | Multiplications | Divisions | Additions |
|---|---|---|---|
| ADALINE | 2(Tap+1) + 1 | - | 2(Tap) + 2 |
| NLMS | 3(Tap+1) + 1 | 1 | 3(Tap) |

## 4. การเปรียบเทียบและวิเคราะห์หาขนาดวงจรที่เหมาะสม

การทดลองนี้เป็นการกำจัดสัญญาณรบกวนซายน์ ความถี่ 50 เฮิรตซ์ ออกจากสัญญาณไฟฟ้าของกล้ามเนื้อลายที่ทำการจำลองขึ้นมาเช่นเดียวกับการทดลองในหัวข้อที่ 3 แต่จะพิจารณาเฉพาะวงจรกรอง ADALINE เท่านั้น โดยทำการทดลองบน MATLAB SIMULINK ร่วมกับ Xilinx Accel DSP Toolbox สำหรับการออกแบบอัลกอริทึมของวงจรกำจัดสัญญาณรบกวน เพื่อจำลองการประมวลผลสัญญาณแบบ Fixed-point Format Q0.15 และ Q0.31 บน Xilinx FPGAs SPARTAN-3 ตระกูล (XC3S5000-FG676-4) และทำการวัดความสามารถในการกำจัดสัญญาณรบกวนด้วยตัวบ่งชี้ โดยค่าสัมประสิทธิ์สหสัมพันธ์ (Correlation coefficient) และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error : NMSE) ซึ่งผลของตัวบ่งชี้จากการจำลอง สามารถแสดงดังตารางที่ 3

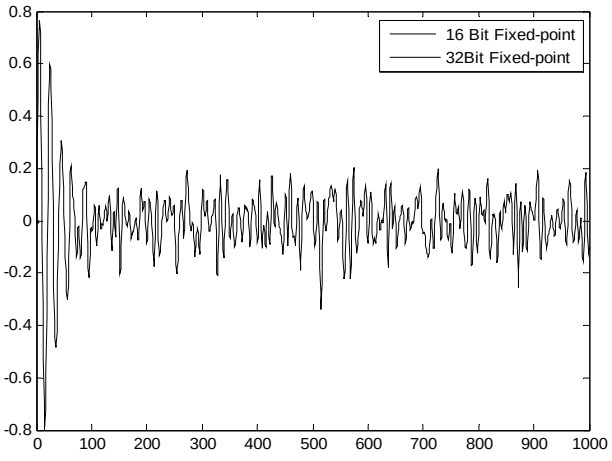
ตารางที่ 3 ผลของตัวบ่งชี้จากการทดลองโดยใช้ Xilinx Accel DSP Toolbox

| ADALINE | Fixed-Point Format | Correlation Coefficient | NMSE |
|---|---|---|---|
| 10 Tap | Q0.15 | 0.73 ± 0.04 | 0.72 ± 0.08 |
| | Q0.31 | 0.73 ± 0.06 | 0.70 ± 0.10 |
| 16 Tap | Q0.15 | 0.76 ± 0.04 | 0.60 ± 0.09 |
| | Q0.31 | 0.77 ± 0.04 | 0.57 ± 0.10 |
| 32 Tap | Q0.15 | 0.84 ± 0.03 | 0.34 ± 0.07 |
| | Q0.31 | 0.84 ± 0.03 | 0.34 ± 0.07 |

ผลจากการจำลองของวงจรร่วม ADALINE ที่ได้จากรูปแบบต่าง ๆ ที่ได้ทดลองมาข้างต้นนั้น สามารถแสดงการใช้ทรัพยากรและเวลาในการประมวลผลสัญญาณของรูปแบบต่างๆ ได้ดังตารางที่ 4 และแสดงการเปรียบเทียบสัญญาณเอาท์พุทที่ได้จากวงกรองแบบ ADALINE Adaptive Filter จำนวน 10 แท็ปดีเลย์ ที่ใช้การประมวลผลสัญญาณแบบ 16 บิต และ 32 บิต Fixed-Point ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์ ดังรูปที่ 2

ตารางที่ 4 แสดงผลการเปรียบเทียบผลการใช้ทรัพยากรรูปแบบต่างๆ บน FPGAs SPARTAN- 3 ตระกูล (XC3S5000-FG676-4)

| Taps | Fixed-Point Format | MULT 18X18s | LUTs | Clock cycle (ns) |
|---|---|---|---|---|
| 10 | Q0.15 | 23(22%) | 896(1%) | 52.564 |
| | Q0.31 | 92(88%) | 4370(6%) | 83.305 |
| 16 | Q0.15 | 35(33%) | 1345(2%) | 55.978 |
| | Q0.31 | 140(134%) | 6587(9%) | 85.844 |
| 32 | Q0.15 | 67(64%) | 2548(3%) | 59.443 |
| | Q0.31 | 268(257%) | 12529(18%) | 86.938 |




รูปที่ 2 แสดงการเปรียบเทียบเอาท์พุทที่ได้จากวงกรอง ADALINE จำนวน 10 แท็ปดีเลย์ แบบ 16บิต และ 32 บิต Fixed-Point ในการกำจัดสัญญาณรบกวน 50 เฮิรตซ์

## 5. สรุปผลการทดลอง

จากการทดลอง เมื่อพิจารณาความสามารถในการกำจัดสัญญาณรบกวนของวงจรกรองด้วยค่าสัมประสิทธิ์สหสัมพันธ์ และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์ (Normalized Mean Square Error, NMSE) พบว่า วงจรกรองแบบ ADALINE ที่ใช้อัลกอริทึม LMS จำนวนแท็ปดีเลย์เท่ากับ 10 ให้ค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.70 ± 0.03 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.79 ± 0.07 มีความเหมาะสมในการนำไปใช้งานมากที่สุด เนื่องจากวงจรสามารถกำจัดสัญญาณรบกวน 50 เฮิรตซ์ และยังใช้ขนาดของวงจรน้อยกว่าเมื่อเทียบกับวงจรกรองแบบ NLMS ประมาณ 30 เปอร์เซ็นต์ และเมื่อทำการเปรียบเทียบขนาดของจำนวนบิต ด้วยการเทียบประสิทธิภาพในการลดสัญญาณรบกวนแล้ว พบว่าวงจรกรองแบบ ADALINE จำนวนแท็ปดีเลย์เท่ากับ 10 ที่ใช้รูปแบบ 16 บิต Fixed-Point Q0.15 Format ให้ค่าสัมประสิทธิ์สหสัมพันธ์เท่ากับ 0.73 ± 0.04 และค่าความผิดพลาดกำลังสองเฉลี่ยแบบนอมอลไลซ์เท่ากับ 0.72 ± 0.08 มีความเหมาะสมในการไปใช้งานจริงมากที่สุด เนื่องจากให้ค่าประสิทธิภาพในการกำจัดสัญญาณรบกวนที่ใกล้เคียงกันแล้ว ยังใช้เวลาในการประมวลผลสัญญาณเร็วกว่าประมาณ 1.58 เท่า และขนาดของวงจรน้อยกว่าประมาณ 3 เท่า เมื่อเทียบกับแบบ 32 บิต

## 6. กิตติกรรมประกาศ

งานวิจัยนี้ได้รับการสนับสนุนจากทีมวิจัย High Performance Embedded Systems and Applications คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

## เอกสารอ้างอิง

[1] โสภาพรรณ สุวรรณสว่าง, พรชัย พฤกษ์ภัทรานนต์, ณัฏฐา จินดาเพ็ชร์, คณดิถ เจษฎ์พัฒนานนท์ และชูศักดิ์ ลิ่มสกุล “การวิเคราะห์พารามิเตอร์ของระบบลดสัญญาณรบกวนที่เกิดจากการวัดสัญญาณ ไฟฟ้ากล้ามเนื้อลายโดยการใช้วงจรกรองโครงข่ายประสาทเชิงเส้นแบบปรับตัว” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 29, 2549 : 985-988

[2] R. Romos, A.Manuel, J. Del Rio, and G.Olivar, “FPGA-Based Implementation of an Adaptive Canceller for 50/60-Hz Interference in Electrocardiography,” *IEEE Transactions on Instrumentation and Measurement*, Vol.56, 2007, pp. 2633-2640.

[3] P. Phukpattaranont, K. Chetpatananondh, C. Limsakul, and N. Jindapetch, “Implementation of a noise reduction system in surface electromyography (SEMG) on TMS320VC5509A,” *Proceeding of 30th Electrical Engineering Conference,* Oct. 2007, pp. 709-712.

[4] N. Jindapetch, P. Phukpattaranont, and K. Thongnoo, “Design of an ADALINE Adaptive Filter Based Noise Cancellation Based on Fine-grained Pipelines,” *The 23rd International Technical Conference on Circuit/Systems, computer and Communications (ITC-CSCC 2008)*, 2008, pp. 581-584.

[5] H. Takekawa, T. Shimamura and S. Jimaa, “An Efficient and Effective Variable Step Size NLMS Algorithm,” *The 42nd IEEE Asilomar Conference on Signals, Systems and Computers,* 26-29 Oct. 2008, pp. 1640 – 1643.

[6] C. A. Duran Villalobos, J. A. Tavares Reyes and J. C. Sanchez Garcia, “Implementation and Analysis of the NLMS Algorithm on TMS320C6713 DSP,” *The 52nd IEEE International Midwest Symposium on, Circuits and Systems, 2009 (MWSCAS '09.)*, 2-5 Aug. 2009, pp. 1091 – 1096.

[7] S. M. Kuo and W. S. Gan, *Digital Signal Processor: Architecture, Implementation, and Applications*, New Jersey: Pearson Prentice Hall, 2005.

# ประวัติผู้เขียน

**ชื่อ สกุล** นายไซนัลอาบีดิน เจ๊ะแว

**รหัสประจำตัวนักศึกษา** 5110120074

**วุฒิการศึกษา**

| วุฒิ | ชื่อสถาบัน | ปีที่สำเร็จการศึกษา |
|---|---|---|
| ประกาศนียบัตรครูเทคนิคชั้นสูง (เทคนิคไฟฟ้ากำลัง) | วิทยาลัยเทคนิคยะลา | 2549 |

**ตำแหน่งและสถานที่ทำงาน**

ครู คศ.1 วิทยาลัยการอาชีพสุไหงโก-ลก สำนักงานคณะกรรมการการอาชีวศึกษา

**การตีพิมพ์และเผยแพร่ผลงาน**

ไซนัลอาบีดิน เจ๊ะแว, ณัฏฐา จินดาเพ็ชร์ และพรชัย พฤกษ์ภัทรานนต์, “การวิเคราะห์สมรรถนะวงจรกรองปรับตัวที่เหมาะสมสำหรับการกำจัดสัญญาณรบกวน 50 เฮิรตซ์จากสัญญาณไฟฟ้าของกล้ามเนื้อลาย,” การประชุมวิชาการทางวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ครั้งที่ 8, 22-23 เมษายน 2553, หน้า 349-353.